6 ТИПОВЫЕ СТРУКТУРНО-АРХИТЕКТУРНЫЕ РЕШЕНИЯ ПОРТОВ ВВОДА / ВЫВОДА МК ОБЩЕГО НАЗНАЧЕНИЯ

6.1 Общие вопросы 2

6.2 Базовые структурные решения ПВВ МК общего назначения 5

6.3 Конфигурирование выводов ПВВ МК. Драйвер входа / выхода 7

6.3.1. Режим цифрового «плавающего» входа 9

6.3.2. Режим цифрового входа с подтяжкой к питанию 11

6.3.3. Режим цифрового входа с подтяжкой к общей шине 13

6.3.4. Режим двухтактного цифрового выхода 16

6.3.5. Режим цифрового выхода с открытым стоком 18

6.3.6. Режим цифрового выхода с открытым истоком 24

6.3.7. Режим входа / выхода с сохранением последнего активного состояния шины (*bus-keeper*) 28

6.3.8. Режимы аналогового входа и аналогового выхода 31

6.4 Подключение к ПВВ внешних по отношению к МК устройств 31

6.4.1. Общие вопросы 31

6.4.2. Подключение датчиков к ПВВ МК 32

6.4.3. Подключение исполнительных устройств к ПВВ МК 42

6.4.4. Подключение устройств визуальной индикации к ПВВ МК 53

6.4.5. Подключение устройств звуковой индикации к ПВВ МК 56

6.4.6. Подключение к ПВВ МК внешних устройств интерфейса, обработки и хранения данных 57

6.5 Типовые примеры структурно-архитектурных решений ПВВ МК ... 57

6.5.1. ПВВ МК семейства *AVR* 57

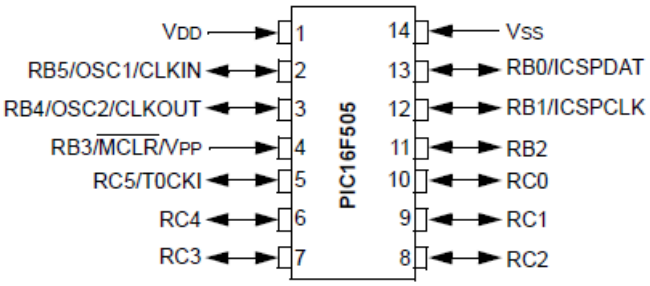
6.5.2. ПВВ МК семейства *ARM Cortex-Mx* 67

6.6 Выводы по разделу 6 84

6.1 Общие вопросы

Порты ввода / вывода (ПВВ) являются еще одним компонентом структуры МК, который, наряду с подсистемами питания, синхронизации и сброса входит в состав подсистем МК, минимально необходимых для его практического применения. Основное назначение ПВВ – взаимодействие МК с внешними по отношению к нему устройствами. Подобно тому, как некоторое государство, расположенное на островах в океане, может сообщаться с другими странами только через морские и воздушные порты, МК может взаимодействовать с внешними по отношению к нему устройствами только через ПВВ. Поэтому МК, не снабженный хотя бы одним ПВВ, абсолютно непригоден для практического применения.

На первый взгляд, в МК должны быть выделены отдельные порты для ввода и для вывода цифровых данных, а также специальные порты для взаимодействия встроенных периферийных блоков МК с внешними устройствами (например, для подачи входных сигналов на АЦП МК, для передачи и приема данных блоками цифрового интерфейса и т. п.). Однако, современный МК общего назначения, даже класса «*cost-sensitive*», представляет собой достаточно сложное и многофункциональное устройство (см. рис. 1.1 и 1.2). Например, МК *PIC16F505* [4] (см. рис. 1.1), являющийся одним из простейших МК класса «*cost-sensitive*», содержит два 6-битовых ПВВ, а также таймер / счетчик с возможностью тактирования от внешнего ГТИ. Данный МК выпускается в 14-выводном корпусе, его цоколевка представлена на рис. 6.1. При выделении по одному выводу БИС МК под входной и под выходной сигнал каждого из разрядов портов и под внешний синхросигнал таймера / счетчика, а также для сброса МК, для подключения внешнего ПЭР, для подачи внешнего сигнала тактирования МК и для программирования его памяти (см. рис. 6.1) число выводов корпуса МК стало бы равно 35-и. Заметим, что корпусах с 32-мя выводами реально выпускается ряд моделей семейства *ARM Cortex-Mx*.



PB[5:0], PC[5:0] – выводы ПВВ *B* и *C* соответственно
OSC1, OSC2 – выводы для подключения внешнего ПЭР
CLKIN, CLKOUT – вход и выход синхросигнала
$\overline{MCLR}$ – вход внешнего сброса
Vpp – напряжение программирования памяти МК
ICSPDAT, ICSPCLK – вход данных и синхросигнала при программировании памяти МК
T0CKI – вход внешнего синхросигнала таймера / счетчика

Рис. 6.1. Цоколевка БИС МК *PIC16F505* [4]

Применение такого же подхода к построению портов МК классов «*mainstream*» и «*high performance*» (см., например, рис. 6.2) потребовало бы их реализации в корпусах с числом выводов от нескольких сотен до нескольких тысяч.

Таким образом, вышеописанный, кажущийся очевидным подход не приемлем с точки зрения современной тенденции к миниатюризации электронных компонентов, а в большинстве случаев не реализуем на практике.

Поэтому практически во всех современных семействах МК применяется следующие принципы реализации ПВВ:

- каждый вывод каждого из ПВВ (за редкими исключениями) является **двунаправленным**, и может быть, независимо от других, программно настроен как на прием, так и на передачу данных;

- **основной** функцией каждого вывода каждого из ПВВ являются программно-управляемые прием / передача цифровых данных;

- кроме основной функции, за рядом выводов ПВВ (в МК классов «*mainstream*» и «*high performance*» - за большинством) закреплены одна или несколько **альтернативных** функций, например, входа или выхода некоторого встроенного периферийного устройства МК (например, альтернативной функцией 5-го вывода порта МК *PIC16F505* является вход внешнего синхросигнала таймера / счетчика, *T0CKI,* см. рис. 6.1);

- настройка вывода ПВВ на выполнение основной или какой-либо из альтернативных функций осуществляется программно, независимо от других выводов; при этом вывод, сконфигурированный под выполнение некоторой альтернативной функции, не может использоваться для выполнения основной.

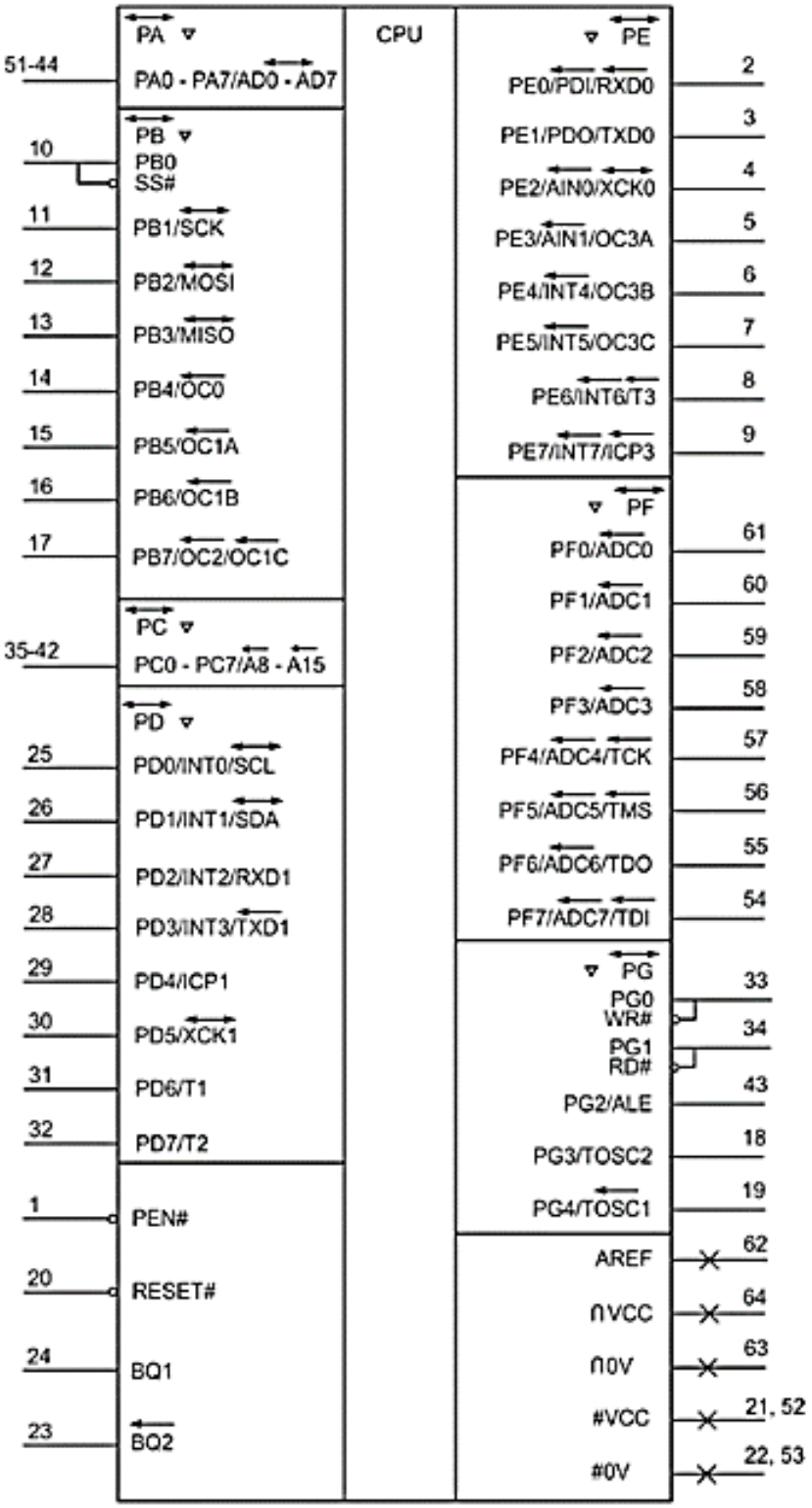


Рис. 6.2. Цоколевка БИС МК 1887ВЕ7Т [8]

Описанные выше принципы построения ПВВ позволяет реализовывать даже МК класса «*high performance*» с достаточно большим количеством ПВВ (до 9-и 16-битовых) и с широкой номенклатурой встроенных периферийных устройств (до 3-х 12-разрядных АЦП, до 16-ти таймеров, до 6-и блоков *USART* и т. д.) в корпусах с числом выводов, не превышающем 176 [9].

Рассмотрим подробнее принципы реализации ПВВ современных МК общего назначения, а также типовые схемотехнические, структурные и архитектурные решения ПВВ на примерах МК семейств *AVR* и *ARM Cortex-Mx*.

6.2 Базовые структурные решения ПВВ МК общего назначения

Обобщенная структурная схема одного разряда ПВВ МК представлена на рис. 6.3.

Выходной цифровой сигнал приемного тракта драйвера входа / выхода (*RD* на рис. 6.3) [8, 9, 13 – 15]:

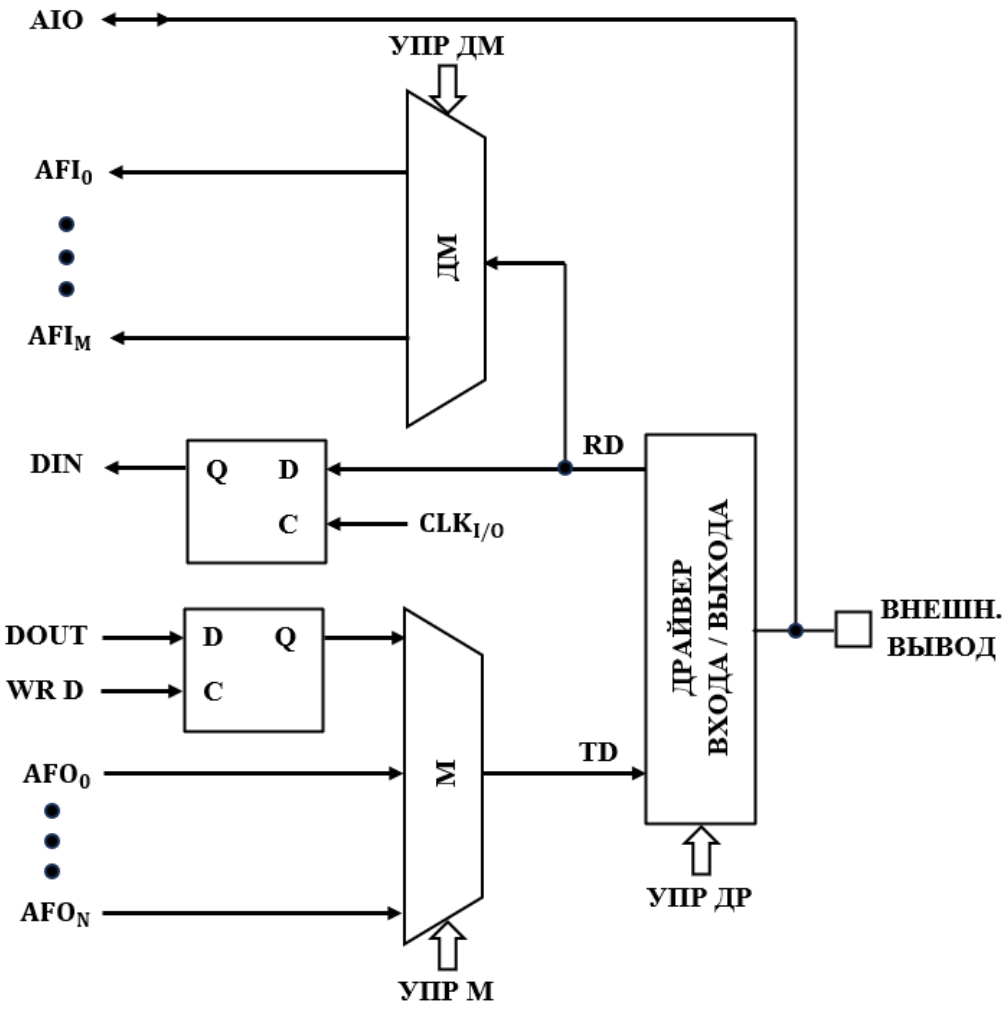
- подается на информационный вход верхнего по схеме *D*-триггера и фиксируется в каждом периоде сигнала синхронизации ПВВ, выступая в качестве i-го бита входных данных (где i - номер разряда ПВВ) в режиме выполнения основной функции ввода;

- также поступает на вход демультиплексора, управляемого кодом выбора альтернативной функции; если соответствующий разряд запрограммирован на альтернативную функцию какого-либо входа некоторого блока МК (например, входа *RxD* блока *USART*, см. раздел 11), демультиплексор направит сигнал *RD* на соответствующий вход.

Входной цифровой сигнал передающего тракта драйвера входа / выхода (*TD* на рис. 6.3) поступает с выхода мультиплексора. В качестве данного сигнала, в зависимости от кода управления мультиплексором, служит:

- в режиме выполнения основной функции вывода – состояние нижнего по схеме *D*-триггера, в который загружается i-й бит выводимого слова данных (где i - номер разряда ПВВ); загрузка производится по стробу *WR D*, вырабатываемому при выполнении команды записи в выходной регистр данных ПВВ;

- в режиме выполнения альтернативной функции какого-либо выхода некоторого блока МК (например, выхода *TxD* блока *USART*) – сигнал с соответствующего выхода.



AIO – аналоговый вход / выход

AFI_0 ... AFI_M – входные цифровые сигналы при выполнении альтернативных функций

DIN, DOUT – соответственно входные и выходные данные при выполнении основной функции

WR D – строб записи в выходной регистр данных

AFO_0 ... AFO_M – выходные цифровые сигналы при выполнении альтернативных функций

$CLK_{I/O}$ – сигнал синхронизации ПВВ

RD и TD – соответственно принимаемый и передаваемый цифровой сигнал

М и ДМ – мультиплексор и демультиплексор соответственно

УПР М, УПР ДМ, УПР ДР – управление мультиплексором, демультиплексором и драйвером входа / выхода соответственно

Рис. 6.3. Обобщенная структурная схема одного разряда ПВВ МК

Коды управления мультиплексором и демультиплексором поступают с регистров конфигурации и управления ПВВ (см. подраздел 6.5).

При выполнении выводом порта альтернативной функции аналогового входа (например, входа АЦП) или аналогового выхода (например, выхода ЦАП), входной или, соответственно выходной аналоговый сигнал поступает непосредственно с внешнего вывода или на внешний вывод ПВВ, в обход драйвера входа / выхода и мультиплексора (демультиплексора) (см. рис. 6.3).

Важно отметить, что выводимые сигналы / данные изменяются и фиксируются под управлением ПО МК, в то время как моменты поступления достоверных входных данных «не подконтрольны» программному обеспечению. Для их корректного ввода используются различные приемы (опрос признаков готовности данных, запросы на прерывание от источника входных данных по их готовности и т. п.). Существует также вариант схемной конфигурации драйвера входа / выхода, позволяющий фиксировать состояние входного сигнала по его поступлении от внешнего источника; он известен под названием «*Bus-keeper*» или «*Bus-holder*». Данный вариант может быть применен только при определенных условиях, и реализован не во всех семействах МК (подробнее – см. пункт 6.3.7).

Драйвер входа / выхода обеспечивает прием и передачу цифровых и аналоговых сигналов через один и тот же внешний вывод ПВВ, за счет его конфигурирования согласно конкретному назначению. Конфигурирование осуществляется под управлением ПО МК; код управления драйвером поступает с регистров конфигурации и управления ПВВ (см. подраздел 6.5).

Принципам реализации драйвера входа / выхода, а также возможным вариантам конфигурации вывода ПВВ и особенностям их применения рационально посвятить специальный подраздел (см. далее).

6.3 Конфигурирование выводов ПВВ МК. Драйвер входа / выхода

В целом, известны следующие варианты конфигурации и, соответственно, режимы работы вывода ПВВ МК [8, 9, 13 – 15, 21]:

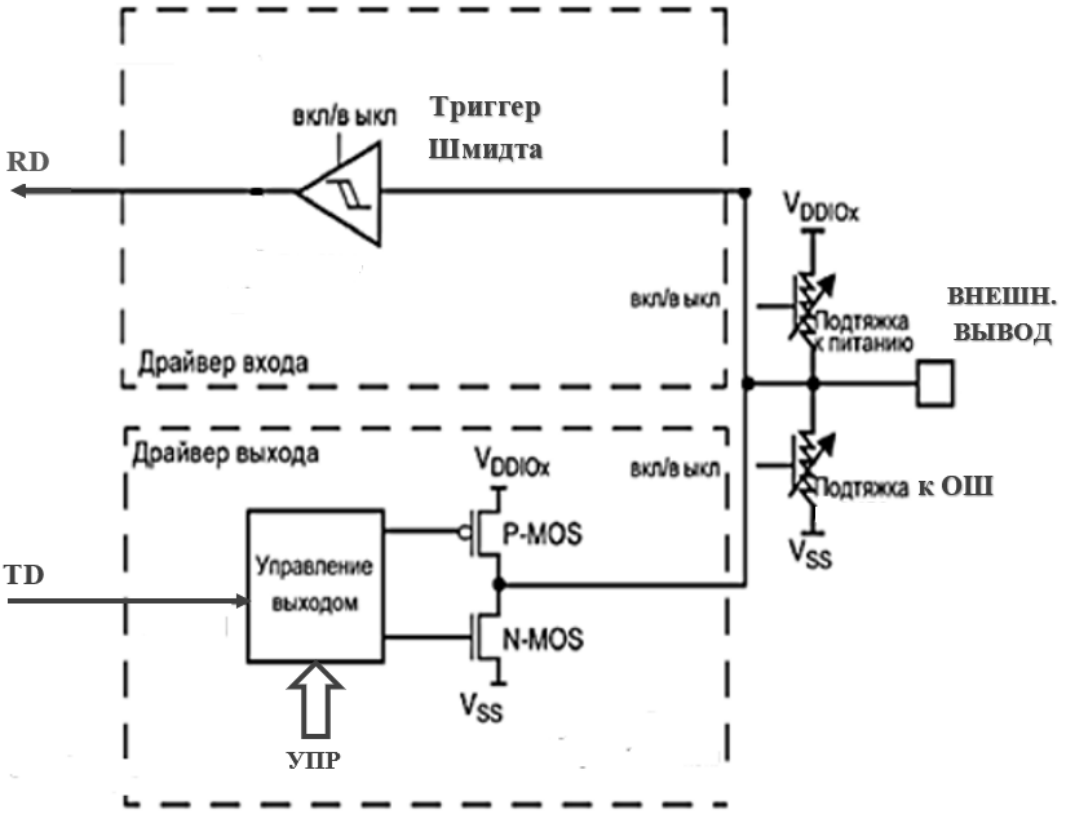
- «плавающий» цифровой вход (*input floating*);
- цифровой вход с подтяжкой к питанию (*input pull-up*);
- цифровой вход с подтяжкой к общей шине (*input pull-down*);
- двухтактный цифровой выход (*output push-pull*);
- цифровой выход с открытым стоком (*output open-drain*);
- цифровой выход с открытым истоком (*output open-source*);
- цифровой вход / выход с сохранением последнего активного состояния шины (*bus-keeper*);
- аналоговый вход (*analog input*);
- аналоговый выход (*analog output*).

Рассмотрим основы реализации каждого из вышеперечисленных режимов. В качестве типовой схемы драйвера входа / выхода ПВВ МК будем использовать упрощенную функциональную схему драйвера ПВВ МК семейства *ARM Cortex-Mx*, приведенную на рис. 6.4 [9]. Принципы реализации и схемы драйверов ПВВ МК других семейств аналогичны, за исключением ряда второстепенных деталей (см., в частности, пункт 6.5.1).

Типовой драйвер входа / выхода ПВВ МК (см. рис. 6.4) включает в себя:

- приемный тракт (на рис. 6.4 назван драйвером входа) на триггере Шмидта;
- передающий тракт (на рис. 6.4 назван драйвером выхода), состоящий из двухтактного выходного каскада на 2-х МОП-транзисторах (*n*-канальном и *p*-канальном), работающих в ключевом режиме, и схемы управления данным каскадом;
- два программно подключаемых или отключаемых подтягивающих резистора, являющихся общими и для передающего, и для приемного тракта.

Представленная на рис. 6.4 схема драйвера позволяет конфигурировать вывод ПВВ на работу во всех ранее перечисленных режимах, за исключением «*bus-keeper*», принцип реализации которого будет описан отдельно. Архитектура МК семейства *ARM Cortex-Mx* не предусматривает также варианта конфигурации «Цифровой выход с открытым истоком», но драйвером, схема которого приведена на рис. 6.4, он, в принципе, может быть реализован (см. пункт 6.3.6).



V_{DDIOx} – напряжение питания ПВВ
ОШ – общая шина

Рис. 6.4. Упрощенная функциональная схема типового драйвера входа / выхода ПВВ МК [9]

6.3.1. Режим цифрового «плавающего» входа

Данный режим является основным при работе вывода ПВВ на прием (т. е. в качестве входа). Состояния компонентов драйвера входа / выхода (см. рис. 6.4) в данном режиме следующие:

- триггер Шмидта включен;
- оба подтягивающих резистора отключены;
- выходной каскад переведен в **3-е состояние**, т. е. оба его транзистора находятся в режиме отсечки, и представляют собой разомкнутые ключи с весьма высоким сопротивлением, что предотвращает их выход из строя при подаче на вывод ПВВ сигнала от внешнего источника; см. также пункт 6.3.4.

Эквивалентная схема драйвера в режиме цифрового «плавающего» входа приведена на рис. 6.5. Стрелками показано направление передачи сигнала.

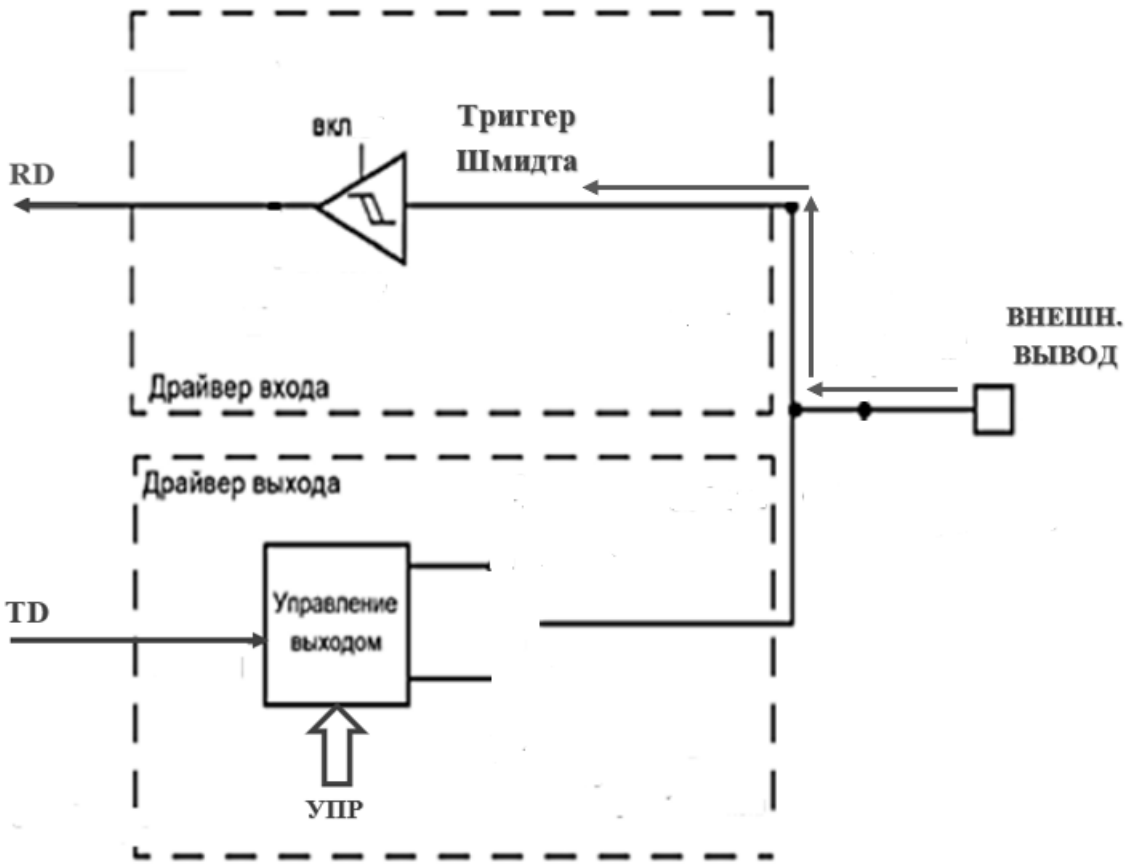


Рис. 6.5. Эквивалентная схема драйвера входа / выхода ПВВ МК в режиме цифрового «плавающего» входа

Основная **область применения** данного режима – прием сигналов, источниками которых являются цифровые устройства с двухтактным выходом. При этом отключение подтягивающих резисторов является оправданным, т. к. они, в совокупности с входной емкостью вывода ПВВ, формируют паразитный фильтр нижних частот (ФНЧ) с постоянной времени порядка сотен нс, ограничивающий скорость ввода данных.

В принципе, режим цифрового «плавающего» входа может применяться и для приема выходных сигналов цифровых устройств с открытым стоком или с открытым истоком (см. пункты 6.3.5 и 6.3.6), при наличии подтягивающего резистора на их выходах.

Необходимо отметить, что при сбросе выводы ПВВ МК, как правило, устанавливаются в режим «плавающего» цифрового входа, поскольку он обеспечивает наивысшую степень защиты элементов схемы драйвера от случайной подачи сигналов с внешних источников на выводы ПВВ.

6.3.2. Режим цифрового входа с подтяжкой к питанию

Отличается от предыдущего режима тем, что резистор подтяжки к питанию подключен. Эквивалентная схема драйвера входа / выхода ПВВ в данном режиме представлена на рис. 6.6. Как и на рис. 6.5, стрелками показано направление передачи сигнала.

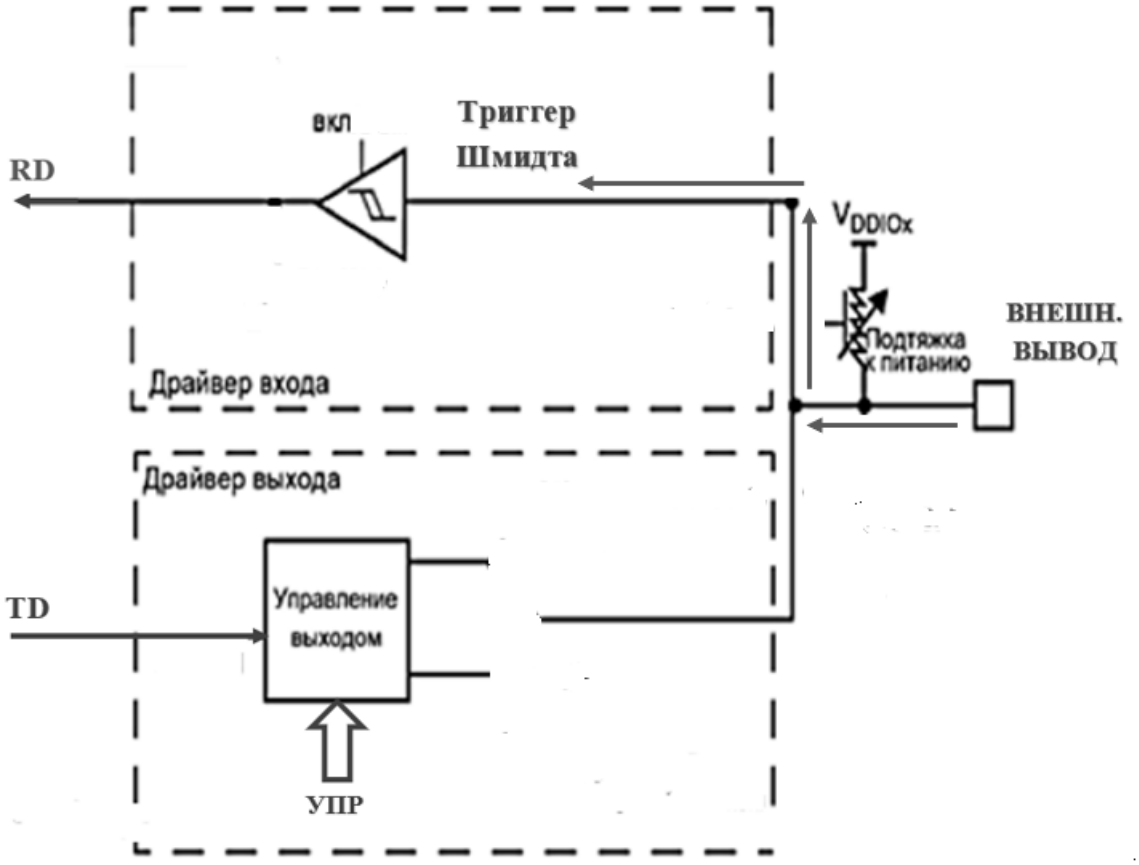


Рис. 6.6. Эквивалентная схема драйвера входа / выхода ПВВ МК в режиме цифрового входа с подтяжкой к питанию

Типовым примером **применения** данного режима является считывание состояний механических контактов (например, клавиш) при схеме их подключения, приведенной на рис. 6.7. В данной схеме при замкнутом контакте на внешнем выводе ПВВ присутствует гарантированный уровень логического нуля. Однако при разомкнутом контакте и отсутствии внутреннего подтягивающего резистора (R_{PU}) уровень напряжения на данном выводе был бы неопределенным. Если же «подтяжка» к питанию включена, при отпущенной клавише на внешнем выводе ПВВ будет присутствовать гарантированный уровень логической единицы.

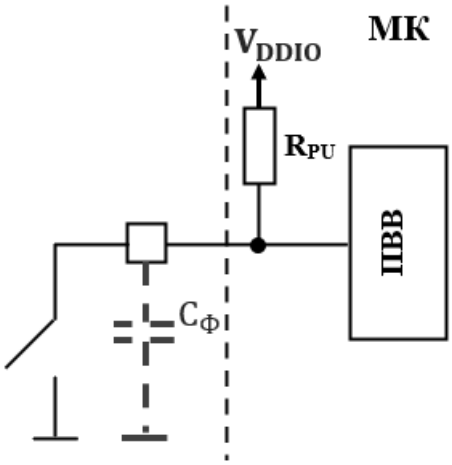


Рис. 6.7. Подключение механического контакта ко входу с подтяжкой к питанию

Конденсатор $C_Ф$ служит для фильтрации высокочастотных помех, в том числе «дребезга» контакта. В принципе (например, при использовании алгоритмов программного устранения «дребезга») он может отсутствовать.

Режим цифрового входа с подтяжкой к питанию также **может применяться** для приема выходных сигналов цифровых устройств с открытым стоком; однако, данная функция обычно реализуется при работе драйвера ПВВ в режиме выхода с открытым стоком (см. пункт 6.3.5).

Необходимо отметить, что режим входа с подтяжкой к питанию, в общем случае, **не рационален** для приема сигналов, передатчиками которых являются цифровые устройства с двухтактным выходом, из-за паразитного ФНЧ, формируемого подтягивающим резистором и емкостью вывода ПВВ, и ограничивающего скорость обмена данными (см. пункт 6.3.1). Однако, если существует вероятность случайного или преднамеренного перевода выхода передатчика в 3-е состояние на некоторое время, включение резистора подтяжки к питанию на входе приемника может быть **оправданным**. В его отсутствие при 3-м состоянии выхода передатчика уровень сигнала на линии связи будет неопределенным («плавающим»), что может вызвать ложные срабатывания приемника, а также несанкционированный переход в усилительный (не ключевой) режим транзисторов их входных каскадов. Это, в свою очередь, приведет к существенному

повышению потребляемой мощности, а в некоторых случаях – и к выходу ПВВ из строя из-за перегрева, вызванного повышенным энергопотреблением. Наличие резистора подтяжки к питанию на входе приемника предотвращает такую ситуацию; при 3-м состоянии выхода передатчика состояние линии связи и входа приемника строго определенное (единичное). Естественно, резистор подтяжки к питанию ограничивает скорость обмена данными (см. выше).

Следует отметить, что при поддержке архитектурой ПВВ режима «*bus-keeper*», его применение для предотвращения неопределенного состояния линии связи более предпочтительно, чем использование режима входа с подтяжкой как к питанию, так и к ОШ (см. пункт 6.3.7).

Необходимо заметить, что наличие паразитного ФНЧ, формируемого подтягивающим резистором и емкостью вывода ПВВ, не критично при вводе данных с механических клавиш, инерционных по своей природе, или при приеме выходных сигналов цифровых устройств с открытым стоком, характеризуемых невысоким быстродействием.

Также в режим входов с подтяжкой к питанию рекомендуется переводить **не задействованные** выводы ПВВ, для обеспечения минимального энергопотребления и максимальной помехоустойчивости [8, 13 – 15].

6.3.3. Режим цифрового входа с подтяжкой к общей шине

Отличается от режима «плавающего» входа тем, что резистор подтяжки к общей шине подключен. Эквивалентная схема драйвера входа / выхода ПВВ в данном режиме представлена на рис. 6.8, стрелками показано направление передачи сигнала.

Типовым примером **применения** данного режима является считывание состояний механических контактов при схеме их подключения, приведенной на рис. 6.9. Благодаря наличию резистора «подтяжки» к общей шине (R_{PD}), при разомкнутом контакте на внешнем выводе ПВВ гарантированно присутствует уровень логического нуля. При замкнутом контакте и соблюдении

условия $V_{DD} \times R_{PD}/(R_{PD} + R_3) > U_{IHmin}$ (где U_{IHmin} – минимально допустимое входное напряжение логической единицы) уровень сигнала на внешнем выводе ПВВ соответствует логической единице.

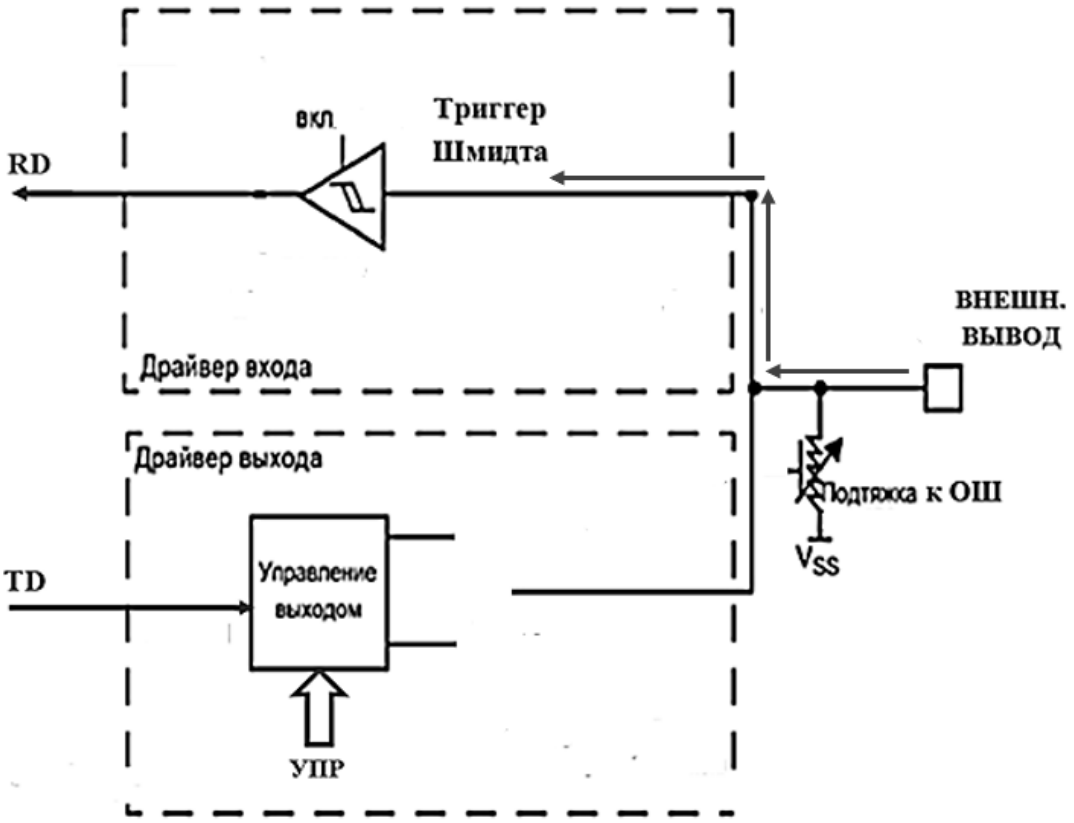
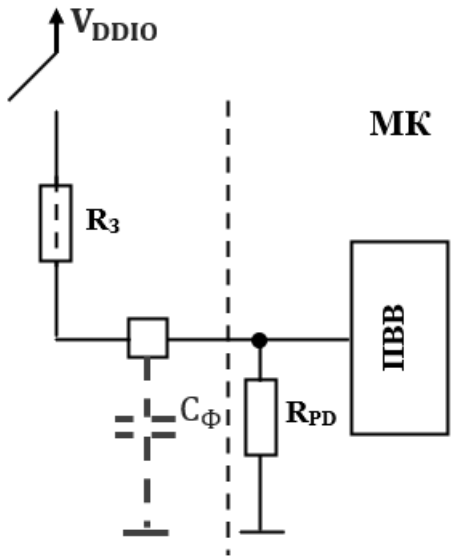


Рис. 6.8. Эквивалентная схема драйвера входа / выхода ПВВ МК в режиме цифрового входа с подтяжкой к общей шине



R_3 – защитный резистор

Рис. 6.9. Подключение механического контакта ко входу с подтяжкой к общей шине

Конденсатор $C_Ф$, как и в схеме, приведенной на рис. 6.7, служит для фильтрации высокочастотных помех, в том числе «дребезга» контакта. В принципе (например, при использовании алгоритмов программного устранения «дребезга») он может отсутствовать.

Следует отметить, что в большинстве источников приводится вариант представленной на рис. 6.9, в котором защитный резистор отсутствует, а контакт подключен непосредственно к внешнему выводу ПВВ (см. перемычку, обозначенную на рис.6.9 пунктирной линией). Однако такой вариант подключения не желателен, т. к. при замкнутом контакте на вывод МК непосредственно поступает напряжение питания, что в ряде случаев может привести к выходу из строя соответствующего разряда ПВВ [20]. Поэтому подключение защитного резистора является рекомендуемым. Из-за наличия дополнительного внешнего элемента приведенная на рис. 6.9 схема подключения механического контакта менее предпочтительна, чем представленная на рис. 6.7, и реже используется на практике (однако, в ряде конкретных случаев ее применение не имеет альтернативы).

Режим цифрового входа с подтяжкой к общей шине также **может применяться** для приема выходных сигналов цифровых устройств с открытым истоком; однако, данная функция обычно реализуется при работе драйвера ПВВ в режиме выхода с открытым истоком (см. пункт 6.3.6).

Режим входа с подтяжкой к общей шине, в общем случае, **не рационален** для приема сигналов, источниками которых являются цифровые устройства с двухтактным выходом, по той же причине, что и режим входа с подтяжкой к питанию (см. пункт 6.3.2). Однако, его применение, как и режима входа с подтяжкой к питанию, может быть **оправданным**, если существует вероятность перевода выхода передатчика в 3-е состояние (также см. пункт 6.3.2). Подтяжка к ОШ обеспечивает нулевой уровень на линии связи при 3-м состоянии выхода передатчика. При поддержке архитектурой ПВВ режима «*bus-keeper*», его применение для предотвращения неопределенного состояния линии связи более предпочтительно, чем использование режима входа с подтяжкой к ОШ (см. пункт 6.3.7).

6.3.4. Режим двухтактного цифрового выхода

Данный режим является основным при работе вывода ПВВ на передачу (т. е. в качестве выхода).

Состояния компонентов драйвера входа / выхода (см. рис. 6.4) в данном режиме следующие:

- выходной каскад находится в активном состоянии; при передаче логического нуля ключ на *n*-канальном транзисторе замкнут, а на *p*-канальном – разомкнут; при передаче логической единицы ключ на *n*-канальном транзисторе разомкнут, на *p*-канальном – замкнут;
- триггер Шмидта включен;
- подтягивающие резисторы могут быть как отключены, так и включены, но в большинстве практических применений данного режима оба подтягивающих резистора отключаются.

Эквивалентная схема драйвера в режиме цифрового двухтактного выхода (при отключенных подтягивающих резисторах, см. выше) приведена на рис. 6.10.

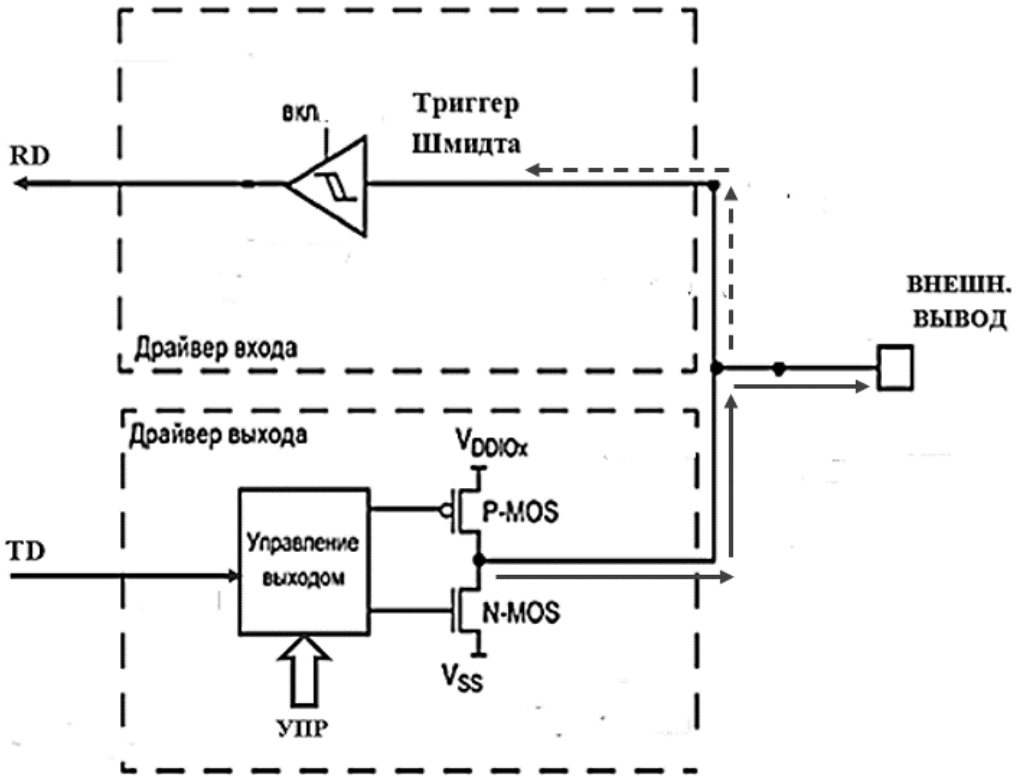


Рис. 6.10. Эквивалентная схема драйвера входа / выхода ПВВ МК в режиме цифрового двухтактного выхода

Стрелки на рис. 6.10 указывают направление передачи сигнала: сплошные – основное; пунктирными стрелками показано, что передаваемый сигнал поступает и на вход приемного тракта. Эта особенность режима двухтактного выхода позволяет осуществлять контроль передаваемых данных.

Важно отметить, что при работе вывода ПВВ в режиме цифрового двухтактного выхода **недопустима** подача на него сигнала с внешнего по отношению к нему источника. В такой ситуации возможен вывод из строя выходных каскадов как соответствующего разряда ПВВ, так и источника поданного на него сигнала. Причиной этого является конфликт уровней сигналов на выходах, который иллюстрирует нижеприведенный рис. 6.11.

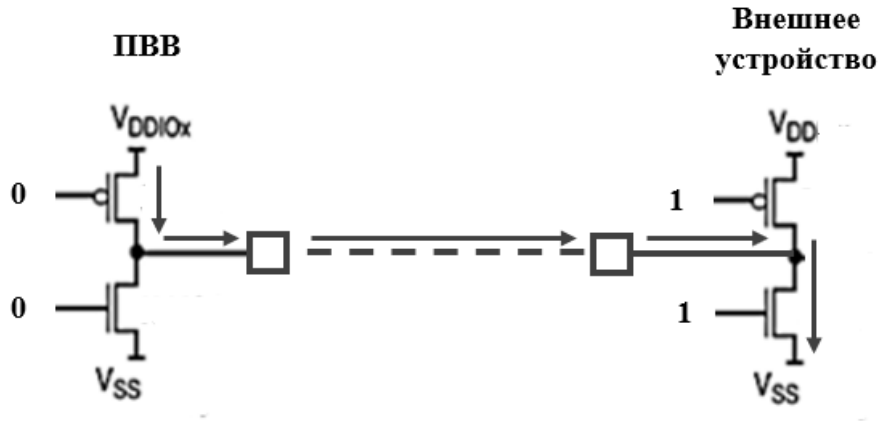


Рис. 6.11. Пример конфликта уровней выходных сигналов (см. пояснения в тексте)

Поскольку оба абонента данной линии связи работают на передачу, в некоторый момент времени состояния их выходов окажутся противоположными. На рис. 6.11 в качестве примера приведена ситуация, в которой выход ПВВ установлен в состояние, соответствующее логической единице (ключ на *p*-канальном транзисторе замкнут, на *n*-канальном – разомкнут), а внешнего устройства – в состояние, соответствующее логическому нулю (ключ на *n*-канальном транзисторе замкнут, на *p*-канальном – разомкнут). В результате через замкнутые ключи потечет сквозной ток, направление которого показано стрелками. При напряжении питания, равном номинальному значению 3,3 В, и типовом сопротивлении замкнутых ключей порядка нескольких десятков Ом (на практике подверженном значительному технологическому

разбросу), данный ток может превысить предельно допустимое значение, которое, например, у МК 1986BE92FI равно 10 мА [11]. Аналогичная ситуация возникнет, если выход ПВВ установлен в состояние, соответствующее логическому нулю (ключ на *n*-канальном транзисторе замкнут, на *p*-канальном – разомкнут), а выход внешнего устройства – в состояние, соответствующее логической единице (ключ на *p*-канальном транзисторе замкнут, на *n*-канальном – разомкнут).

Даже если в вышеописанных ситуациях выходные каскады не выйдут из строя (у ряда моделей МК предельно допустимый выходной ток ПВВ равен порядка 20 – 25 мА [10]), корректная работа ПВВ при этом невозможна по следующим причинам:

- уровень напряжения на выводе ПВВ не будет ни определенно единичным, ни определенно нулевым, и равен примерно половине напряжения питания;

- из-за неопределенного состояния выводов как ПВВ, так и внешнего устройства, невозможен его достоверный контроль, например, посредством его считывания приемным трактом драйвера ПВВ (см. пунктирные стрелки на рис. 6.10), а значит, невозможен и **арбитраж** конфликтов на линии передачи (см. пункт 6.3.5).

Из вышесказанного следует, что работа вывода ПВВ в режиме двухтактного цифрового выхода **допустима** только при условиях, что вывод подключенного к нему устройства предварительно сконфигурирован как вход или является входом по своему функциональному назначению (в том числе входом исполнительного устройства). Если нет гарантии, что вывод подключенного к ПВВ устройства в какой-либо момент времени не перейдет в режим выхода (что имеет место, например, в микролокальных сетях стандарта *I2C* или *CAN*, см. раздел 11), использование режима двухтактного цифрового выхода недопустимо. При этом используются режимы выхода с открытым стоком или с открытым истоком (см. пункты 6.3.5 и 6.3.6).

6.3.5. Режим цифрового выхода с открытым стоком

В данном режиме:

- в выходном каскаде ключ на *p*-канальном транзисторе постоянно разомкнут; ключ на *n*-канальном – замкнут при передаче логического нуля и разомкнут при передаче логической единицы;

- резистор подтяжки к питанию подключен, а подтяжки к общей шине – отключен;

- триггер Шмидта включен.

Основное назначение режима выхода с открытым стоком – **двунаправленный** обмен данными с устройствами, выходы которых работают в таком же режиме. Эквивалентная схема драйвера входа / выхода ПВВ при его использовании по указанному назначению приведена на рис. 6.12. При этом вывод ПВВ выполняет функции как **выхода**, так и **входа**. Направления передачи сигнала при вводе и выводе данных показаны стрелками.

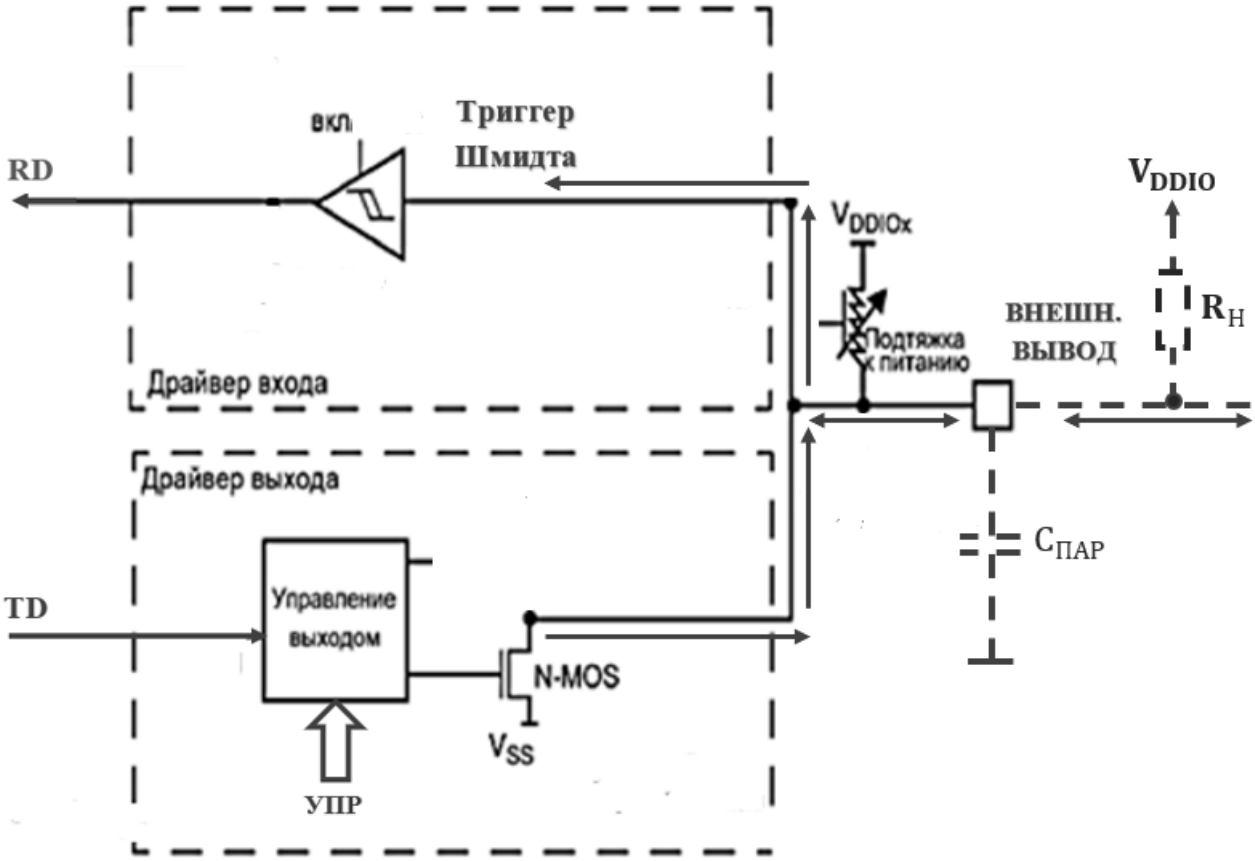


Рис. 6.12. Эквивалентная схема драйвера входа / выхода ПВВ МК в режиме цифрового приемопередатчика с открытым стоком (см. пояснения в тексте)

Для работы драйвера ПВВ, сконфигурированного в соответствии с рис. 6.12, в режиме приема необходимо только

подать логическую единицу на вход TD драйвера (т. е. записать единицу в соответствующий разряд выходного регистра данных или установить в единичное состояние соответствующий выход альтернативной функции, см. рис. 6.1), что переведет транзистор выходного каскада драйвера в режим отсечки (т. е. разомкнутого ключа), и он не будет влиять на прием данных.

При работе ПВВ в режиме приемопередатчика с открытым стоком, к линии связи, показанной на рис. 6.12 пунктирной линией, может быть подключено несколько абонентов, работающих в том же режиме (т. е. реализована микролокальная сеть связи). Подтягивающий резистор может быть один на всю линию; часто используется внешний резистор подтяжки к питанию (внешний резистор нагрузки); на рис. 6.12 он обозначен как $R_{\text{Н}}$ и показан пунктиром.

Применение внешнего резистора $R_{\text{Н}}$ обусловлено следующим обстоятельством. Подтягивающий резистор в совокупности с паразитными емкостями внешних выводов абонентов, подключенных к линии ($C_{\text{ПАР}}$ на рис. 6.12), образует ФНЧ с постоянной времени, равной $R_H \times nC_{\text{ПАР}}$ (где nра – число абонентов), ограничивающий максимальную скорость обмена данными до значения, примерно равного $0{,}1/(R_H \times nC_{\text{ПАР}})$. Типовое сопротивление внутренних подтягивающих резисторов ПВВ МК составляет порядка 30 – 50 кОм [10], паразитной емкости вывода ИС – примерно 5 пФ. Следовательно, даже если производится обмен данными между 2-мя устройствами ($n = 2$), постоянная времени паразитного ФНЧ будет не менее 300 нс, а максимальная скорость передачи данных – порядка 330 Кбит/с. С другой стороны, использование внешнего подтягивающего резистора, сопротивление которого может быть порядка нескольких кОм (см. приведенные далее условия (6.1) и (6.2) и пояснения к ним) позволит увеличить скорость обмена данными минимум на порядок.

Сопротивление резистора R_H выбирается из условий:

$$\frac{V_{DDIO} - U_{OL}}{R_H} < (0{,}6 \ldots 0{,}7) I_{Dmax}; \tag{6.1}$$

$$0{,}1/(R_H \times nC_{\text{ПАР}}) \geq BR_{max}; \tag{6.2}$$

где U_{OL} – выходное напряжение «низкого» уровня ПВВ в режиме выхода с открытым стоком; I_{Dmax} – максимально допустимый ток стока n-канального транзистора драйвера ПВВ (практически равный максимально допустимому выходному току ПВВ); n – число абонентов, подключенных к линии; BR_{max} – максимальная требуемая скорость обмена данными, бит/с.

При типовых значениях V_{DDIO}, U_{OL} и I_{Dmax}, равных соответственно 3,3 В, порядка 100 мВ и 10 – 20 мА, минимально допустимое значение сопротивления $R_{\text{Н}}$ теоретически равно примерно 500 Ом. На практике применяются сопротивления порядка нескольких кОм (во избежание излишнего энергопотребления, а также перегрузок выходных каскадов ПВВ и перегрева ИС МК). Поэтому реально достижимые скорости обмена данными в режиме приемопередатчика с открытым стоком составляют от нескольких сотен до нескольких тысяч Кбит/с, что существенно меньше скорости, достижимой в режиме двухтактного выхода (порядка десятков Мбит/с у МК семейства *ARM Cortex-Mx* [10, 26, 29]).

Если приемлемы скорости обмена данными порядка десятков Кбит/с, внешний подтягивающий резистор может не применяться.

Основными свойствами сконфигурированного в соответствии с рис. 6.12 драйвера входа / выхода ПВВ, позволяющими использовать его в качестве приемопередатчика, являются следующие:

- конфликт на линии связи, т. е. установка выходов драйверов, подключенных к ней, в различные состояния (одних в нулевое, других – в единичное) не вызовет аварийных ситуаций (при условии, что сопротивление резистора $R_{\text{Н}}$ соответствует условию (6.1));

- как в отсутствие конфликта, так и при его наличии состояние линии не является неопределенным; оно или единичное, или нулевое;

- конфликтная ситуация на линии связи может быть достоверно выявлена любым из абонентов (путем считывания ее состояния) и использована для арбитража, т. е. разрешения конфликта;

- перевод драйвера из режима передачи в режим приема не требует его переконфигурирования (см. рис. 6.12 и пояснения к нему).

Первые два из вышеперечисленных свойств поясняет рис. 6.13. На нем изображены выходные каскады с общим стоком 2-х абонентов линии обмена данными. Нетрудно увидеть, что:

- уровень логической единицы на линии присутствует только при единичном состоянии выходов всех абонентов (т. е. только если транзисторы их выходных каскадов представляют собой разомкнутые ключи);

- если выход хотя бы одного из абонентов находится в нулевом состоянии (т. е. транзистор его выходного каскада представляет собой замкнутый ключ), линия также переходит в нулевое состояние, откуда широко используемое название приведенной на рис. 6.13 схемы – «монтажное И» (*wired AND*);

- если сопротивление резистора R_H соответствует условию (6.1), ни в одном из этих случаев выхода транзисторов из строя не произойдет;

- неопределенное состояние линии исключается, в любом случае оно будет или единичным, или нулевым.

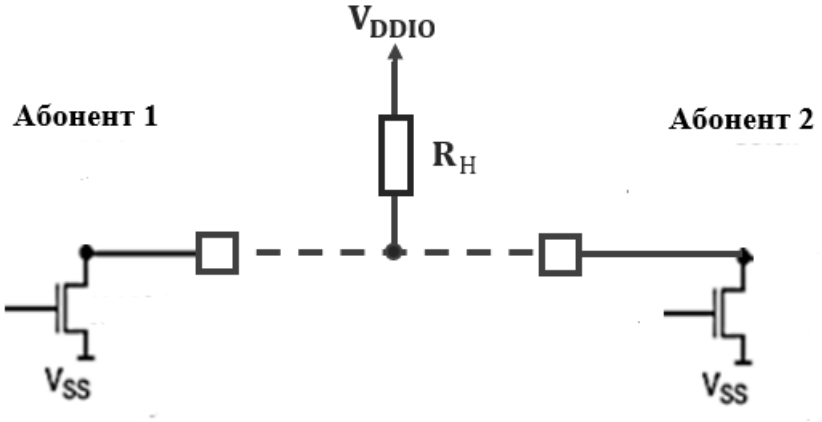


Рис. 6.13. Фрагмент линии обмена данными с выходными каскадами передатчиков с открытым стоком

Благодаря тому, что состояние линии всегда является строго нулевым или единичным, возможен его достоверный контроль, посредством его считывания приемным трактом драйвера ПВВ (см. рис. 6.12). Очевидно, признаком конфликта на линии является ее нулевое состояние при передаче абонентом единицы. При выявлении конфликта должна быть запущена процедура его разрешения (арбитража), т. е. какой-либо из абонентов должен прекратить передачу. В блоках стандартного цифрового интерфейса,

использующих приемопередатчики с открытым стоком (например, *I2C*), арбитраж реализуется устройством управления блоком. При обмене данными под управлением ПО МК арбитраж также осуществляется программно. Известны различные алгоритмы арбитража; их рассмотрение не относится к тематике настоящего раздела; некоторые из них будут описаны в разделе 11, посвященном блокам стандартного цифрового интерфейса МК.

Простейшим способом избежания конфликтов на линии обмена данными, абоненты которой подключаются к ней посредством приемопередатчиков с открытым стоком (см. рис. 6.12), является протокол связи по принципу «ведущий – ведомые». Одному из абонентов присваивается статус ведущего, все остальные имеют статус ведомых, и основную часть времени работают в режиме приема, ожидая запрос от ведущего, с переведенными в режим отсечки транзисторами выходных каскадов (см. рис. 6.12). Последний, в соответствии с реализуемым алгоритмом работы, периодически передает запросы ведомым. Передав запрос, он переходит в режим приема, ожидая ответа. В свою очередь, ведомый, получив адресованный ему запрос, передает ведущему ответ на него, после чего снова переходит в режим приема.

Наиболее распространенным стандартом обмена данными, использующим приемопередатчики с открытым стоком для подключения к линии связи, является *I2C* [8, 9]. Встроенные блоки *I2C* имеются в составе большинства МК классов «*mainstream*» и «*high performance*» (см., например, рис. 1.3 – 1.5). Обобщенная структурная схема *I2C* – сети представлена на рис. 6.14.

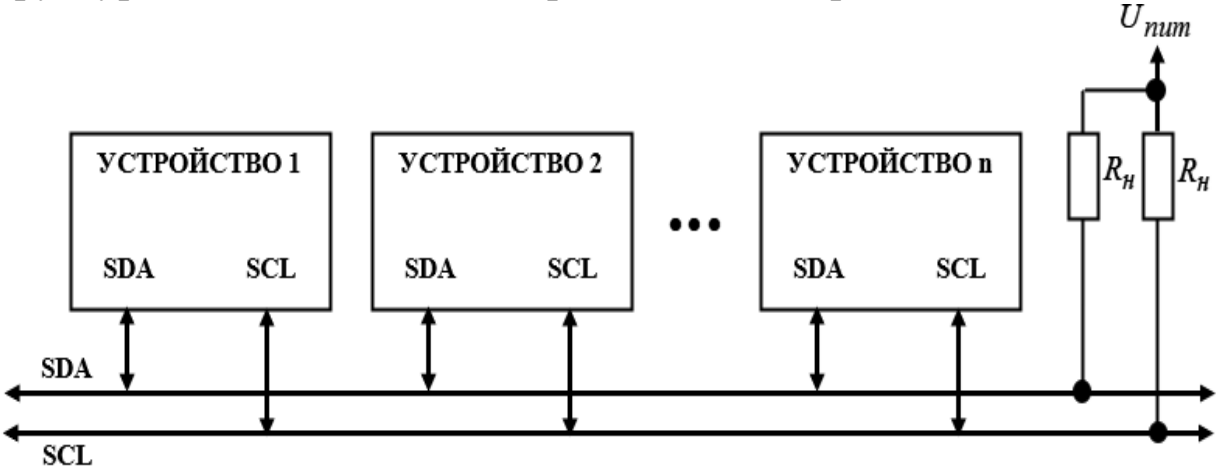


Рис. 6.14. Обобщенная структурная схема *I2C*-сети [8, 9]

Связь между абонентами осуществляется по 2-м линиям – *SCL* (линия передачи сигнала синхронизации) и *SDA* (линия передачи адресов абонентов и данных, осуществляемой в последовательном формате, т. е. бит за битом). Сигнал синхронизации вырабатывается только ведущим устройством, причем ведущим может быть любой из абонентов, инициирующий сеанс связи. Конфликты на линии разрешаются посредством специальных процедур арбитража.

Более подробное описание стандарта *I2C*, а также типовых структурно-архитектурных решений *I2C*-блоков МК представлены в подразделе 11.

Необходимо отметить, что режим выхода с открытым стоком, в принципе, может **применяться** для передачи сигналов на «плавающие» цифровые входы. Однако, при этом не может быть обеспечена скорость обмена данными, достижимая при использовании сочетания передатчика с двухтактным выходом и приемника с «плавающим» входом.

Также режим выхода с открытым стоком, как и режим двухтактного выхода, может использоваться для управления **исполнительными и индикаторными** устройствами, например, слаботочными электромагнитными реле, светодиодами и т. п. (при условии, что ток управления не превышает предельно допустимый выходной ток ПВВ), см., например, подпункт 6.4.4.2.

6.3.6. Режим цифрового выхода с открытым истоком

В данном режиме:

- в выходном каскаде ключ на *n*-канальном транзисторе постоянно разомкнут; ключ на *p*-канальном – разомкнут при передаче логического нуля и замкнут при передаче логической единицы;
- резистор подтяжки к питанию отключен, а подтяжки к общей шине – подключен;
- триггер Шмидта включен.

Аналогично режиму выхода с открытым стоком, основное **назначение** режима выхода с открытым истоком – **двунаправленный** обмен данными с устройствами, выходы

которых работают в таком же режиме. Эквивалентная схема драйвера входа / выхода ПВВ при его использовании в качестве приемопередатчика с открытым истоком приведена на рис. 6.15. Направления передачи сигнала при вводе и выводе данных показаны стрелками.

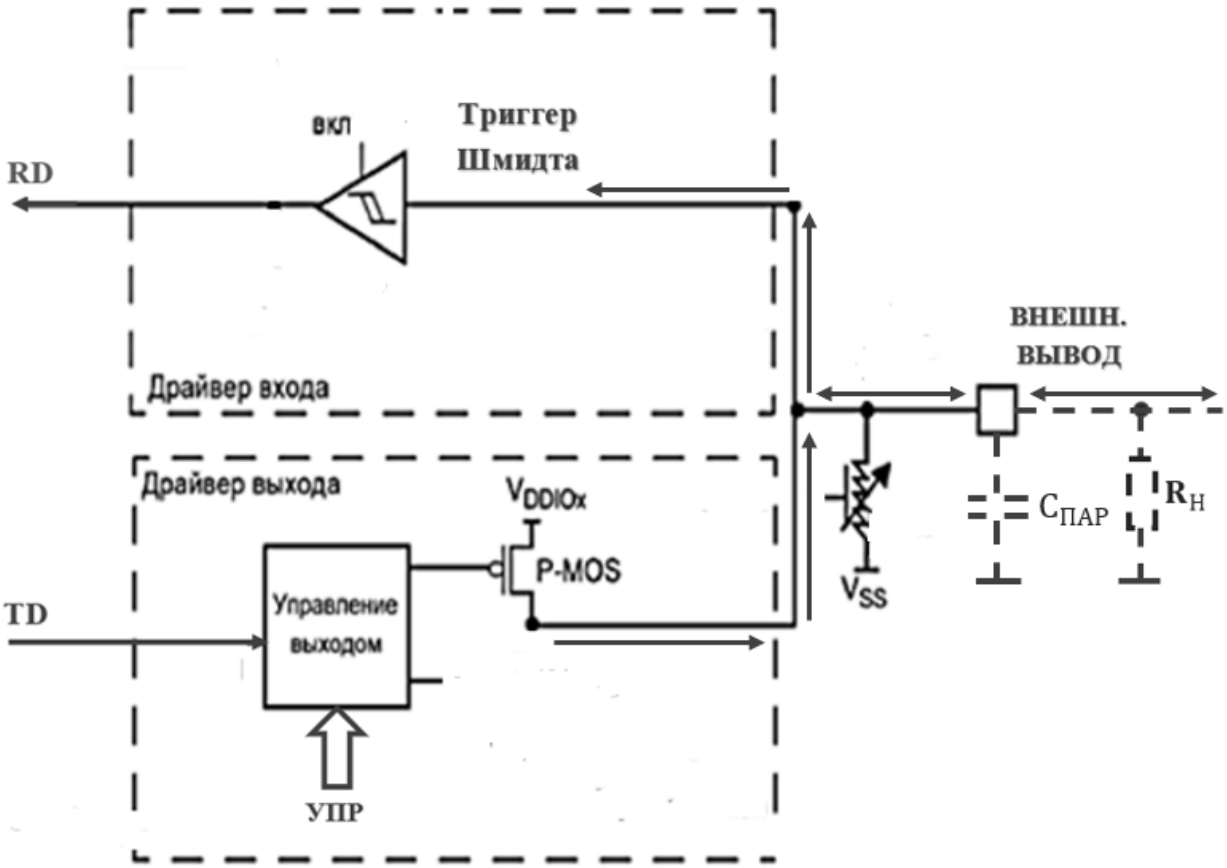


Рис. 6.15. Эквивалентная схема драйвера входа / выхода ПВВ МК в режиме цифрового приемопередатчика с открытым истоком (см. пояснения в тексте)

Для работы драйвера ПВВ, сконфигурированного в соответствии с рис. 6.15, в режиме приема необходимо подать логический ноль на вход *TD* драйвера (т. е. записать ноль в соответствующий разряд выходного регистра данных или установить в нулевое состояние соответствующий выход альтернативной функции, см. рис. 6.1), что переведет транзистор выходного каскада драйвера в режим отсечки (т. е. разомкнутого ключа), и он не будет влиять на прием данных.

Аналогично режиму приемопередатчика с открытым стоком:

- к линии связи, показанной на рис. 6.15 пунктирной линией, может быть подключено несколько абонентов, работающих в режиме приемопередатчика с открытым истоком;

- подтягивающий к ОШ (нагрузочный) резистор может быть один на всю линию;

- с целью повышения скорости обмена данными по линии связи, часто используется внешний нагрузочный резистор ($R_{\text{Н}}$ на рис. 6.15), сопротивление которого может быть на порядок меньше сопротивления внутреннего резистора подтяжки к ОШ.

Сопротивление внешнего резистора подтяжки к ОШ, $R_{\text{Н}}$, выбирается из условий:

$$\frac{U_{OH}}{R_H} < (0{,}6 \ldots 0{,}7) I_{Dmax}; \tag{6.3}$$

$$0{,}1/(R_H \times nC_{\text{ПАР}}) \geq BR_{max}; \tag{6.4}$$

где U_{HL} – выходное напряжение «высокого» уровня ПВВ в режиме выхода с открытым истоком (при расчетах U_{HL} можно считать равным напряжению питания); см. также пояснения к выражениям (6.1) и (6.2).

При скоростях обмена данными порядка десятков Кбит / с внешний нагрузочный резистор может не применяться.

На рис. 6.16 изображены выходные каскады с общим истоком двух абонентов линии обмена данными. Из рис. 6.16 видно, что:

- уровень логического нуля на линии присутствует только при нулевом состоянии выходов всех абонентов (т. е. только если транзисторы их выходных каскадов представляют собой разомкнутые ключи);

- если выход хотя бы одного из абонентов находится в единичном состоянии (т. е. транзистор его выходного каскада представляет собой замкнутый ключ), линия также переходит в единичное состояние, откуда название приведенной на рис. 6.16 схемы – «монтажное ИЛИ» (*wired OR*);

- если сопротивление резистора $R_{\text{Н}}$ соответствует условию (6.3), ни в одном из этих случаев выхода транзисторов из строя не произойдет;

- неопределенное состояние линии исключается, в любом случае оно будет или единичным, или нулевым.

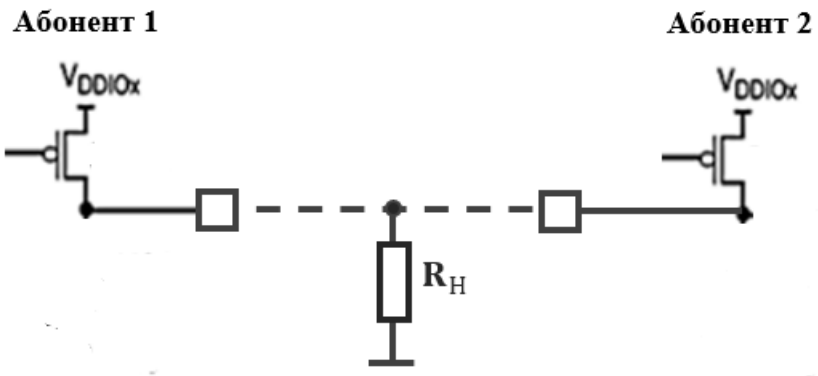


Рис. 6.16. Фрагмент линии обмена данными с выходными каскадами передатчиков с открытым истоком

Как и в режиме приемопередатчика с открытым стоком, благодаря отсутствию неопределенного состояния линии, возможен его достоверный контроль, посредством считывания приемным трактом драйвера ПВВ (см. рис. 6.15). В режиме приемопередатчика с открытым истоком признаком конфликта на линии является ее единичное состояние при передаче абонентом нуля. При выявлении конфликта запускается процедура арбитража.

Режим выхода с общим истоком, как и с общим стоком, в принципе, может **применяться** для передачи сигналов на «плавающие» цифровые входы. Однако он, аналогично режиму с общим стоком, характеризуется существенно меньшей скоростью обмена данными, чем сочетание режимов двухтактного цифрового выхода (при передаче) и «плавающего» цифрового входа (при приеме).

Режим выхода с открытым истоком, как и режимы двухтактного выхода и выхода с открытым стоком, может использоваться для управления маломощными **исполнительными и индикаторными** устройствами, (см., например, подпункт 6.4.4.2).

Следует отметить, что режим приемопередатчика с открытым истоком несколько меньше распространен на практике (в том числе в стандартизированных протоколах обмена данными) по сравнению с режимом приемопередатчика с открытым стоком. Поэтому архитектура многих семейств МК (в том числе *ARM Cortex-Mx*) не

предусматривает работу ПВВ в режиме выхода или приемопередатчика с открытым истоком.

6.3.7. Режим входа / выхода с сохранением последнего активного состояния шины (*bus-keeper*)

Реализуется не во всех семействах МК. В частности, отсутствует в МК семейств *ATmega* и *ARM Cortex-Mx*. Предусмотрен архитектурой ПВВ МК семейства *XMEGA* [21], а также ПВВ большинства современных семейств ПЛИС.

Режим «*bus-keeper*» **предназначен** для обмена данными между абонентами линии связи (шины) с неактивным 3-м состоянием (в простейшем случае число абонентов равно 2-м). Структурная схема драйвера входа / выхода ПВВ в режиме «*bus-keeper*» представлена на рис. 6.17. Пунктирными стрелками показано направление передачи сигнала при вводе данных, сплошными – при выводе.

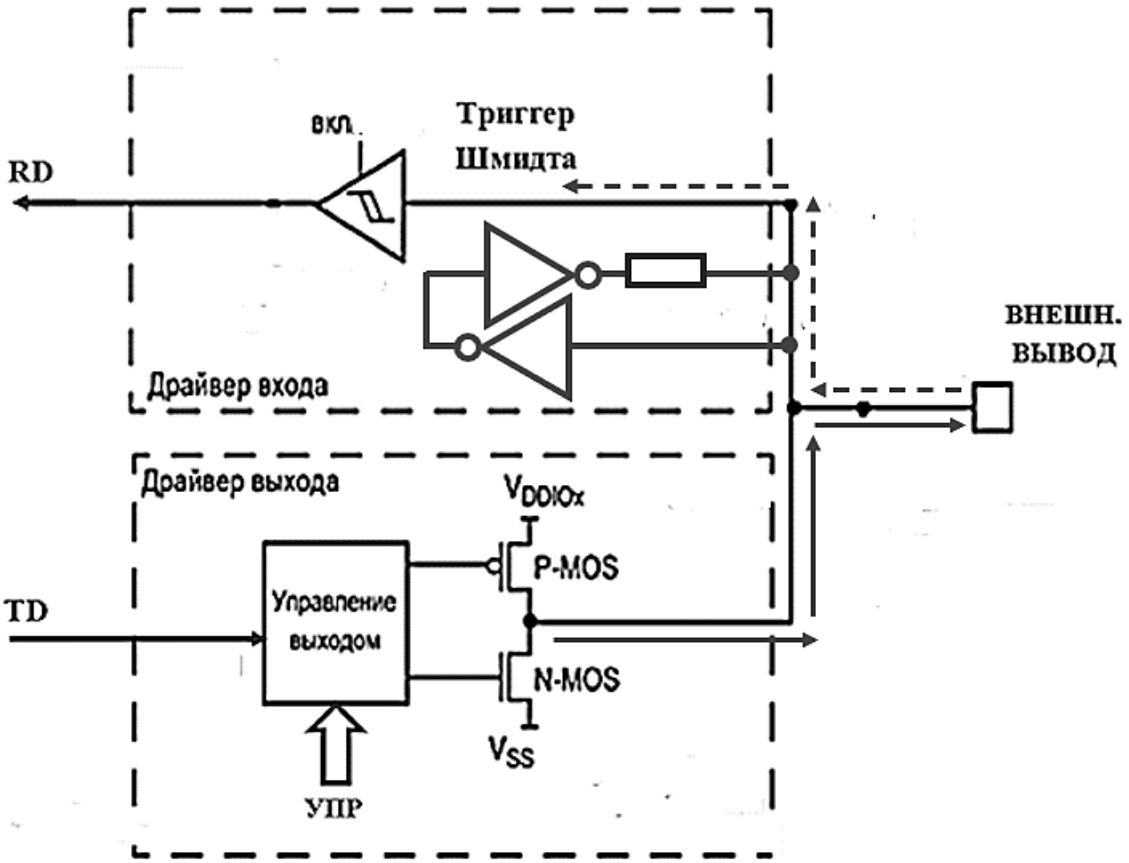


Рис. 6.17. Структурная схема драйвера входа / выхода ПВВ в режиме «*bus-keeper*»

Представленная на рис. 6.17 структура драйвера, в целом, аналогична его конфигурации в режиме двухтактного выхода (см. рис. 6.10), за исключением того, что в состав драйвера введен триггер на 2-х логических инверторах, подключенный к внешнему выводу ПВВ (фактически – к линии / шине обмена данными). Назначение данного триггера – фиксация последнего активного состояния шины (см. далее).

Применение режима «*bus-keeper*» предполагает, что б**о**льшую часть времени выходы всех абонентов находятся в 3-м состоянии, т. е. оба транзистора их выходного каскада представляют собой разомкнутые ключи. При передаче данных каким-либо абонентом линии его выходной каскад выводится из 3-го состояния, и работает в режиме двухтактного цифрового выхода. Естественно, недопустимо одновременное нахождение в активном состоянии выходов двух и более абонентов (см. рис. 6.11 и пояснения к нему). По окончании сеанса передачи в триггере на логических инверторах фиксируется последнее активное состояние шины.

Принцип работы триггера – фиксатора состояния шины поясняет рис. 6.18.

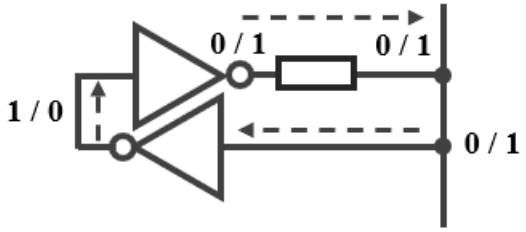


Рис. 6.18. Пояснение принципа работы триггера – фиксатора состояния шины
(стрелками показано направление передачи сигнала)

Пусть в некоторый момент времени одним из абонентов по шине был передан, например, нулевой уровень сигнала, после чего его выход снова был переведен в 3-е состояние. При передаче логического нуля по шине он поступит на вход нижнего по схеме инвертора, переводя его выход в единичное состояние. Оно, в свою очередь, переведет выход верхнего по схеме инвертора в нулевое состояние. С его выхода напряжение логического нуля через защитный резистор снова поступит на шину, с нее – на вход нижнего

по схеме инвертора и т. д. Аналогичный процесс произойдет при передаче логической единицы каким-либо из абонентов (см. рис. 6.18).

Таким образом, происходит фиксация на выходе верхнего инвертора и, соответственно, на шине последнего активного уровня сигнала, присутствовавшего на ней перед переходом в 3-е состояние всех абонентов. Данный уровень сохраняется на шине и после перевода источника переданного сигнала в 3-е состояние, и присутствует на ней до очередного сеанса передачи каким-либо из абонентов.

Защитный резистор (см. рис. 6.18) предохраняет выход верхнего по схеме инвертора от перегрузки по току, которая возникла бы во время переходных процессов, когда состояния шины и выхода инвертора на короткое время могут оказаться противоположными (например, когда на шине уже присутствует уровень логической единицы, а выход инвертора еще не переключился в единичное состояние, и находится в состоянии логического нуля). См. также рис. 6.11 и пояснения к нему.

Режим «*bus-keeper*» позволяет избежать неопределенного («плавающего») уровня сигнала на шине при 3-м (неактивном) состоянии выходов всех абонентов, которое приводит к снижению устойчивости входа к помехам и повышению энергопотребления [20].

Следует отметить, что неопределенное состояние уровня сигнала на шине при 3-м состоянии выходов всех абонентов, в принципе, может быть предотвращено подключением резисторов подтяжки к ОШ или к питанию (см. пункты 6.3.2 и 6.3.3, а также рис. 6.4). Однако, режим «*bus-keeper*» (при возможности его применения) более предпочтителен с точки зрения скорости переключения и помехоустойчивости передачи уровней логического нуля и единицы.

Еще одним полезным свойством режима «*bus-keeper*» (не реализуемым при использовании резисторов подтяжки) является возможность достоверного ввода данных, которые были переданы по шине в ближайшем по времени сеансе связи.

6.3.8. Режимы аналогового входа и аналогового выхода

Данные режимы **применяются** при выполнении выводом ПВВ альтернативных функций входа или, соответственно, выхода некоторого встроенного аналогового или аналого-цифрового блока МК (например, входа АЦП или выхода ЦАП). Состояния компонентов драйвера входа / выхода (см. рис. 6.4) в данном режиме следующие:

- триггер Шмидта выключен;
- оба подтягивающих резистора отключены;
- выходной каскад переведен в 3-е состояние;
- входной или выходной аналоговый сигнал поступает непосредственно с внешнего вывода или, соответственно, на внешний вывод ПВВ, в обход драйвера входа / выхода и мультиплексора (демультиплексора) (см. рис. 6.3).

6.4 Подключение к ПВВ внешних по отношению к МК устройств

6.4.1. Общие вопросы

Связь МК с внешними по отношению к нему устройствами является основным (и, как правило, единственным) назначением ПВВ.

Как указано во введении, основной областью применения МК является контроль состояния технических объектов и управление ими по результатам контроля, осуществляемое посредством исполнительных устройств. Часто при выполнении данной задачи также возникает необходимость отображения текущего состояния объекта контроля и управления в форме, удобной для восприятия оператором. Поэтому к внешним по отношению к МК устройствам, в первую очередь, относятся:

- датчики состояния объекта контроля и управления;

- исполнительные устройства (электронные коммутаторы, электромагнитные реле, шаговые двигатели и т. п.), посредством которых осуществляется управление объектом;

- устройства визуальной и звуковой индикации состояния объекта контроля и управления.

Кроме того, в качестве внешних устройств могут выступать:

- другие МК;

- хост-устройства, например, ПК или программируемые логические контроллеры (ПЛК);

- внешние запоминающие устройства, подключаемые при необходимости увеличения общего объема памяти;

- внешние периферийные устройства, в первую очередь – внешние устройства аналого-цифрового и цифрового интерфейса (например, в ряде конкретных случаев встроенный АЦП МК не удовлетворяет требованиям по разрешающей способности или точности, и возникает необходимость подключения внешнего АЦП).

В рамках данного раздела представляется необходимым посвятить специальный подраздел вопросам подключения к ПВВ вышеперечисленных категорий внешних устройств (в первую очередь – его схемотехническим аспектам).

6.4.2. Подключение датчиков к ПВВ МК

6.4.2.1. Как известно, существует два класса датчиков – с аналоговым и с дискретным (в том числе с цифровым) выходом. Выводы ПВВ, к которым подключаются датчики, естественно, должны работать в режиме входов (соответственно аналоговых или цифровых).

Основными проблемами, которые могут возникнуть при подключении датчиков каждого из данных классов к ПВВ МК, являются:

- обеспечение **совместимости уровней** выходных сигналов датчиков с допустимыми уровнями входных сигналов ПВВ (см. подраздел 3.2);

- необходимость **гальванической развязки** цепей питания датчика и МК (из соображений помехоустойчивости и электробезопасности);

- согласование выходного сопротивления датчика со входным сопротивлением ПВВ.

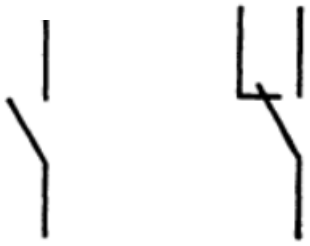
6.4.2.2. Выходным сигналом датчиков с **аналоговым** выходом, как правило, является напряжение или ток (постоянные или переменные), являющиеся некоторой функцией от контролируемой физической величины. Такие датчики подключаются (непосредственно или через аналоговое устройство сопряжения) к выводу ПВВ МК, сконфигурированному на выполнение альтернативной функции входа АЦП или аналогового компаратора, т. е. какого-либо блока аналого-цифрового интерфейса МК. Поэтому вопросы подключения к МК датчиков с аналоговым выходом будут рассмотрены в разделе 10, посвященном структурно-архитектурным решениям блоков аналого-цифрового интерфейса МК.

6.4.2.3. Датчики с **дискретным** выходом характеризуются конечным числом его различаемых (информативных) состояний. Наиболее распространенными разновидностями данного класса датчиков являются [30]:

- механические контакты с двумя устойчивыми состояниями;
- датчики с частотным цифровым выходом;
- датчики с кодовым выходом.

6.4.2.4. Датчики типа «**механический контакт**» представляют собой коммутационные элементы, работающие на замыкание / размыкание или на переключение (см. рис. 6.19). Их типовыми примерами являются:

- контакты клавиш, замыкающиеся при их нажатии и размыкающиеся при отжатии, и тем самым служащие датчиками состояния клавиши;
- кнопочные выключатели, служащие датчиками состояния двери (заслонки), замыкаясь при ее закрытии и размыкаясь при открытии.



а) б)

Рис. 6.19. Базовые варианты механических контактов

Для определения микроконтроллером состояния механического контакта на него должно быть подано напряжение или ток. На практике, как правило, на контакт подается постоянное напряжение. Если оно равно напряжению питания МК, могут быть использованы схемы подключения механических контактов к ПВВ, представленные на рис. 6.7 и 6.9. Однако, они неприменимы, если коммутируемое контактом напряжение выше напряжения питания МК. В частности, в системах промышленной автоматики датчики типа «механический контакт» обычно запитываются напряжением 24 В. Это обусловлено следующими факторами. С одной стороны, чем выше напряжение, тем меньше его относительные потери при его передаче на расстояние, характерной для систем автоматизации. Например, если по линии связи сопротивлением 8 Ом (медный провод, диаметр 0,5 мм, длина 100 м) передается напряжение 3,3 В при токе через линию, равном 50 мА, потери напряжения в линии составят 400 мВ, т. е. 12% от исходного значения. Если при тех же условиях передается напряжение 24 В, его относительные потери будут равны примерно 1,7%. С другой стороны, постоянное напряжение 24 В относится к безопасным для человека. Таким образом, данное напряжение характеризуется рациональным сочетанием потерь при передаче и безопасности. Однако, при питании датчика типа «механический контакт» таким напряжением требуется специальная схема согласования для подключения такого датчика к ПВВ МК (напомним, что типовое значение напряжения питания современных МК равно +3 или +3,3 В, реже - +5 В). То же справедливо и для других значений напряжения питания датчика, превышающих напряжение питания МК.

Необходимо отметить, что, с точки зрения помехоустойчивости и во избежание случайных повреждений МК напряжением питания механических контактов, требуется гальваническая развязка цепей питания МК и данных контактов.

Одна из типовых схем подключения датчика «механический контакт» к МК представлена на рис. 6.20 [30]. Значком треугольника обозначена общая шина цепи питания датчика.

Гальваническая развязка реализуется посредством транзисторного оптрона *U1* с 2-мя излучающими диодами, включенными встречно, что обеспечивает работоспособность схемы при любой полярности подключения датчика. Резисторы *R1* и *R2* задают рабочий ток диодов. Резистор *R2* также предотвращает «плавающее» состояние входной цепи оптрона при разомкнутом контакте. Конденсатор *C1* служит для фильтрации высокочастотных помех, типовое значение его емкости – порядка 0,1 мкФ. На фотоприемнике (фототранзисторе) оптрона реализован работающий в ключевом режиме каскад с общим эмиттером, питание которого осуществляется от того же источника, что и питание МК. Выходной сигнал данного каскада поступает на вывод ПВВ, который должен быть сконфигурирован на режим цифрового входа.

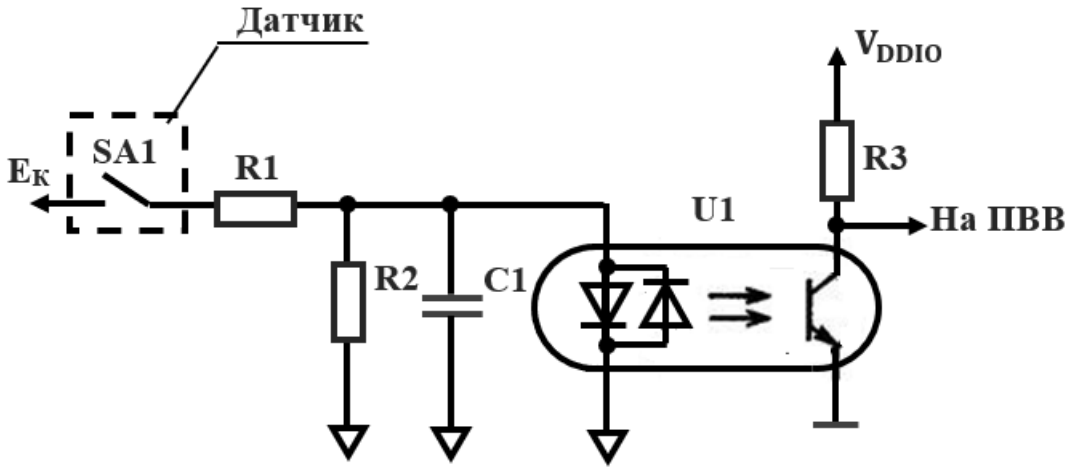


Рис. 6.20. Типовая схема подключения датчика «механический контакт» к МК

Основные расчетные соотношения схемы, приведенной на рис. 6.20:

- сопротивление резистора *R2* выбирается, исходя из условия:

$$V_{DDIO} - K_I I_D R3 < U_{ILmax}; \qquad (6.5)$$

где U_{ILmax} – максимально допустимое входное напряжение «низкого» уровня ПВВ; K_I – коэффициент передачи оптрона по току; I_D – ток через излучающий диод, рассчитываемый по выражению:

$$I_D = \frac{E_K - U_D}{R1} - \frac{U_D}{R2}; \qquad (6.6)$$

где U_D – падение напряжения на излучающем диоде в прямом смещении (указывается в технической документации на оптрон, типовое значение – порядка 1,2 - 1,5 В);

- сопротивления резисторов *R1* и *R2* выбираются на основе выражения (6.6), исходя из требуемого значения тока I_D, а также из следующего дополнительного условия:

$$\frac{E_K R2}{R1 + R2} > U_D. \qquad (6.7)$$

Если условия (6.5) и (6.7) соблюдаются, напряжение, поступающее на ПВВ МК, равно уровню логической единицы при разомкнутом контакте *SA1* и логического нуля – при замкнутом.

Ввиду того, что датчики «механический контакт» инерционны по своей природе, динамические параметры представленной на рис. 6.20 схемы не критичны. Выбор режима работы оптрона осуществляется, исходя из допустимого значения тока $K_I I_D$, потребляемого выходным каскадом от источника питания МК.

Взамен оптрона *U1* может быть использован оптоэлектронный переключатель логических сигналов (ОПЛС) с 2-мя излучающими диодами, совместимый по «высокому» и «низкому» уровням выходного сигнала с единичным и нулевым входным напряжением ПВВ. При реализации выходного каскада ОПЛС по схеме с открытым коллектором или с открытым стоком данная совместимость обеспечивается подключением подтягивающего резистора между выходом ОПЛС и шиной питания ПВВ. Его

сопротивление выбирается в соответствии с технической документацией на ОПЛС.

Следует отметить, что предпочтительным является применение, по возможности, **промышленно выпускаемых** модулей сопряжения датчиков «механический контакт» с МК (см., например, [31]). В целом, они реализуются по схемам, аналогичным представленной на рис. 6.20, за исключением второстепенных деталей. В ряде моделей резисторы *R1, R2* и *R3* выбираются и подключаются разработчиком.

6.4.2.5. Датчики с **частотным цифровым выходом** представляют собой источники логических импульсов, частота которых является некоторой функцией от контролируемой физической величины (в частности, достаточно распространены датчики скорости вращения, а также температуры и влажности с частотным выходом). Как правило, частота выходного сигнала таких датчиков преобразуется в код посредством встроенных таймеров / счетчиков МК (см. раздел 9).

Основными проблемами, которые могут возникнуть при подключении датчиков с частотным цифровым выходом к ПВВ МК, являются:

- несовместимость «высокого» уровня выходного напряжения датчика и входного напряжения ПВВ (например, при питании МК и датчика напряжениями +3,3 В и +5 В соответственно); несовместимость напряжения «низкого» уровня в настоящее время встречается весьма редко, и вопросы ее устранения рассматриваться не будут;

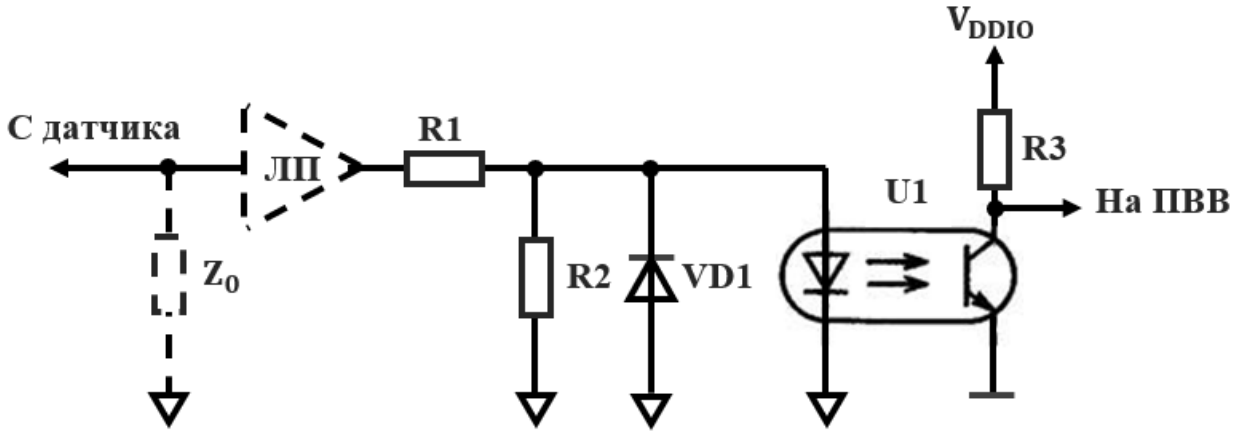
- необходимость гальванической развязки цепей питания МК и датчика;

- при частоте выходного сигнала датчика от десятков кГц и выше, а также длине линии связи датчика с МК порядка нескольких десятков метров и более – согласование входного сопротивления приемника сигнала с волновым сопротивлением соединительного кабеля.

В наиболее общем случае, когда присутствуют все три вышеперечисленных фактора, может быть использована, например, схема подключения датчика, представленная на рис. 6.21 [30]. В

целом, она подобна схеме, приведенной на рис. 6.20, за исключением того, что:

- может использоваться оптрон с одним излучающим диодом;
- в схеме присутствует диод *VD1*, предохраняющий оптрон от возможных отрицательных выбросов напряжения;
- при необходимости согласования входного сопротивления с волновым сопротивлением кабеля – подключаются показанные пунктиром согласующий резистор, а также логический повторитель (ЛП);
- логический повторитель подключается также, если максимально допустимый выходной ток датчика меньше расчетного значения тока через резистор *R1*.



Z_0 – волновое сопротивление соединительного кабеля
ЛП – логический повторитель

Рис. 6.21. Схема подключения датчика с частотным цифровым выходом к МК (общий случай)

Расчет элементов схемы производится по выражениям (6.5) – (6.7), **за исключением** того, что в выражения (6.6) и (6.7) вместо напряжения E_K (см. рис. 6.20) подставляется напряжение «высокого» уровня на выходе ЛП, а в его отсутствие – на выходе датчика.

В отличие от устройства сопряжения с МК датчиков типа «механический контакт» (см. рис. 6.20), для устройств сопряжения с МК датчиков с частотным выходом важны динамические параметры, в первую очередь – время включения и выключения.

Поэтому выбор модели оптрона и значения тока I_D через излучающий диод следует выбирать таким образом, чтобы нормируемые технической документацией на оптрон значения указанных задержек при выбранном I_D были минимум в 3 – 5 раз меньше периода выходного сигнала датчика.

Как и при сопряжении МК с датчиками типа «механический контакт»:

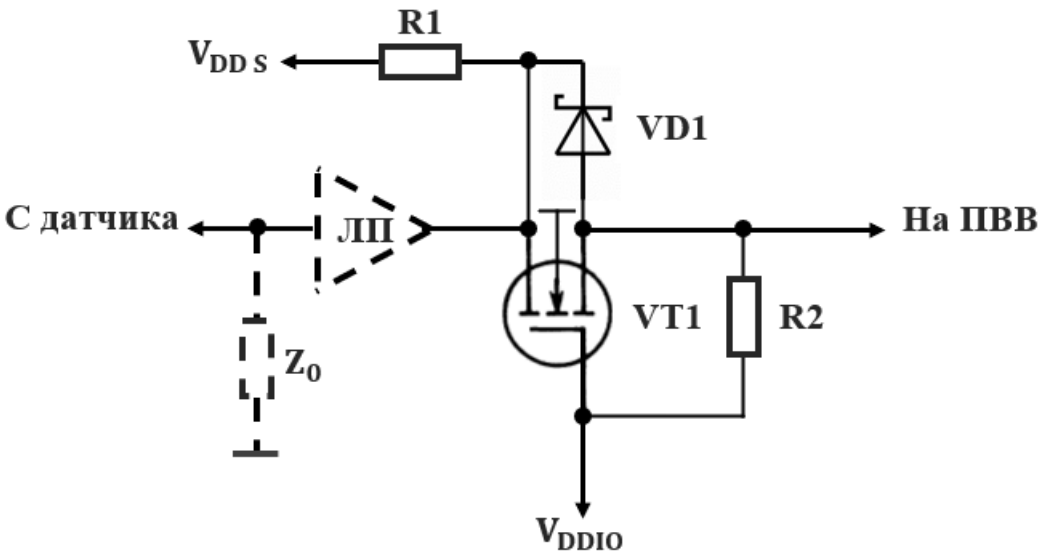
- взамен оптрона *U1* может быть использован оптоэлектронный переключатель логических сигналов, совместимый по уровням выходного напряжения с допустимыми значениями входного напряжения ПВВ и удовлетворяющий требованиям к динамическим параметрам схемы сопряжения (см. выше);

- предпочтительным является применение, по возможности, **промышленно выпускаемых** модулей сопряжения (см., например, [31]), в целом, реализуемых по схемам, аналогичным представленной на рис. 6.21 (в ряде моделей – с выбором и подключением разработчиком резисторов *R1, R2* и *R3*).

При **отсутствии** необходимости в гальванической развязке цепей питания датчика и МК, но при несовместимости «высокого» уровня входного напряжения ПВВ и выходного сигнала датчика он подключается ко входу ПВВ через **преобразователь уровней (ПУ)**. Как правило, на практике встречаются случаи, когда напряжение «высокого» уровня на выходе датчика больше максимально допустимого входного напряжения ПВВ (крайне редко - наоборот), поэтому обычно применяются ПУ с понижением напряжения. Известно достаточно много вариантов их схем. Если верхняя граничная частота выходного сигнала датчика **не превышает** нескольких сотен кГц, может быть применена широко распространенная простейшая схема, представленная на рис. 6.22. Ее основой является ключ на МОП-транзисторе *VT1* с индуцированным *n*-каналом, снабженный параллельно включенным диодом Шоттки *VD1*. Типовое сопротивление резисторов – 10 кОм. Данный ПУ является **двунаправленным**, и может работать как на понижение, так и на повышение напряжения. На рис. 6.22 приведен вариант включения в режиме понижающего ПУ; предполагается, что напряжение питания датчика выше, чем напряжение питания ПВВ.

Логический повторитель и согласующее сопротивление подключаются при необходимости (см. пояснения к схеме, представленной на рис. 6.21).

При «высоком» (близком к $V_{DD\,S}$) уровне напряжения на стоке транзистора он находится в состоянии отсечки, т. е. эквивалентен разомкнутому ключу. Напряжение на истоке транзистора (и, соответственно, на входе ПВВ) при этом примерно равно V_{DDIO}, и воспринимается ПВВ как единичное.



$V_{DD\,S}$ – напряжение питания датчика

Рис. 6.22. Схема подключения датчика с цифровым выходом к ПВВ МК через двунаправленный ПУ в режиме понижения напряжения

При нулевом напряжении на стоке транзистора и при условиях, что:

$$V_{DDIO} > U_{T\,VT1}; \tag{6.8}$$

$$S_{VT1} V_{DDIO} R1 \geq V_{DD\,S}; \tag{6.9}$$

(где $U_{T\,VT1}$ и S_{VT1} – соответственно пороговое напряжение и крутизна характеристики транзистора *VT1*) транзистор *VT1* переходит в состояние замкнутого ключа, и напряжение на входе ПВВ также становится примерно равным нулю. При этом также смещается в прямом направлении диод *VD1*, обеспечивая напряжение на входе ПВВ, не превышающее порядка 300 мВ

(падение напряжение на прямо смещенном диоде Шоттки) даже при несоблюдении условия (6.9), например, из-за разброса параметров транзистора.

При работе ПУ в режиме повышения напряжения входной сигнал подается на исток транзистора, выходной снимается со стока. Напряжение на левом по схеме выводе резистора $R1$, как и при работе в режиме понижающего ПУ, должно превышать напряжение на затворе транзистора, а «высокий» уровень входного сигнала должен быть равен напряжению на затворе. Диод при этом не задействован, условия (6.8) и (6.9) должны гарантированно соблюдаться.

Естественно, предпочтительно использование промышленно выпускаемых ПУ. Имеется достаточно широкая номенклатура серийно производимых миниатюрных модулей, содержащих 4 или 8 ПУ вышеописанного типа.

При верхней граничной частоте выходного сигнала датчика, **превышающей** несколько сотен кГц, необходимо применение более быстродействующих ПУ, выпускаемых в виде специализированных ИС, например, ***TXS0108E*** [32]. Принцип их реализации, в целом, аналогичен вышеописанному. Основное отличие от представленного на рис. 6.22 простейшего ПУ состоит в наличии дополнительных форсирующих цепей, ускоряющих переключение выходных сигналов. Детальное рассмотрение принципов работы данных ПУ представлено в [32].

6.4.2.6. Датчики **с кодовым выходом** представляют собой устройства с выходным сигналом в виде двоичного цифрового кода (обычно последовательного), несущего информацию о значении контролируемой физической величины.

Выходы большинства моделей современных датчиков с кодовым выходом совместимы по уровням с ПВВ распространенных семейств МК, и могут подключаться к ним непосредственно. Сравнительно редко возникает необходимость в гальванической развязке цепей питания датчика и МК или в согласовании уровней выходного сигнала датчика и входного сигнала ПВВ МК. В таких случаях применяются технические решения, аналогичные приведенным в подпункте 6.4.2.5.

6.4.3. Подключение исполнительных устройств к ПВВ МК

6.4.3.1. Основными классами исполнительных устройств (ИУ), применяемых в системах управления техническими объектами на базе МК, являются [30]:

- электронные ключи и коммутаторы различной мощности;
- электромагнитные реле;
- электромагниты;
- электродвигатели различных классов, в том числе шаговые.

Управление большинством разновидностей данных ИУ осуществляется поступающими с ПВВ МК двухуровневыми (двоичными) сигналами, в том числе с широтно- или частотно-импульсной модуляцией [30]. Значительно реже встречаются ИУ, на управляющие элементы которых требуется подавать многоуровневые (изменяющиеся ступенчато или непрерывные) сигналы. Поэтому ограничимся рассмотрением вопросов подключения к ПВВ исполнительных устройств первого из вышеназванных типов. Их управляющие элементы представляют собой коммутаторы, управляемые, в свою очередь, выходными сигналами ПВВ МК.

Основными проблемами, возникающими при управлении МК вышеперечисленными классами ИУ, являются следующие [30]:

- как правило, ток управления вышеперечисленными ИУ существенно (минимум – в разы, часто – на порядок и более) превышает предельно допустимый выходной ток ПВВ;
- разность «высокого» и «низкого» уровней напряжения управления ИУ в большинстве случаев превышает разность нулевого и единичного уровней выходного напряжения ПВВ;
- при управлении коммутаторами высоковольтных и силовых устройств необходима гальваническая развязка цепей питания МК и ИУ.

Дополнительной проблемой, возникающей при управлении ИУ выходными сигналами ПВВ МК, является исключение неопределенного («плавающего») состояния управляющих входов ИУ при переходе выводов ПВВ в режим «плавающих» входов после сброса МК (в том числе по включении питания) (см. пункт 6.3.1).

6.4.3.2. Непосредственно от ПВВ МК обычно управляются только маломощные ключи и коммутаторы. В качестве примера на рис. 6.23 приведена типовая схема управления маломощным аналоговым КМОП-ключом посредством выходного сигнала ПВВ МК. Знаком «#» обозначен управляющий вывод ключа. Резистор *R1* предотвращает его неопределенное состояние при переходе вывода ПВВ в режим «плавающего» входа (см. выше). Резистор *R2* ограничивает ток заряда / разряда входной емкости управляющего вывода ключа.

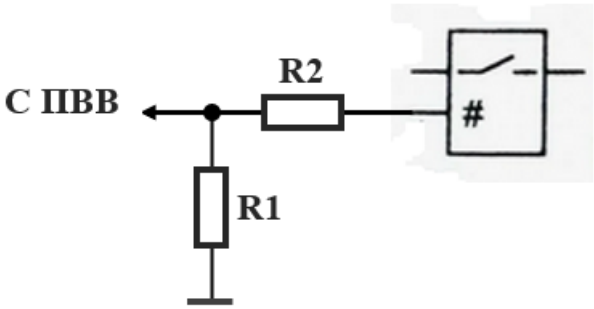


Рис. 6.23. Типовая схема управления ПВВ МК маломощным аналоговым КМОП-ключом

Сопротивления резисторов *R1* и *R2* выбираются, исходя из следующих условий:

- амплитуда выходного тока ПВВ, равная сумме амплитуд тока через резистор *R1* и тока заряда / разряда входной емкости управляющего вывода ключа, не должна превышать (с запасом) предельно допустимый выходной ток ПВВ, т. е.:

$$\frac{U_{OH}}{R1} + I_{m\,ch/dch} < (0{,}6 \ldots 0{,}7) I_{O\,max}; \qquad (6.10)$$

где U_{OH} – напряжение «высокого» уровня на выходе ПВВ; $I_{o\,max}$ – максимально допустимый выходной ток ПВВ; $I_{m\,ch/dch}$ - амплитуда тока заряда / разряда входной емкости управляющего вывода, оцениваемая по выражению:

$$I_{m\,ch/dch} \approx \frac{U_{OH} - U_{OL}}{t_{r,f}} C_{in} \left[1 - exp\left(-\frac{t_{r,f}}{R2 \times C_{in}}\right)\right]; \qquad (6.11)$$

где U_{OL} – напряжение «низкого» уровня на выходе ПВВ; $t_{r,f}$ – время нарастания (спада) выходного напряжения ПВВ; C_{in} – входная емкость управляющего вывода ключа;

- постоянная времени ФНЧ, формируемого резистором и входной емкостью управляющего вывода ключа должна быть существенно меньше длительности минимального интервала времени между замыканием и размыканием ключа, $\Delta t_{ON/OFF}$:

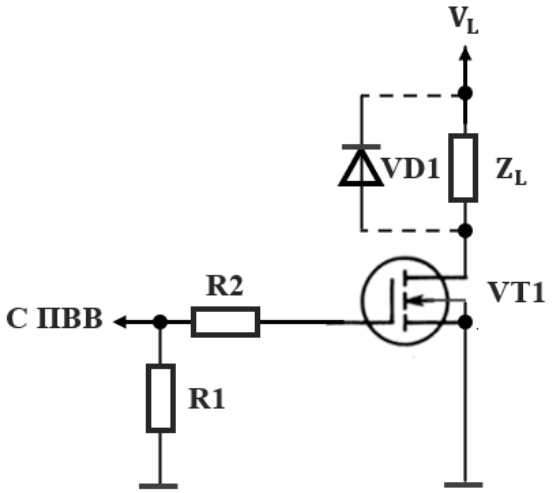
$$R2 \times C_{in} < \frac{\Delta t_{ON/OFF}}{5 \dots 10}. \qquad (6.12)$$

Типовое значение сопротивления резистора *R1* – порядка нескольких десятков кОм, а *R2* – порядка нескольких сотен Ом.

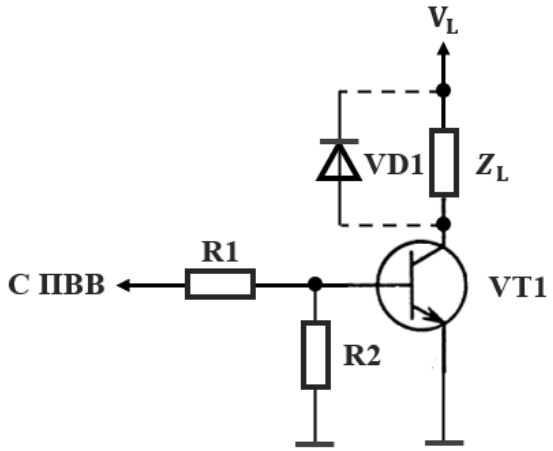
6.4.3.3. В большинстве практических случаев управление ИУ непосредственно выходным сигналом ПВВ МК невозможно. Оно осуществляется посредством **драйвера** ИУ, управляемого, в свою очередь, выходом ПВВ МК.

Простейший драйвер ИУ представляет собой усилитель мощности, работающий в ключевом режиме, в качестве нагрузки которого служит цепь управления ИУ (например, обмотка электромагнитного реле или электродвигателя). Примеры схем таких драйверов приведены на рис. 6.24. Драйверы построены на основе управляемых ПВВ транзисторных ключей, включающих / отключающих ток цепи управления ИУ. Она, как правило, имеет индуктивно-резистивный (если в ее качестве служит обмотка реле, электромагнита, электродвигателя и т. п.) или резистивный характер. При индуктивно-резистивном характере цепи управления необходимо подключение защитного диода *VD1*, предохраняющего транзистор от выбросов напряжения, возникающих при прерывании тока через индуктивность. Резисторы *R1* и *R2* схемы, приведенной на рис. 6.24а, выполняют те же функции, что и резисторы *R1* и *R2* схемы, представленной на рис. 6.23. Резисторы *R1* и *R2* драйвера на биполярном транзисторе (рис. 6.24б) задают ток базы, необходимый для замыкания ключа. Резистор *R2* также предотвращает неопределенное состояние базы транзистора при переходе вывода ПВВ в режим «плавающего» входа. В принципе, данный резистор

может быть подключен и к выводу ПВВ, аналогично схеме, приведенной на рис. 6.24а. Однако, вариант включения, приведенный на рис. 6.24б, характеризуется несколько меньшей инерционностью (за счет ускоренного перехода транзистора в режим отсечки при подключенном к базе резисторе *R2*), и поэтому более распространен на практике.



а)



б)

Z_L – нагрузка драйвера (цепь управления ИУ)

V_L – напряжение питания драйвера

Диод *VD1* подключается при индуктивном (индуктивно-резистивном) характере нагрузки

Рис. 6.24. Схемы простейших драйверов ИУ

Параметры и элементы драйверов, схемы которых приведены на рис. 6.24, выбираются / рассчитываются, исходя из следующих условий.

1) Напряжение V_L выбирается на основании паспортных данных ИУ (например, если драйвер предназначен для управления электромагнитным реле, V_L должно быть равно или больше напряжения срабатывания реле и т. п.).

2) Предельно допустимые постоянные напряжения сток-исток и сток-затвор МОП-транзистора, а также коллектор-эмиттер и коллектор-база биполярного должны быть не менее $(1{,}4 \ldots 1{,}6)V_L$.

3) Предельно допустимый постоянный ток стока МОП-транзистора, а также коллектора биполярного должен быть не менее $(1{,}4 \ldots 1{,}6) \times (V_L/R_L)$, где R_L – активная составляющая импеданса нагрузки (например, активное сопротивление обмотки реле).

4) Крутизна характеристики МОП-транзистора должна удовлетворять требованию:

$$S_{VT1}U_{OH}R_L \geq V_L. \qquad (6.13)$$

Если условие (6.13) не может быть удовлетворено при использовании одиночного МОП-транзистора, в качестве *VT1* может быть применен **составной** транзистор из каскадно включенных МОП- и биполярного. Предпочтительный вариант такой конфигурации для *n*-канального МОП-транзистора приведен на рис. 6.25.

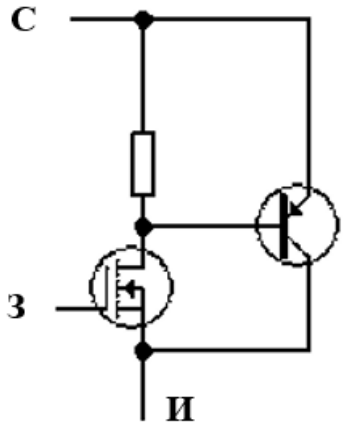


Рис. 6.25. Пример схемы составного транзистора на МОП- и биполярном транзисторах

Функционально представленная на рис. 6.25 схема эквивалентна *n*-канальному МОП-транзистору, исток, затвор и сток которого обозначены буквами И, З и С. Крутизна его характеристики

примерно равна произведению крутизны характеристики МОП- и биполярного транзисторов.

5) Сопротивления резисторов *R1* и *R2* схемы, приведенной на рис. 6.24а, выбираются, исходя из условий (6.10) – (6.12); в качестве емкости C_{in} выступает входная емкость транзистора; условие (6.12) не критично при управлении инерционными ИУ.

6) Сопротивления резисторов *R1* и *R2* схемы, приведенной на рис. 6.24б, рассчитываются из условия работы транзистора в режиме насыщения при «высоком» уровне напряжения на выходе ПВВ:

$$I_{B\,VT1} > (1{,}4 \dots 1{,}6)\frac{I_{C\,VT1}}{h_{21E\,min}}; \qquad (6.14)$$

где $h_{21E\,min}$ – минимальное паспортное значение коэффициента передачи по току транзистора *VT1* при включении с общим эмиттером; $I_{B\,VT1}$ и $I_{C\,VT1}$ – соответственно ток базы и ток коллектора в режиме насыщения, рассчитываемые по выражениям:

$$I_{B\,VT1} = \frac{U_{OH} - U_{BE\,VT1}}{R1} - \frac{U_{BE\,VT1}}{R2};$$

где U_{OH} – выходное напряжение «высокого» уровня ПВВ; $U_{BE\,VT1}$ – падение напряжения на прямо смещенном базо -эмиттерном переходе (может быть принято равным 0,7 В для кремниевого транзистора);

$$I_{C\,VT1} = V_L/R_L.$$

7) Дополнительные условия, которые должны быть обеспечены при расчете сопротивлений резисторов *R1* и *R2* схемы, приведенной на рис. 6.24б:

$$U_{OH}\frac{R2}{R1 + R2} > U_{BE\,VT1}; \qquad (6.15)$$

$$\frac{U_{OH} - U_{BE\,VT1}}{R1} < (0{,}6 \dots 0{,}7)I_{O\,max}. \qquad (6.16)$$

где $I_{O\ max}$ – максимально допустимый выходной ток ПВВ.

8) Если требования (6.14) и (6.16) не могут быть удовлетворены при использовании одиночного транзистора, в качестве *VT1* может быть применен **составной** транзистор Дарлингтона или Шиклаи, последний более предпочтителен [22].

Представленные на рис. 6.24 схемы драйверов достаточно широко используются для управления слаботочными электромагнитными реле, маломощными электромагнитами и электродвигателями, в основном, постоянного тока и шаговыми. Управление последними в микрошаговом режиме, а также скоростью вращения электродвигателей постоянного тока осуществляется посредством формируемых таймерами МК ШИМ-сигналов (см. раздел 9), поступающих на драйвер с ПВВ МК.

Следует отметить, что серийно выпускаются ИС, содержащие несколько (4 или 8) драйверов, реализованных по схеме, аналогичной одной из приведенных на рис. 6.24 (см., например, ***ULN200xA*** [33]).

Каждому из вариантов драйверов, схемы которых представлены на рис. 6.24, присущи свои достоинства и недостатки. Основным достоинством драйвера на МОП-транзисторе (рис. 6.24а) является пониженная (по сравнению с драйвером на биполярном транзисторе) нагрузка на ПВВ МК при одинаковых токах в нагрузке. В свою очередь, драйвер на биполярном транзисторе характеризуется (при корректном расчете) меньшей чувствительностью к разбросу параметров элементов, в том числе транзистора.

6.4.3.4. Драйверы ИУ, представленные на рис. 6.24, **не применимы** для управления высоковольтными или силовыми ИУ по следующим причинам:

- сложность или невозможность удовлетворения условий (6.10) – (6.16), а также приведенных выше требований к транзисторам драйвера при токах нагрузки, превышающих несколько сотен миллиампер и / или напряжениях V_L выше нескольких десятков вольт;

- сложность реализации энергоэффективных режимов работы ИУ;

- отсутствие гальванической развязки между цепями питания МК и драйвера, которая желательна (в большинстве случаев – обязательна) при управлении высоковольтными или силовыми ИУ.

Управление вышеназванными категориями ИУ осуществляется посредством специализированных драйверов в интегральном исполнении, управляемых, в свою очередь, выходными сигналами ПВВ МК.

6.4.3.5. К относительно простым драйверам высоковольтных / силовых ИУ относятся мощные оптроны, в частности, оптотиристоры (в т. ч. оптосимисторы), а также твердотельные оптоэлектронные реле (см., например, [34]). Схемы управления ими посредством выходных сигналов ПВВ МК достаточно просты. На рис. 6.26 в качестве примера представлена типовая схема управления силовым ИУ (мощным симистором ТС106 [35]) посредством оптосимистора АОУ163 [34], служащего драйвером. Включение / выключение его излучающего диода осуществляется выходным сигналом ПВВ МК.

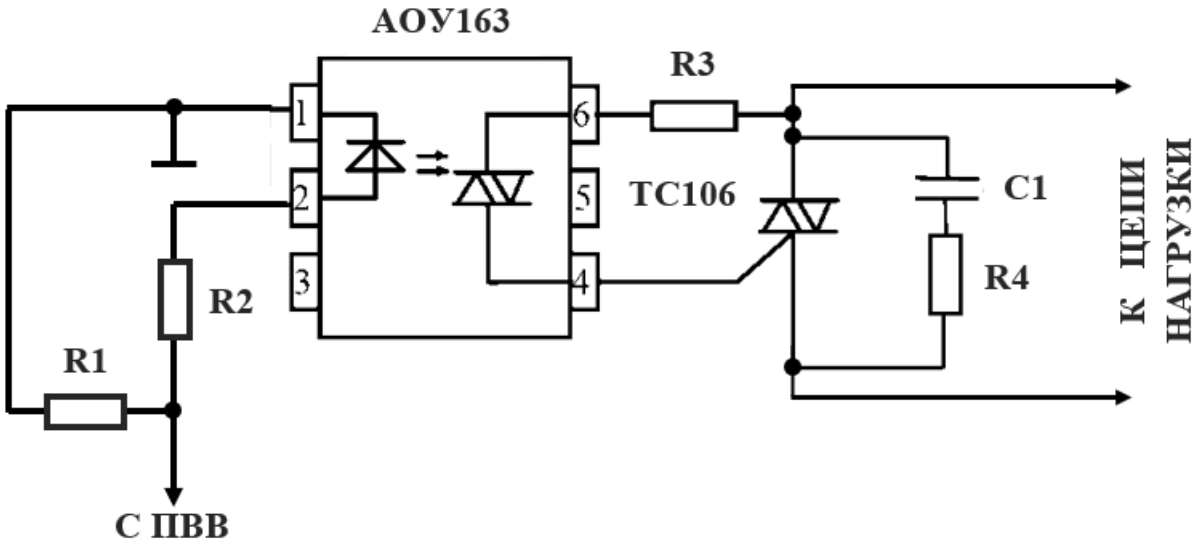


Рис. 6.26. Пример схемы управления силовым ИУ посредством оптосимистора [34]

Резистор *R1* предотвращает неопределенное состояние управляющего сигнала при переходе вывода ПВВ в режим «плавающего» входа. Резистор *R2* задает ток через излучающий

диод. Сопротивления резисторов *R1* и *R2* выбираются, исходя из следующих условий:

$$\frac{U_{OH} - U_D}{R2} = I_{D\ nom}; \qquad (6.17)$$

где U_D и $I_{D\ nom}$ – паспортные значения падения напряжения на излучающем диоде и номинального тока через него во включенном состоянии (для модели АОУ163 равные 1,3 В и 10 мА соответственно);

$$I_{D\ nom} + \frac{U_{OH}}{R1} < (0{,}6 \ldots 0{,}7) I_{O\ max}; \qquad (6.18)$$

Выражения (6.17) и (6.18) применимы для расчета резисторов цепи управления **любой** моделью оптрона или твердотельного оптоэлектронного реле.

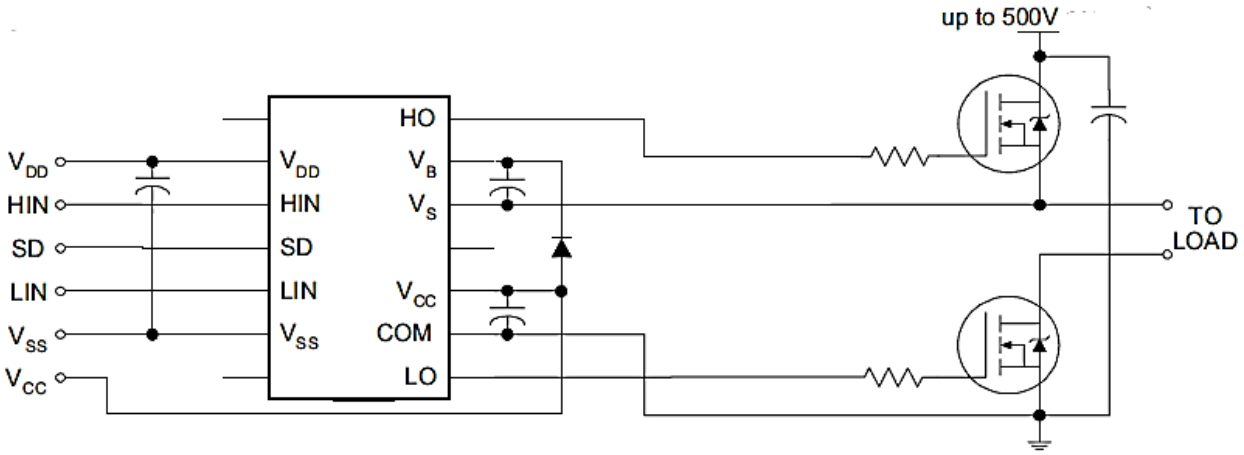
Резистор *R3* является токоограничивающим, цепь на конденсаторе *C1* и резисторе *R4* служит в качестве фильтра. Рекомендуемые производителем номиналы *R3*, *C1* и *R4* – соответственно 51…100 Ом, 0,1 мкФ и 51 Ом [34].

6.4.3.6. Кроме описанных выше относительно простых драйверов высоковольтных / силовых ИУ, имеется широкая номенклатура более сложных драйверов данной категории в интегральном исполнении, управляемых МК. Использование данных драйверов позволяет осуществлять управление высоковольтными и силовыми ИУ посредством МК, при возможности реализации разнообразных (в том числе энергоэффективных) алгоритмов управления и приемлемых габаритах драйверов ИУ.

Вкратце рассмотрим два показательных примера управляемых МК ИС драйверов ИУ.

Представительным примером управляемого МК драйвера мощных МОП-транзисторов и *IGBT* является ИС ***IR2110*** [36]. Ее типовая схема включения представлена на рис. 6.27. Входные управляющие сигналы *HIN*, *LIN* и *SD* поступают с МК. Активным (единичным) уровнем на входе *HIN* замыкается верхний по схеме

силовой ключ, на входе *LIN* – нижний, на входе *SD* (*Shut Down*) – размыкаются оба силовых ключа, независимо от состояния входов *HIN* и *LIN*. Входы защищены от неопределенного состояния при переходе вывода ПВВ в режим «плавающего» входа. Допустимое напряжение в цепи нагрузки – до 500 В (см. рис. 6.27), максимально допустимый импульсный ток по выходам управления силовыми ключами (*HO* и *LO*) – до 2 А. Драйвер отличается высоким быстродействием (время задержки распространения сигнала управления – порядка 100 нс). Выпускается в 14- или 16-выводном корпусе.

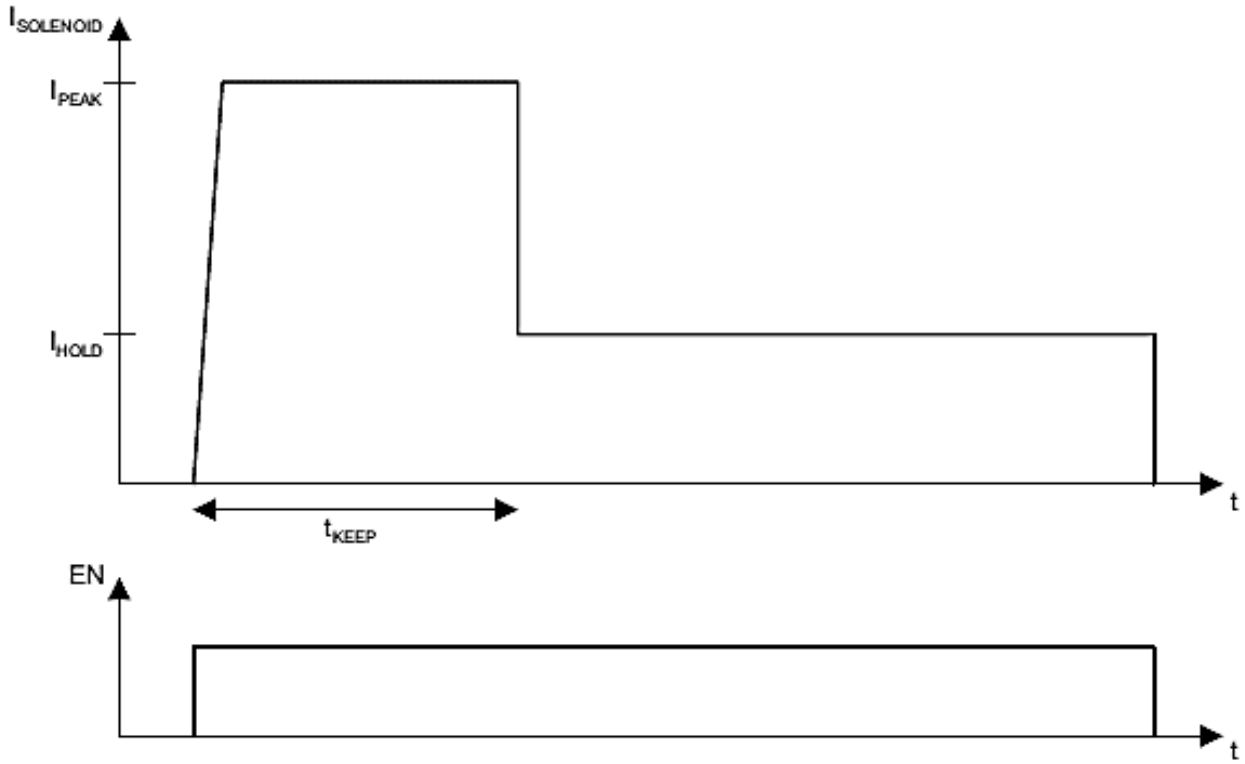


TO LOAD – к нагрузке

Рис. 6.27. Типовая схема включения драйвера *IR2110* [36] (см. пояснения в тексте)

Показательным примером управляемого МК драйвера электромагнитных реле и соленоидов (электромагнитов) является ИС ***DRV120*** [37]. Он реализует энергоэффективный алгоритм управления, описываемый приведенными на рис. 6.28 временными диаграммами. Включение реле / соленоида осуществляется активным (высоким) уровнем сигнала *EN* («Разрешение»), поступающего с ПВВ МК. В течение интервала времени t_{KEEP} на обмотку реле (электромагнита) подается ток срабатывания, достаточный для замыкания реле или, соответственно, перемещения сердечника электромагнита. По истечении данного интервала, длительность которого выбирается разработчиком и должна быть гарантированно достаточной для срабатывания управляемого ИУ,

ток обмотки снижается до значения I_{HOLD} (тока удержания), достаточного для поддержки ИУ в активном состоянии. Отключение тока удержания происходит при переключении сигнала *EN* в пассивное состояние. Формирование токов срабатывания и удержания осуществляется внутренним блоком ШИМ. Их значения, а также длительность интервала t_{KEEP} задаются внешними элементами, подключаемыми к ИС. Выражения для их расчета представлены в ее техническом описании. Максимальное значение тока срабатывания – 240 мА, напряжения на обмотке управляемого ИУ – 28 В. ИС выпускается в 8- или в 14-выводном корпусе.



I_{PEAK} – ток срабатывания
I_{HOLD} – ток удержания
t_{KEEP} – время, достаточное для срабатывания

Рис. 6.28. Временные диаграммы работы драйвера *DRV120* [37]

Гальваническая развязка цепей питания МК и драйверов вышеописанных моделей отсутствует. При ее необходимости МК может быть подключен к драйверу через оптоэлектронные переключатели логических сигналов [34]. Их излучающие диоды подключаются к ПВВ по схеме, аналогичной схеме подключения

излучающего диода на рис. 6.26. Расчет сопротивлений резисторов *R1* и *R2* производится по выражениям (6.17) и (6.18).

При несовместимости уровней выходных сигналов ПВВ МК и входных сигналов драйверов используются ПУ (как правило, повышающие), например, реализуемые по схеме, представленной на рис. 6.22, или быстродействующие ПУ на специализированных ИС (см. подпункт 6.4.2.5).

Более подробное рассмотрение принципов построения, схем и особенностей применения управляемых МК драйверов ИУ выходит за рамки настоящего пособия. Интересующиеся лица могут ознакомиться с ними, например, по источникам [30] и [38].

6.4.4. Подключение устройств визуальной индикации к ПВВ МК

6.4.4.1. Основными типами устройств визуальной индикации, применяемых в системах управления техническими объектами на базе МК, являются:

- светодиоды (*LEDs*);
- жидкокристаллические дисплеи (ЖКД, *LCD*).

6.4.4.2. Типовые схемы подключения **маломощных светодиодов** к ПВВ МК представлены на рис. 6.29. В схеме, приведенной на рис. 6.29а, включение светодиода осуществляется уровнем логической единицы на выходе ПВВ, а в представленной на рис. 6.29б – уровнем логического нуля.

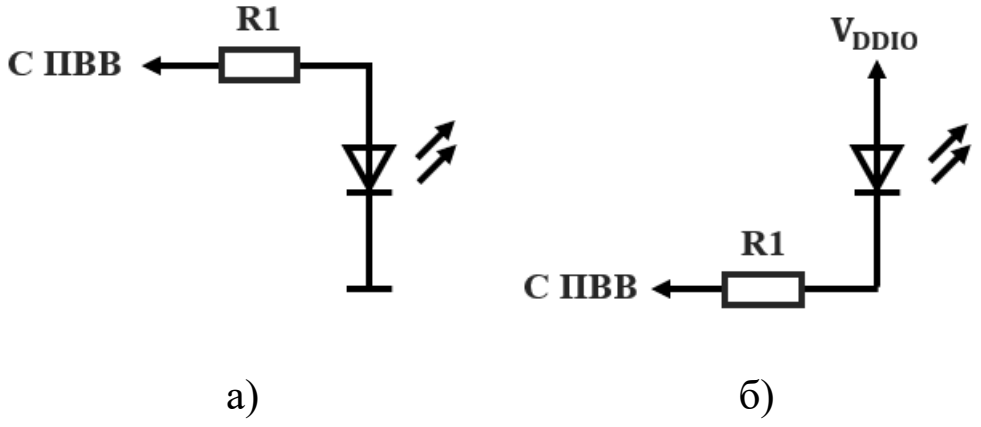


Рис. 6.29. Типовые схемы подключения светодиодов к ПВВ МК

В современных КМОП-МК вывод ПВВ, к которому подключается светодиод, может работать:

- в режиме двухтактного выхода (при обоих вариантах подключения);

- в режиме выхода с открытым истоком – при подключении в соответствии с рис. 6.29а;

- в режиме выхода с открытым стоком – при подключении в соответствии с рис. 6.29б.

Первый из вышеперечисленных режимов чаще всего используется на практике.

Сопротивление резистора *R1* рассчитывается по следующим выражениям:

- для схемы, приведенной на рис. 6.29а:

$$R1 = \frac{U_{OH} - U_{\text{СД}}}{I_{\text{СД}}}; \qquad (6.19)$$

- для схемы, представленной на рис. 6.29б:

$$R1 = \frac{V_{DDIO} - U_{\text{СД}} - U_{OL}}{I_{\text{СД}}}; \qquad (6.20)$$

где $U_{\text{СД}}$ и $I_{\text{СД}}$ – соответственно падение напряжения на светодиоде (зависит от цвета свечения, см. [39]) и ток через светодиод в прямом смещении. Ток через светодиод выбирается, с одной стороны, достаточным для обеспечения приемлемой яркости свечения, а с другой – не превышающим значения $(0{,}6 \ldots 0{,}7)I_{Omax}$, где I_{Omax} – максимально допустимый выходной ток ПВВ.

Следует отметить, что в представленных на рис. 6.29 схемах при переходе вывода ПВВ в режим «плавающего» входа светодиод выключается, т. е. его состояние «предсказуемо». Поэтому подключение дополнительных резисторов, предотвращающих неопределенное состояние управляющего входа (см. схемы, приведенные на рис. 6.24) в представленных на рис. 6.29 схемах не обязательно.

Управление яркостью светодиода может осуществляться подаваемым с ПВВ ШИМ-сигналом (см. раздел 9).

6.4.4.3. При необходимости использования светодиодов с номинальным рабочим током, превышающим допустимый выходной ток ПВВ, управление светодиодом может осуществляться посредством простейших драйверов, схемы которых приведены на рис. 6.24. Последовательно соединенные светодиод и токоограничивающий резистор (см. рис. 6.29б) при этом выполняют роль нагрузки драйвера в цепи стока МОП-транзистора или коллектора биполярного, обозначенной на рис. 6.24 как Z_L. Включение светодиода осуществляется единичным уровнем на выходе ПВВ. Расчет драйвера производится по выражениям (6.10) – (6.16), за исключением того, что выражение (6.13) приобретает вид:

$$S_{VT1} U_{OH} R_L \geq V_L - U_{\text{СД}}; \qquad (6.21)$$

а ток коллектора биполярного транзистора в выражении (6.14) рассчитывается по выражению:

$$I_{C\,VT1} \approx \frac{V_L - U_{\text{СД}}}{R_L}; \qquad (6.22)$$

в выражениях (6.21) и (6.22) R_L – сопротивление токоограничивающего резистора (на рис. 6.29б он обозначен как $R1$). Ток через включенный светодиод в обоих представленных на рис. 6.24 вариантах схемы драйвера оценивается по выражению:

$$I_{\text{СД}} \approx \frac{V_L - U_{\text{СД}}}{R_L}.$$

Управление яркостью светодиода повышенной мощности, как и маломощного, может осуществляться подаваемым с ПВВ ШИМ-сигналом (см. раздел 9).

Известны многоканальные драйверы светодиодов в интегральном исполнении (см., например, [40]).

6.4.4.4. Управление МК жидкокристаллическим дисплеем (ЖКД) сводится к подаче на него управляющих сигналов, адресов знакомест (пикселей) и данных, в соответствии с протоколом работы ЖКД. Как правило, современные ЖКД выпускаются в виде модулей,

снабженных встроенным контроллером и подключаемых к ПВВ МК в соответствии с технической документацией на ЖКД. Управление ЖКД осуществляется на программном уровне. Аппаратными средствами, как правило, решается (при необходимости) только проблема совместимости уровней сигналов МК и ЖКД. В частности, встречаются задачи подключения ЖКД с напряжением питания 5 В к МК с напряжением питания, равным 3,3 В. Для согласования уровней сигналов МК и ЖКД могут быть использованы, например, повышающие или понижающие ПУ, реализуемые по схеме, приведенной на рис. 6.22. Быстродействие ПУ при управлении ЖКД, как правило, не критично.

6.4.5. Подключение устройств звуковой индикации к ПВВ МК

Основными разновидностью устройств звуковой индикации, применяемых в системах управления техническими объектами на базе МК, в настоящее время являются пьезоэлектрические зуммеры [41]. Как правило, их подключение к ПВВ МК осуществляется посредством драйверов, схемы которых представлены на рис. 6.24. Зуммер включается в цепь стока МОП-транзистора или, соответственно, коллектора биполярного в качестве нагрузки драйвера, обозначенной на рис. 6.24 как Z_L. Наличие диода VD1 необходимо, т. к. импеданс зуммера содержит индуктивную составляющую.

Включение звука осуществляется подачей с ПВВ прямоугольного импульсного сигнала типа «меандр», формируемого таймером МК (см. раздел 9). Следует отметить, что лучшая слышимость звука достигается при поочередной (с периодом 1 – 2 с) подаче на вход драйвера сигналов с 2-мя различными частотами, близкими к резонансной частоте зуммера, которая указывается в технической документации (типовое значение 2 – 3 кГц).

Расчет схем драйверов выполняется по выражениям (6.10) – (6.16), при этом в качестве активной составляющей (R_L) импеданса

нагрузки драйвера служит сопротивление зуммера на резонансной частоте, его типовое значение – от 500 Ом до 2 кОм [41].

6.4.6. Подключение к ПВВ МК внешних устройств интерфейса, обработки и хранения данных

Как указано в начале данного раздела, при использовании МК может возникнуть необходимость подключения к нему, кроме датчиков, ИУ и устройств индикации, также:

- других МК;
- хост-устройств, например, ПК или ПЛК;
- внешних запоминающих устройств;
- внешних устройств аналого-цифрового и цифрового интерфейса (например, внешних АЦП).

Как правило, на аппаратном уровне проблем совместимости ПВВ МК с вышеперечисленными устройствами не возникает. В ряде случаев может потребоваться:

- использование ПУ, простейших (см. рис. 6.22) или ИС быстродействующих ПУ (см., например, []), в зависимости от требований к скорости обмена данными;
- при подключении к ПК или к ПЛК – серийно выпускаемых специализированных модулей сопряжения (в т. ч. с гальванической развязкой), см., например, [30].

6.5 Типовые примеры структурно-архитектурных решений ПВВ МК

В качестве типовых примеров рассмотрим структурно-архитектурные решения ПВВ МК семейств *AVR* [6, 8] и *ARM Cortex-Mx* [9, 13 – 15].

6.5.1. ПВВ МК семейства *AVR*

6.5.1.1. Упрощенная структурная схема некоторого *n*-го разряда ПВВ с именем *x* (*A, B, C* и т. д., см. рис. 6.2) МК семейства *AVR* представлена на рис. 6.30.

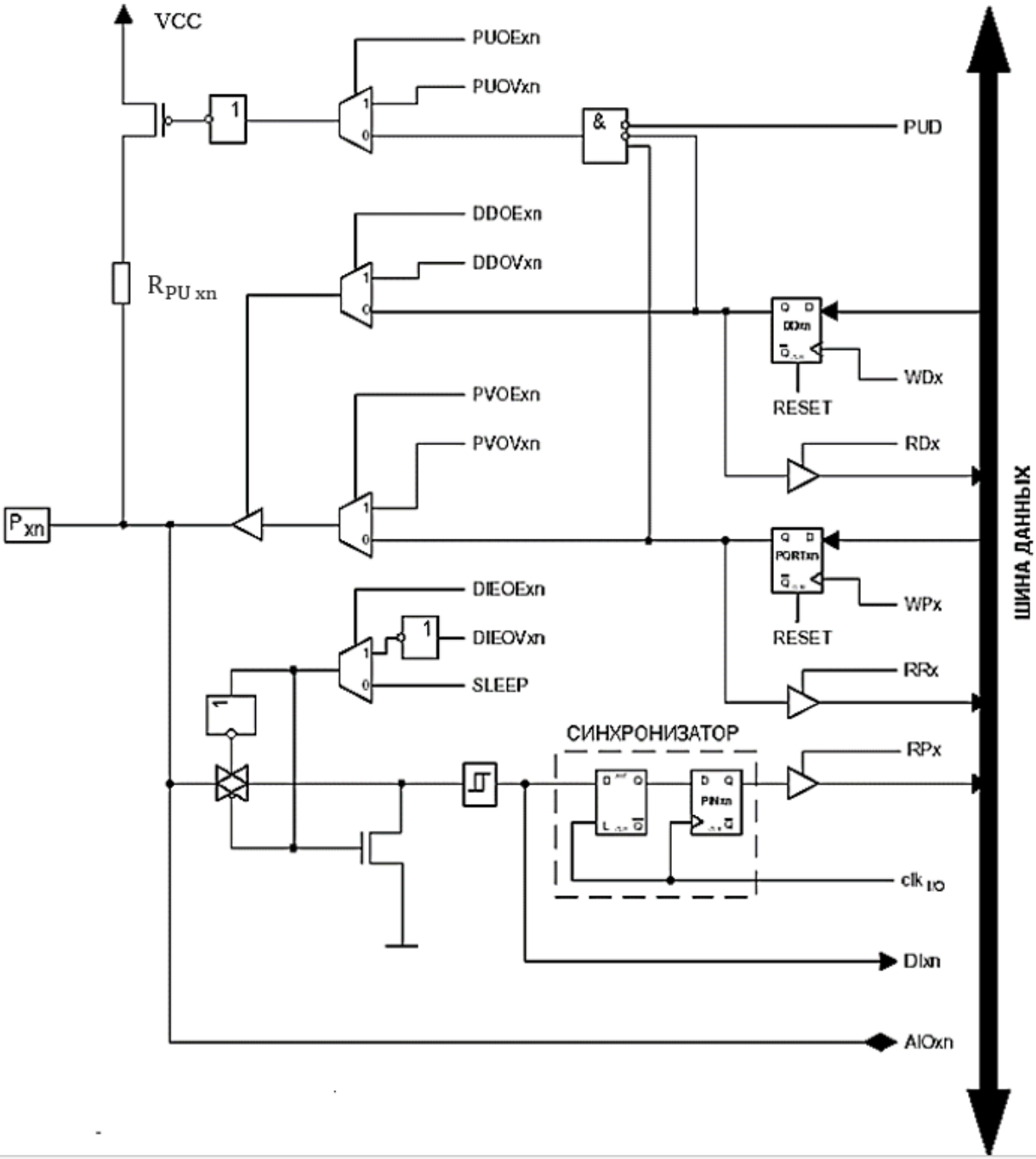


Рис. 6.30. Структурная схема одного разряда ПВВ МК семейства *AVR* [8]
(см. пояснения в тексте)

В целом, представленная на рис. 6.30 схема соответствует обобщенной структурной схеме разряда ПВВ МК, приведенной на рис. 6.3, за исключением нескольких второстепенных отличий. Разряд *n* ПВВ *x* МК семейства *AVR* содержит:

- стробируемый сигналом *WPx* триггер *PORTxn* регистра выходных данных порта, соответствующий нижнему по схему триггеру на рис. 6.3;

- управляемый сигналом *PVOExn* мультиплексор (соответствует мультиплексору на рис. 6.3), посредством которого на драйвер выхода при нулевом состоянии указанного сигнала передается содержимое триггера *PORTxn*, а при единичном – выходной сигнал альтернативной функции, *PVOExn*;

- триггер *PINxn* регистра входных данных порта (соответствует верхнему по схеме триггеру на рис. 6.3), тактируемый сигналом синхронизации периферийных устройств, clk_{IO}, и фиксирующий состояние внешнего вывода P_{xn} ПВВ;

- драйвер входа, содержащий триггер Шмидта и схему отключения его входа от внешнего вывода ПВВ в энергосберегающих режимах, состоящую из управляемого сигналом *DIEOExn* мультиплексора, 2-х инверторов, коммутатора и ключа на *n*-канальном МОП-транзисторе (подробнее – см. подпункт 6.5.1.6);

- драйвер выхода, включающий в себя логический повторитель (ЛП) с 3-м состоянием (обозначен на рис. 6.30 треугольником) и схему управления им, состоящую из тактируемого сигналом *WDx* триггера *DDxn* регистра *DDRx*, управляющего направлением передачи данных, и мультиплексора, управляемого сигналом *DDOExn* (подробнее – см. подпункты 6.5.1.4 и 6.5.1.5);

- резистор подтяжки к питанию, $R_{PU\,xn}$, и схему его подключения / отключения, состоящая из ключа на *p*-канальном МОП-транзисторе и схемы управления им; резистор подтяжки к общей шине отсутствует;

- управляемых сигналами *RDx*, *RRx* и *RPx* логических повторителей с 3-м состоянием, посредством которых осуществляется считывание состояния триггеров *DDxn*, *PORTxn* и *PINxn* соответственно.

Входной цифровой сигнал альтернативной функции обозначен на рис. 6.30 как *DIxn*, аналоговый входной / выходной сигнал – как *AIOxn*.

Сигналы *WPx, WDx, RRx, RPx* и *RDx* являются общими для всех разрядов в пределах одного ПВВ. Сигналы clk_{IO}, *SLEEP* и *PUD* являются общими для всех ПВВ. Все остальные сигналы индивидуальны для каждого разряда каждого из ПВВ.

6.5.1.2. Регистровая модель каждого из ПВВ содержит три программно-доступных регистра:

- регистр входных данных, *PINx* (доступен только для чтения);
- регистр выходных данных, *PORTx* (доступен и для чтения, и для записи);
- регистр направления передачи данных, *DDRx* (также доступен и для чтения, и для записи).

Также в управлении ПВВ участвует программно-доступный бит отключения резисторов подтяжки (*PUD*), находящийся в одном из РСФ (например, у МК *ATmega128* – в регистре *SFIOR*).

6.5.1.3. Выводы ПВВ МК семейства *AVR* могут работать в одном из следующих режимов:

- «плавающего» цифрового входа;
- цифрового входа с подтяжкой к питанию;
- аналогового входа (только при выполнении альтернативных функций входов АЦП и аналогового компаратора, а также входов блока *I2C*);
- цифрового двухтактного выхода;
- выхода с открытым стоком (только при выполнении альтернативных функций выходов блока *I2C*).

В табл. 6.1 представлены состояния программно-доступных битов конфигурации вывода ПВВ, необходимые для реализации каждого из вышеперечисленных режимов, а также состояния управляющих сигналов ПВВ и направления передачи сигналов в данных режимах.

6.5.1.4. При выполнении выводом **основной** функции цифрового входа или выхода общего назначения, его конфигурирование осуществляется посредством программно-доступных регистров *DDRx* и *PORTx*, а также бита *PUD*, в соответствии с табл. 6.1. При этом сигналы разрешения альтернативного управления выводом ПВВ (*DDOExn, PVOExn, PUOExn*) находятся в пассивном (нулевом) состоянии. Поэтому сигналы альтернативного управления режимом работы вывода ПВВ (*DDOVxn*), альтернативных выходных данных (*PVOVxn*) и альтернативного управления подтягивающим резистором (*PUOVxn*) не влияют на работу соответствующего вывода ПВВ (см. управляемые сигналами *PUOExn, DDOExn* и *PVOExn* мультиплексоры на рис. 6.30).

Таблица 6.1

Режимы работы ПВВ МК семейства AVR

Режим работы вывода ПВВ	Состояния битов конфигурации ПВВ			Состояния управляющих сигналов ПВВ (в общем случае)[5]				Состояние ЛП драйвера выхода ПВВ	Направление передачи сигнала
	DDxn	*PORTxn*	*PUD*	*DDOExn*	*DDOVxn*	*PVOExn*	*PUOExn*		
1	2	3	4	5	6	7	8	9	10
Основная функция									
Цифровой «плавающий» вход[1]	0	0	x	0	x	0	0	3-е	*Pxn* → *PINxn*
		1	1[2]						
Цифровой вход с подтяжкой к питанию		1	0						
Цифровой двухтактный выход	1	0 или 1	x					Активное	*PORTxn* → *Pxn*
Альтернативные функции									
Цифровой «плавающий» вход	x	0[3]	x	1	0	0	0	3-е	*Pxn* → *DIxn*
Цифровой вход с подтяжкой к питанию		1[3]	0[3]	1	0	0	1		
Цифровой двухтактный выход	x[4]	0	x	1[4]	1[4]	1	0	Активное	*PVOVxn* → *Pxn*
	1[4]			0[4]	x[4]				

Окончание табл. 6.1

1	2	3	4	5	6	7	8	9	10
Цифровой выход с открытым стоком	x	1	0	1	1	1	1	Активное	*PVOVxn* → *Pxn*
Аналоговый вход	0	0	x	0	0	0	0	3-е	*Pxn* → *AIOxn*

Примечания.

x – состояние сигнала безразлично или не определено.

1) В данный режим устанавливаются все выводы всех ПВВ при сбросе (см. также п. 6.3.1).

2) Бит отключения резисторов подтяжки к питанию (*PUD*) допустимо устанавливать в единичное состояние, только если не предусмотрено их подключение **ни к одному** из выводов ПВВ.

3) При реализации некоторых функций альтернативного цифрового входа установка данных битов в указанные состояния не требуется, но она в любом случае не нарушит работу вывода ПВВ в соответствующем режиме.

4) При реализации большинства функций альтернативного цифрового выхода сигналы *DDOExn* (Разрешение задания альтернативного направления передачи данных) и *DDOVxn* (Альтернативное направление передачи данных), автоматически устанавливаются в единицу, и вывод ПВВ конфигурируется как выход, независимо от состояния бита *DDxn*. Однако, для ряда подобных функций (например, для функций выходов ШИМ- / ЧИМ-сигналов таймеров / счетчиков) конфигурация соответствующего вывода ПВВ на режим выхода осуществляется через биты *DDxn* регистра *DDRxn* [8].

5) Состояния управляющих сигналов ПВВ при реализации некоторых **альтернативных** функций у ряда моделей МК могут отличаться от указанных в таблице. Для уточнения необходимо обращаться к таблицам «Сигналы переопределения для альтернативных функций» («*Overriding Signals for Alternate Functions*»), которые приводятся для каждого ПВВ в технической документации на соответствующую модель МК.

Возможна индивидуальная настройка каждого из выводов ПВВ на режим входа или выхода. Например, следующий программный фрагмент (среда разработки – *Atmel Studio*):

```
//Обнуление бита PUD (т. е. запрет отключения подтягивающих резисторов)
SFIOR = SFIOR&0b11111011;
/*
Конфигурирование 3-го и 4-го выводов ПВВ A на работу в режиме выхода, остальных – в режиме входа (см. табл. 6.1)
*/
DDRA = 0b00011000;
/*
Запись единиц в 0-й и 1-й разряды регистра выходных данных ПВВ A для подключения к ним подтягивающих резисторов (см. табл. 6.1)
*/
PORTA = 0b00000011;
```

конфигурирует 3-й и 4-й выводы ПВВ *A* на режим выхода, 0-й и 1-й – на режим входа с подтяжкой к питанию, а остальные выводы данного ПВВ – на режим «плавающего» входа.

Пример команды записи значения переменной в регистр выходных данных ПВВ:

PORTB = x;

и команды считывания регистра входных данных:

y = PINC;

Напомним, что, если некоторый вывод ПВВ сконфигурирован как выход, подача на него каких-либо входных данных **недопустима.**

Примечание. Корректная компиляция и работа вышеприведенных команд возможны только при введении в заголовок программного модуля, содержащего их, директивы подключение библиотеки моделей ПУ МК семейства *AVR*:

#include <avr/io.h>

6.5.1.5. Конфигурирование вывода ПВВ на выполнение какой-либо из закрепленных за ним **альтернативных** функций осуществляется косвенно, посредством разрешения работы и соответствующего конфигурирования блока МК, входом или

выходом которого служит вывод ПВВ при выполнении данной функции. В результате автоматически устанавливаются необходимые для ее реализации состояния сигналов *DDOExn, PVOExn, PUOExn, PUOVxn, DDOVxn* и *PVOVxn*, напрямую программно недоступных. При реализации ряда альтернативных функций также необходима дополнительная программная установка в определенные состояния битов *DDxn, PORTxn* и *PUD* (см. приведенные далее примеры).

Поясним вышесказанное на типовых примерах.

Пример 1. Альтернативной функцией 4-го вывода ПВВ *B* МК *ATmega128* (аналог – 1887ВЕ7Т, см. рис. 6.2) является обозначаемый как *OC0* выход ШИМ- / ЧИМ-сигнала 0-го таймера / счетчика. В соответствии с таблицей «Сигналы переопределения для альтернативных функций» («*Overriding Signals for Alternate Functions*») ПВВ *B*, фрагмент которой приведен на рис. 6.31 [8]:

- переключение 4-го вывода ПВВ *B* на выполнение функции выхода *OC0* осуществляется при разрешении работы таймера / счетчика 0 в режиме формирования ШИМ- / ЧИМ-сигнала (т. е. при ненулевом значении битового поля *COM0* в регистре управления 0-м таймером, см. раздел 9);

- по разрешении работы таймера в вышеуказанном режиме, сигнал *PVOExn* 4-го вывода ПВВ *B* (*PVOEB4*) автоматически устанавливается в единичное состояние;

- управляемый сигналом *PVOEB4* мультиплексор подает на вход ЛП 4-го вывода ПВВ *B* сигнал альтернативных выходных данных этого вывода (*PVOVB4*), т. е. выходной ШИМ- / ЧИМ-сигнал 0-го таймера / счетчика (*OC0*);

- сигнал разрешения переопределения направления передачи данных (*DDOEB4*) остается в нулевом состоянии, поэтому режим работы ЛП 4-го вывода ПВВ *B* определяется 4-м битом регистра *DDRB* (см. рис. 6.30), и для поступления сигнала *OC0* на внешний вывод бит *DDRB4* должен быть программно установлен в единицу (см. примечание 4 к табл. 6.1);

- сигналы альтернативного управления подключением подтягивающего резистора (*PUOEB4* и *PUOVB4*) остаются в нулевом состоянии, поскольку при реализации альтернативной функции 4-го вывода ПВВ *B* он работает в режиме цифрового двухтактного выхода, в котором подключение подтягивающего резистора архитектурой МК семейства *AVR* не предусматривается.

Наименование сигнала	PB7/OC2/OC1C	PB6/OC1B	PB5/OC1A	PB4/OC0
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	Разрешение OC2/OC1C	Разрешение OC1B	Разрешение OC1A	Разрешение OC0
PVOV	OC2/OC1C	OC1B	OC1A	OC0

Рис. 6.31. Фрагмент таблицы «Сигналы переопределения для альтернативных функций» ПВВ *B* МК *ATmega128* (1887ВЕ7Т) [8]

Пример 2. Одной из альтернативных функций 2-го вывода ПВВ *D* МК *ATmega128* (1887ВЕ7Т) является вход приемника 1-го универсального синхронно-асинхронного приемопередатчика (*USART1*), *RXD1*, а 3-го вывода того же ПВВ – выход передатчика *USART1*, *TXD1*. В соответствии с таблицей «Сигналы переопределения для альтернативных функций» ПВВ *D*, фрагмент которой приведен на рис. 6.32 [8]:

- переключение 2-го вывода ПВВ *D* на выполнение функции *RXD1* осуществляется установкой в единицу бита разрешения работы на прием (*RXEN1*) в регистре управления *USART1* (см. раздел 11), а переключение 3-го вывода на выполнение функции *TXD1* – установкой в единицу бита разрешения работы на передачу (*TXEN1*) в том же регистре управления;

- по разрешении работы *USART1* на прием сигнал *DDOE* 2-го вывода ПВВ *D* устанавливается в единицу, а сигнал *DDOV* – в ноль, который поступает на управляющий вход ЛП, переводя его в 3-е состояние; тем самым 2-й вывод переключается в режим входа, независимо от состояния 2-го бита регистра *DDRD*;

- по разрешении работы *USART1* на передачу, сигналы *DDOE* и *DDOV* 3-го вывода ПВВ *D* устанавливаются в единицу; тем самым 3-й вывод переключается в режим выхода, независимо от состояния 3-го бита регистра *DDRD*;

- также, по разрешении работы *USART1* на передачу, в единицу устанавливается сигнал *PVOE* 3-го вывода ПВВ *D*, и через управляемый им мультиплексор на вход ЛП указанного вывода поступает выходной сигнал передатчика *USART1*;

- по разрешении работы *USART1* как на передачу, так и на прием в активное состояние устанавливаются также сигналы *PUOE*

разрешения альтернативного управления подтягивающими резисторами 2-го и 3-го выводов ПВВ *D*;

- состояние сигнала альтернативного управления подтягивающим резистором 2-го вывода ПВВ *D* (*PUOVD2*) при выполнении им функции *RXD1* определяется разработчиком; если подключение данного резистора необходимо (например, для предотвращения неопределенного состояния входа приемника *USART1* при переключении выхода внешнего передатчика в 3-е состояние), 2-й бит регистра выходных данных ПВВ *D* (*PORTD2*) должен быть установлен в единицу, а бит *PUD* регистра *SFIOR* МК – в ноль (см. табл. 6.1);

- сигнал *PUOVD3* при выполнении 3-м выводом ПВВ *D* функции *TXD1* выхода передатчика *USART1* автоматически устанавливается в нулевое состояние, т. к. вывод при этом работает в режиме двухтактного цифрового выхода, и подключение подтягивающего резистора не требуется.

Наименование сигнала	PD3/INT3/TXD1	PD2/INT2/RXD1	PD1/INT1/SDA	PD0/INT0/SCL
PUOE	TXEN1	RXEN1	TWEN	TWEN
PUOV	0	PORTD2 · PUD#	PORTD1 · PUD#	PORTD0 · PUD#
DDOE	TXEN1	RXEN1	TWEN	TWEN
DDOV	1	0	SDA_OUT	SCL_OUT
PVOE	TXEN1	0	TWEN	TWEN
PVOV	TXD1	0	0	0

Символом # обозначена операция логической инверсии

Рис. 6.32. Фрагмент таблицы «Сигналы переопределения для альтернативных функций» ПВВ *D* МК *ATmega128* (1887ВЕ7Т) [8]

Пример 3. При выполнении *n*-м выводом ПВВ *x* альтернативной функции аналогового входа сигналы *DDOE*, *PVOE* и *PUOE* соответствующего вывода находятся в нулевом состоянии [8]. Поэтому режим работы вывода определяется состояниями бита *DDxn* регистра *DDRx* и бита *PORTxn* регистра *PORTx*. Эти биты должны быть установлены в нулевое состояние (см. нижнюю строку табл. 6.1). При этом передача сигнала с вывода ПВВ осуществляется непосредственно на вход аналогового сигнала (*AIOxn*).

Естественно, если некоторый вывод ПВВ сконфигурирован под выполнение какой-либо альтернативной функции, его использование по любому другому назначению **недопустимо.**

6.5.1.6. Отдельно необходимо рассмотреть схему управления **драйвером входа**,

Управление осуществляется сигналами *SLEEP* («Энергосберегающий режим работы (ЭСР)»), *DIEOExn* («Разрешение альтернативного управления драйвером входа») и *DIEOVxn* («Альтернативное управление драйвером входа») (см. рис. 6.30).

При нулевом состоянии сигнала *DIEOExn* драйвер входа управляется сигналом *SLEEP*. В отсутствие ЭСР он находится в нулевом состоянии, вход драйвера через коммутатор подключен к внешнему выводу ПВВ, ключ на *n*-канальном МОП-транзисторе разомкнут. Во всех ЭСР (см. табл. 3.1) сигнал *SLEEP* переводится в единичное состояние, при этом вход драйвера отключается от внешнего вывода ПВВ и соединяется с общей шиной.

В единичное состояние сигнал *DIEOExn* переводится, если по соответствующему выводу ПВВ разрешаются прерывания от внешнего источника (см. раздел 7). При этом сигнал *DIEOVxn* также становится единичным, и вход драйвера не отключается от внешнего вывода ПВВ, независимо от состояния сигнала *SLEEP* (в т. ч. в ЭСР). Тем самым обеспечивается возможность вывода МК из ЭСР внешними прерываниями (см. табл. 3.1).

6.5.1.7. Незадействованные выводы ПВВ МК семейства рекомендуется конфигурировать на режим входов с подтяжкой к питанию, что позволит минимизировать энергопотребление и обеспечит повышенную помехоустойчивость [8].

6.5.1.8. В целом, структурно-архитектурные решения ПВВ всех МК семейства *AVR* аналогичны вышеописанным, за исключением второстепенных особенностей, характерных для каждой конкретной модели МК и представляемых в технической документации на нее.

6.5.2. ПВВ МК семейства *ARM Cortex-Mx*

6.5.2.1. Разрядность ПВВ большинства моделей МК данного семейства – 16 бит. У некоторых ПВВ разрядность может быть уменьшена из-за ограниченного числа выводов корпуса МК (см. подпункт 6.5.2.3).

Обобщенная структурная схема одного разряда ПВВ МК семейства *ARM Cortex-Mx* представлена на рис. 6.33. В целом, она соответствует схеме, приведенной на рис. 6.3.

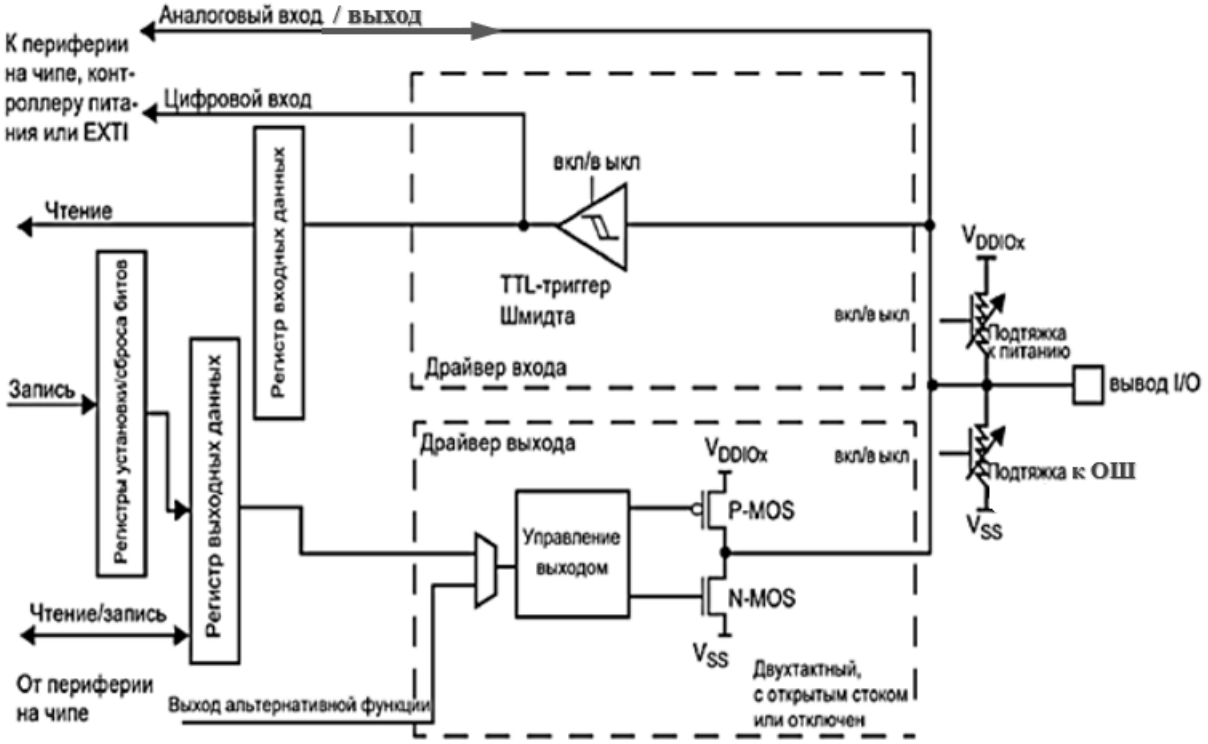


Рис. 6.33. Обобщенная структурная схема одного разряда ПВВ МК семейства *ARM Cortex-Mx* [9]

Выводы ПВВ МК семейства *ARM Cortex-Mx* могут быть сконфигурированы на работу в следующих режимах (см. также раздел 6.3):

- «плавающего» цифрового входа (*input floating*);
- цифрового входа с подтяжкой к питанию (*input pull-up*);
- цифрового входа с подтяжкой к общей шине (*input pull-down*);
- двухтактного цифрового выхода (*output push-pull*);
- цифрового выхода с открытым стоком (*output open-drain*);
- альтернативной функции аналогового входа (*analog input*);
- альтернативной функции аналогового выхода (*analog output*) (данный режим реализуется не во всех моделях МК).

За большинством выводов всех ПВВ закреплено по несколько альтернативных функций. В отличие от ПВВ семейства *AVR*, в большинстве подсемейств *ARM Cortex-Mx*, одна и та же функция может выполняться 2-мя – 3-мя различными выводами ПВВ. Назначение конкретного вывода для выполнения соответствующей альтернативной функции реализуется программно. Данная процедура позволяет рационально распределять альтернативные

функции по выводам ПВВ (в т. ч. с точки зрения разводки печатной платы) Подробнее – см. подпункт 6.5.2.9.

6.5.2.2. Регистровая модель ПВВ большинства моделей МК семейства *ARM Cortex-Mx* включает в себя следующие программно-доступные регистры [13 – 15]:

- регистр входных данных, *IDR* (доступен только для чтения);
- регистр выходных данных, *ODR*, и регистры установки / сброса его битов;
- регистры задания режимов работы выводов;
- регистры назначения / переопределения альтернативных функций выводов;
- регистр блокировки конфигурирования выводов ПВВ.

6.5.2.3. Дальнейшее рассмотрение типовых архитектурных решений ПВВ МК семейства *ARM Cortex-Mx* будет осуществляться на примере архитектуры ПВВ МК модельного ряда *STM32F030xx* подсемейства *ARM Cortex-M0* [15], как относительно простой, и в то же время включающей в себя все основные архитектурные решения, характерные для ПВВ МК семейства *ARM Cortex-Mx*. Излагаемый материал также дополнен некоторыми архитектурными решениями, ПВВ других подсемейств / моделей МК данного семейства.

В состав МК *STM32F030xx* могут входить, в зависимости от модели, до 5-и ПВВ с именами *A, B, C, D* и *F*. Состав и форматы их программно-доступных регистров приведены на рис. 6.34.

У некоторых моделей МК *STM32F030xx* число ПВВ уменьшено до 3-х, а их разрядность меньше 16-ти бит, характерной для семейства в целом, из-за ограниченного числа выводов корпусов. Например, МК *STM32F030F4*, выпускаемый в 20-выводном корпусе, содержит 12-битовый ПВВ *A*, 1-битовый ПВВ *B* и 2-битовый ПВВ *F*. Поэтому его регистровая модель реально содержит только регистры, в именах которых *x = A, B* или *F*, например, *GPIOA_MODER, GPIOB_MODER, GPIOF_MODER, GPIOA_ODR, GPIOB_ODR, GPIOF_ODR* и т. п. (см. рис. 6.34). В свою очередь, в данных регистрах программно доступны только биты с номерами физически существующих разрядов ПВВ. В ПВВ *A* таковыми являются разряды с 0-го по 7-й, 9-й, 10-й, 13-й и 14-й; в ПВВ *B* – 1-й разряд; в ПВВ *F* – 0-й и 1-й. Естественно, во всех моделях МК семейства программно

доступны только реально существующие регистры ПВВ и физически существующие их разряды, в соответствии с *Datasheet* на конкретную модель МК.

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	GPIOA_MODER	MODER15[1:0]		MODER14[1:0]		MODER13[1:0]		MODER12[1:0]		MODER11[1:0]		MODER10[1:0]		MODER9[1:0]		MODER8[1:0]		MODER7[1:0]		MODER6[1:0]		MODER5[1:0]		MODER4[1:0]		MODER3[1:0]		MODER2[1:0]		MODER1[1:0]		MODER0[1:0]	
	Reset value	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00	GPIOx_MODER (where x = B..F)	MODER15[1:0]		MODER14[1:0]		MODER13[1:0]		MODER12[1:0]		MODER11[1:0]		MODER10[1:0]		MODER9[1:0]		MODER8[1:0]		MODER7[1:0]		MODER6[1:0]		MODER5[1:0]		MODER4[1:0]		MODER3[1:0]		MODER2[1:0]		MODER1[1:0]		MODER0[1:0]	
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	GPIOx_OTYPER (where x = A..F)	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OT15	OT14	OT13	OT12	OT11	OT10	OT9	OT8	OT7	OT6	OT5	OT4	OT3	OT2	OT1	OT0
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	GPIOx_OSPEEDR (where x = B..F)	OSPEEDR15[1:0]		OSPEEDR14[1:0]		OSPEEDR13[1:0]		OSPEEDR12[1:0]		OSPEEDR11[1:0]		OSPEEDR10[1:0]		OSPEEDR9[1:0]		OSPEEDR8[1:0]		OSPEEDR7[1:0]		OSPEEDR6[1:0]		OSPEEDR5[1:0]		OSPEEDR4[1:0]		OSPEEDR3[1:0]		OSPEEDR2[1:0]		OSPEEDR1[1:0]		OSPEEDR0[1:0]	
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	GPIOA_PUPDR	PUPDR15[1:0]		PUPDR14[1:0]		PUPDR13[1:0]		PUPDR12[1:0]		PUPDR11[1:0]		PUPDR10[1:0]		PUPDR9[1:0]		PUPDR8[1:0]		PUPDR7[1:0]		PUPDR6[1:0]		PUPDR5[1:0]		PUPDR4[1:0]		PUPDR3[1:0]		PUPDR2[1:0]		PUPDR1[1:0]		PUPDR0[1:0]	
	Reset value	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	GPIOx_IDR (where x = A..F)	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IDR15	IDR14	IDR13	IDR12	IDR11	IDR10	IDR9	IDR8	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
	Reset value																	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x14	GPIOx_ODR (where x = A..F)	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ODR15	ODR14	ODR13	ODR12	ODR11	ODR10	ODR9	ODR8	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	GPIOx_BSRR (where x = A..F)	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0	BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	GPIOx_LCKR (where x = A..B)	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCKK	LCK15	LCK14	LCK13	LCK12	LCK11	LCK10	LCK9	LCK8	LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0
	Reset value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	GPIOx_AFRL (where x = A.., B)	AFRLAFR7[3:0]				AFRLAFR6[3:0]				AFRLAFR5[3:0]				AFRLAFR4[3:0]				AFRLAFR3[3:0]				AFRLAFR2[3:0]				AFRLAFR1[3:0]				AFRLAFR0[3:0]			
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	GPIOx_AFRH (where x = A..B)	AFRHAFR15[3:0]				AFRHAFR14[3:0]				AFRHAFR13[3:0]				AFRHAFR12[3:0]				AFRHAFR11[3:0]				AFRHAFR10[3:0]				AFRHAFR9[3:0]				AFRHAFR8[3:0]			
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	GPIOx_BRR (where x = A..F)	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Рис. 6.34. Состав и форматы программно-доступных регистров ПВВ МК модельного ряда *STM32F030xx* [15]

6.5.2.4. При выполнении выводом ПВВ основной функции цифрового входа общего назначения:

- данные через триггер Шмидта поступают на вход соответствующего разряда регистра *GPIOx_IDR*;

- драйвер выхода находится в 3-м состоянии;

- при необходимости, программно может быть подключен резистор подтяжки к питанию или к ОШ (см. подпункт 6.5.2.8).

- фиксация входных данных происходит в каждом периоде тактового сигнала домена, к которому принадлежит ПВВ (см. подраздел 1.3): у МК модельного ряда *STM32F030xx* – домена *AHB*, а, например, у МК *STM32F103xx* подсемейства *ARM Cortex-M3* – домена *APB2* (об определении принадлежности блоков МК семейства *ARM Cortex-Mx* к тому или иному домену – см. примечание к подпункту 4.4.2.7).

Пример *CMSIS*-команды считывания содержимого регистра входных данных МК семейства *ARM Cortex-Mx*:

```
x = GPIOA->IDR;
```

Напомним, что содержимое регистра *IDR* обновляется в каждом периоде тактового сигнала домена, к которому относится ПВВ. Поэтому моменты времени, в которые данный регистр содержит корректные данные, «не подконтрольны» ЦП, и для определения таких моментов необходимо использовать опрос признаков готовности, запросы на прерывание по готовности и т. п. (см. также подраздел 6.2).

6.5.2.5. При выполнении ПВВ основной функции цифрового выхода:

- подлежащие выводу данные фиксируются в соответствующем разряде регистра *GPIOx_ODR*;

- фиксация выводимых данных осуществляется под управлением ПО МК, при выполнении команды записи в регистр выходных данных; пример такой команды на уровне *CMSIS*:

```
GPIOA->ODR = x;
```

- драйвер выхода программно конфигурируется на работу в режиме двухтактного выхода или выхода с открытым стоком (см. подпункт 6.5.2.8);

- резисторы подтяжки к питанию и к ОШ могут быть программно подключены, но, как правило, не используются;

- триггер Шмидта активизирован; выводимые данные поступают также на регистр *GPIOx_IDR*, и могут быть считаны программно (например, с целью контроля).

6.5.2.6. Архитектура ПВВ МК семейства *ARM Cortex-Mx* позволяет осуществлять одной командой индивидуальную установку в единицу или / и сброс в ноль отдельных битов (групп битов) регистра выходных данных (*ODR*), без изменения состояний других битов (групп). Данная возможность обеспечивается введением в состав ПВВ специальных регистров установки / сброса битов, *GPIOx_BSRR* и *GPIOx_BRR* (см. рис. 6.33 и 6.34). Установка *n*-го бита регистра *ODR* реализуется записью единицы в биты *BSn* регистра *GPIOx_BSRR,* а сброс *n*-го бита регистра *ODR* – записью единицы в бит *BRn* регистра *GPIOx_BSRR* или регистра *GPIOx_BRR* (см. рис. 6.34). Например, следующая *CMSIS*-команда:

GPIOA->BSRR = 0x60000003;

обнулит 13-й и 14-й биты регистра выходных данных ПВВ *A* и установит в единицу его 0-й и 1-й биты (см. рис. 6.34, а также Приложение В). Состояние других битов регистра при этом не изменится. В свою очередь, *CMSIS*-команда:

GPIOA->BRR = 0x00000003;

обнулит 0-й и 1-й биты регистра выходных данных ПВВ *A*, не влияя на состояние других битов.

Вышеприведенные команды избирательной установки и сброса битов регистра выходных данных ПВВ МК семейства *ARM Cortex-Mx* обеспечивают максимальное быстродействие выполнения указанных операций (часто встречающихся при управлении техническими объектами).

6.5.2.7. Конфигурирование ПВВ осуществляется индивидуально для каждого вывода. Под коды конфигурации выделяется несколько регистров. В регистровой модели ПВВ МК модельного ряда *STM32F030xx* (см. рис. 6.34) ими являются:

- регистр задания режимов работы выводов (*GPIOx_MODER*);

- регистр задания типа выхода (*GPIOx_OTYPER*);

- регистр управления подтягивающими резисторами (*GPIOx_PUPDR*);

- регистр управления скоростью переключения вывода (*GPIOx_OSPEEDR*);

- младший и старший регистры задания альтернативной функции вывода (*GPIOx_AFRL* и *GPIOx_AFRH*).

Все перечисленные регистры доступны как для записи, так и для чтения. Запись кодов конфигурации осуществляет ПО МК.

6.5.2.8. Регистры *GPIOx_MODER*, *GPIOx_OTYPER*, *GPIOx_PUPDR* и *GPIOx_OSPEEDR* используются для конфигурирования вывода ПВВ при выполнении как основной, так и альтернативных функций.

В регистре ***GPIOx_MODER*** для каждого из выводов ПВВ выделено 2-битовое поле *MODERn[1:0]* (см. рис. 6.34). Режим работы вывода задается кодом, записываемым в данное поле. 4-м возможным значениям данного кода соответствуют следующие режимы работы *n*-го вывода:

- 00 – основная функция цифрового входа (состояние после сброса, «по умолчанию»);

- 01 – основная функция цифрового выхода;

- 10 – альтернативная функция цифрового входа или выхода, задаваемая регистрами *GPIOx_AFRL* и *GPIOx_AFRH* (см. подпункт 6.5.2.9);

- 11 – аналоговый вход / выход.

Регистр ***GPIOx_OTYPER*** задает режим работы вывода ПВВ, сконфигурированного как выход. Для каждого вывода ПВВ в данном регистре выделен 1 бит (*OTn*, см. рис. 6.34). Если *n*-й вывод ПВВ сконфигурирован как выход, то при *OTn* = 0 (состояние после сброса МК) он работает в режиме двухтактного выхода, а при *OTn*, равном 1 – выхода с открытым стоком (см. пункты 6.3.4 и 6.3.5).

Регистр ***GPIOx_PUPDR*** управляет подключением подтягивающих резисторов к выводам ПВВ. Для каждого вывода в данном регистре выделено 2-битовое поле *PUPDRn[1:0]*. В

зависимости от записанного в него кода, состояние резисторов «подтяжки» *n*-го вывода (см. рис. 6.33) следующее:

- при *PUPDRn[1:0]* = 00 резисторы подтяжки как к питанию, так и к ОШ отключены (состояние после сброса МК);
- при *PUPDRn[1:0]* = 01 подключен резистор подтяжки к питанию;
- при *PUPDRn[1:0]* = 10 подключен резистор подтяжки к ОШ;
- *PUPDRn[1:0]* = 11 – зарезервированное значение, использовать не рекомендуется.

Регистр ***GPIOx_OSPEEDR*** задает скорость нарастания и спада напряжения на выводе ПВВ, сконфигурированном как выход. Для каждого вывода в нем выделено 2-битовое поле, *OSPEEDRn[1:0]* (см. рис. 6.34). В зависимости от его содержимого, скорость нарастания / спада напряжения на *n*-м выводе ПВВ (при условии, что он сконфигурирован как выход) следующая:

- при *OSPEEDRn[1:0]* = x0 (состояние после сброса МК) – низкая;
- при *OSPEEDRn[1:0]* = 10 – средняя;
- при *OSPEEDRn[1:0]* = 11 – высокая.

Конкретные значения скорости зависят от модели МК. Например, у МК модельного ряда *STM32F030xx*, при напряжении питания более 2,7 В и емкости нагрузки 50 пФ, низкой скорости соответствует время нарастания / спада выходного напряжения не более 125 нс, средней скорости – не более 25 нс, высокой – не более 8 нс [26].

На первый взгляд, предпочтительно было бы устанавливать максимальную скорость, и, соответственно, минимальное время нарастания / спада выходного напряжения ПВВ. Однако, чем выше данная скорость, тем выше энергопотребление МК и уровень излучаемых им электромагнитных помех. Поэтому рационально устанавливать значение скорости нарастания / спада, минимально достаточное для конкретной применения МК.

6.5.2.9. Для настройки вывода ПВВ на выполнение какой-либо из закрепленных за ним **альтернативных** функций **цифрового** входа или выхода, кроме регистров, описанных в подпункте 6.5.2.8, также используются регистры задания альтернативной функции вывода, *GPIOx_AFRL* и *GPIOx_AFRH* (см. рис. 6.34). В них для

каждого из выводов ПВВ выделено 4-битовое поле: *AFRLAFRn[3:0]* (для n = 0…7) или *AFRHAFRn[3:0]* (для n = 8…15), где n – номер вывода. При настройке n-го вывода ПВВ на выполнение некоторой альтернативной функции цифрового входа или выхода в данное поле должен быть записан номер данной функции, в соответствии с таблицей альтернативных функций, которые могут выполняться выводами ПВВ конкретной модели МК. Данная таблица приводится в техническом описании (*datasheet*) соответствующей модели или модельного ряда МК. Фрагмент такой таблицы для МК модельного ряда *STM32F030xx* представлен на рис. 6.35 [26].

Pin name	AF0	AF1	AF2	AF3	AF4	AF5	AF6
PA0	-	USART1_CTS(2) USART2_CTS(1)(3)	-	-	USART4_TX(1)	-	-
PA1	EVENTOUT	USART1_RTS(2) USART2_RTS(1)(3)	-	-	USART4_RX(1)	TIM15_CH1N(1)	-
PA2	TIM15_CH1(1)(3)	USART1_TX(2) USART2_TX(1)(3)	-	-	-	-	-
PA3	TIM15_CH2(1)(3)	USART1_RX(2) USART2_RX(1)(3)	-	-	-	-	-
PA4	SPI1_NSS	USART1_CK(2) USART2_CK(1)(3)	-	-	TIM14_CH1	USART6_TX(1)	-
PA5	SPI1_SCK	-	-	-	-	USART6_RX(1)	-
PA6	SPI1_MISO	TIM3_CH1	TIM1_BKIN	-	USART3_CTS(1)	TIM16_CH1	EVENTOUT
PA7	SPI1_MOSI	TIM3_CH2	TIM1_CH1N	-	TIM14_CH1	TIM17_CH1	EVENTOUT
PA8	MCO	USART1_CK	TIM1_CH1	EVENTOUT	-	-	-
PA9	TIM15_BKIN(1)(3)	USART1_TX	TIM1_CH2	-	I2C1_SCL(1)(2)	MCO(1)	-
PA10	TIM17_BKIN	USART1_RX	TIM1_CH3	-	I2C1_SDA(1)(2)	-	-
PA11	EVENTOUT	USART1_CTS	TIM1_CH4	-	-	SCL	-

1. This feature is available on STM32F030xC devices.
2. This feature is available on STM32F030x4 and STM32F030x6 devices.
3. This feature is available on STM32F030x8 devices.

Рис. 6.35. Фрагмент таблицы альтернативных функций выводов ПВВ *A* МК модельного ряда *STM32F030xx* [26]

Примечание. Из рис. 6.35 можно заметить, что, как указано в подпункте 6.5.2.1 (и, в целом, характерно для МК семейства *ARM*

Cortex-Mx), одна и та же альтернативная функция может быть выполняться 2-мя различными выводами (в ряде случаев – и б**о**льшим их числом). Например, у МК модельного ряда *STM32F030xx* функцию выхода передатчика 1-го *USART* может выполнять как 2-й, так и 9-й вывод ПВВ *A*, а входа приемника 1-го *USART* – как 3-й, так и 10-й вывод ПВВ *A* (см. рис. 6.35).

Для настройки *n*-го вывода ПВВ на выполнение некоторой альтернативной функции цифрового входа или выхода необходимо:

- записать номер подлежащей реализации альтернативной функции в битовое поле *AFRLAFRn[3:0]* (для *n* = 0…7) или *AFRHAFRn[3:0]* (для *n* = 8…15);

- при необходимости - выполнить настройку режима работы вывода посредством регистров *GPIOx_OTYPER*, *GPIOx_PUPDR* и *GPIOx_OSPEEDR* (см. подпункт 6.5.2.8);

- записать код 10 в битовое поле *MODERn[1:0]* (см. подпункт 6.5.2.8).

Ниже представлен пример программного фрагмента, реализующего конфигурирование 2-го, 3-го, 6-го и 7-го выводов порта *A* МК *STM32F030F4* (модельный ряд – *STM32F030xx*) на выполнение альтернативных функций, указанных в комментариях к командам. Уровень программирования – *CMSIS,* представление операндов – числовое (см. подпункт 2.6.1.14 и Приложение В). Регистрам *GPIOx_AFRL* и *GPIOx_AFRH* в применявшейся *IDE* присвоены идентификаторы *GPIOx_AFR[0]* и *GPIOx_AFR[1]* соответственно (см. Примечание 1 в подпункте 2.6.1.14).

```
/*
Разрешение тактирования порта A установкой в единицу 17-го бита (IOPAEN)
регистра разрешения тактирования устройств AHB-домена (AHBENR); данный
регистр входит в состав блока синхронизации и сброса МК (RCC).
*/
RCC->AHBENR |= 0x00020000;

/*
Указание номеров альтернативных функций, выполняемых задействованными
пинами порта A (см. рис. 6.35):
- пин 2-й - 1-я альтернативная функция (выход передатчика USART1), записано
число 1 в биты с 8-го по 11-й регистра AFR[0] порта A;
```

- пин 3-й - 1-я альтернативная функция (вход приемника *USART1*), записано число 1 в биты с 12-го по 15-й регистра *AFR[0]* порта *A*;
- пин 6-й - 5-я альтернативная функция (выход 1-го канала 16-го таймера), записано число 5 в биты с 24-го по 27-й регистра *AFR[0]* порта *A*;
- пин 7-й - 5-я альтернативная функция (выход 1-го канала 17-го таймера), записано число 5 в биты с 28-го по 31-й регистра *AFR[0]* порта *A*.

```
*/
GPIOA->AFR[0] |= 0x55001100;

/*
Задание режимов работы выводов порта A: пинам 2, 3, 6 и 7 предписано выполнять альтернативные функции записью двоичного кода 10 в биты 4-й и 5-й, 6-й и 7-й, 12-й и 13-й, 14-й и 15-й регистра MODER порта A
*/
GPIOA->MODER |= 0x0000A0A0;
```

6.5.2.10. Настройка *n*-го вывода ПВВ на выполнение функции **аналогового** входа или выхода осуществляется только посредством регистра *GPIOx_MODER*, записью двоичного кода 11 в поле *MODERn[1:0]*. В МК семейства *ARM Cortex-Mx* функции аналоговых входов / выходов имеют статус не альтернативных, а дополнительных (*Additional*). Их распределение по выводам ПВВ указывается в таблицах назначения выводов МК, представляемых, как и таблица альтернативных функций выводов ПВВ, в техническом описании (*datasheet*) соответствующей модели или модельного ряда МК. Фрагмент таблицы назначения выводов МК модельного ряда *STM32F030xx* для различных типов корпусов представлен на рис. 6.36 [26].

Ниже представлен пример программного фрагмента, реализующего конфигурирование 1-го вывода порта *A* МК *STM32F030F4* (модельный ряд – *STM32F030xx*) на выполнение альтернативной функции входа 1-го канала АЦП (см. рис. 6.36). Уровень программирования – *CMSIS,* представление операндов – числовое (см. подпункт 2.6.1.14 и Приложение В).

```
//Разрешение тактирования порта A (см. прог. фрагмент в подпункте 6.5.2.9)
RCC->AHBENR |= 0x00020000;
/*
Запись двоичного кода 11 режима работы вывода 1 ПВВ A («аналоговый вход») в биты 2-й и 3-й регистра GPIOA_MODER
```

*/
GPIOA->MODER |= 0x0000000C;

Pin number				Pin name (function after reset)	Pin type	I/O structure	Notes	Pin functions	
LQFP64	LQFP48	LQFP32	TSSOP20					Alternate functions	Additional functions
8	-	-	-	PC0	I/O	TTa	-	EVENTOUT, USART6_TX(5)	ADC_IN10
9	-	-	-	PC1	I/O	TTa	-	EVENTOUT, USART6_RX(5)	ADC_IN11
10	-	-	-	PC2	I/O	TTa	-	SPI2_MISO(5), EVENTOUT	ADC_IN12
11	-	-	-	PC3	I/O	TTa	-	SPI2_MOSI(5), EVENTOUT	ADC_IN13
12	8	-	-	VSSA	S	-	-	Analog ground	
13	9	5	5	VDDA	S	-	-	Analog power supply	
14	10	6	6	PA0	I/O	TTa	-	USART1_CTS(2), USART2_CTS(3)(5), USART4_TX(5)	ADC_IN0, RTC_TAMP2, WKUP1
15	11	7	7	PA1	I/O	TTa	-	USART1_RTS(2), USART2_RTS(3)(5), EVENTOUT, USART4_RX(5)	ADC_IN1
16	12	8	8	PA2	I/O	TTa	-	USART1_TX(2), USART2_TX(3)(5), TIM15_CH1(3)(5)	ADC_IN2, WKUP4(5)

1. PC13, PC14 and PC15 are supplied through the power switch. Since the switch only sinks a limited amount of current (3 mA), the use of GPIOs PC13 to PC15 in output mode is limited:
   - The speed should not exceed 2 MHz with a maximum load of 30 pF.
   - These GPIOs must not be used as current sources (e.g. to drive an LED).
2. This feature is available on STM32F030x6 and STM32F030x4 devices only.
3. This feature is available on STM32F030x8 devices only.
4. For STM32F030x4/6/8 devices only.
5. For STM32F030xC devices only.
6. On LQFP32 package, PB2 and PB8 should be treated as unconnected pins (even when they are not available on the package, they are not forced to a defined level by hardware).
7. After reset, these pins are configured as SWDIO and SWCLK alternate functions, and the internal pull-up on SWDIO pin and internal pull-down on SWCLK pin are activated.

I/O – вход / выход

S – вывод для подключения питания

TTa – вывод с допустимым входным напряжение от 0 до 3,3 В, напрямую подключенный ко входу АЦП

Рис. 6.36. Фрагмент таблицы назначения выводов МК модельного ряда *STM32F030xx* [26]

6.5.2.11. Необходимо также напомнить, что для функционирования ПВВ любой модели МК семейства *ARM Cortex-*

Mx необходимо разрешить его **тактирование** (см. программные фрагменты, приведенные в подпунктах 6.5.2.9 и 6.5.2.10).

6.5.2.12. Интересной особенностью архитектуры ПВВ МК семейства *ARM Cortex-Mx* является возможность **блокировки** конфигурирования выводов (например, для защиты от случайного изменения режимов их работы). Данная процедура осуществляется посредством специального регистра *GPIOx_LCKR*, входящего в состав регистровой модели ПВВ. При установке бита *LCKn* в единичное состояние любые изменения содержимого регистров *GPIOx_MODER, GPIOx_OTYPER, GPIOx_OSPEEDR, GPIOx_PUPDR, GPIOx_AFRL* и *GPIOx_AFRH* не повлияют на режим работы *n*-го вывода ПВВ. Блокировка снимается только после сброса МК или соответствующего порта (см. подраздел 5.9).

Во избежание случайной блокировки конфигурирования вывода, в регистр *GPIOx_LCKR* введен специальный бит ключа, *LCKK* (см. рис. 6.34), и изменение содержимого регистра *GPIOx_LCKR* может быть выполнено только следующей последовательностью операций [15]:

- запись в регистр *GPIOx_LCKR* 32-битового двоичного кода с единичным 16-м битом (*LCKK*); с единичными состояниями битов, номера которых равны номерам разрядов ПВВ, конфигурирование которых требуется заблокировать; с нулевыми состояниями остальных битов;
- повторение предыдущей операции, но при *LCKK* = 0;
- повторение предыдущей операции при *LCKK* = 1;
- чтение содержимого регистра *GPIOx_LCKR* и опциональная проверка равенства единице его 16-го бита (*LCKK*), являющегося признаком корректно выполненной блокировки.

Например, блокировка конфигурирования 0-го и 2-го выводов ПВВ *A* производится следующей последовательностью команд (см. также Приложение В):

```
GPIOA->LCKR = 0x00010005;
GPIOA->LCKR = 0x00000005;
GPIOA->LCKR = 0x00010005;
x = GPIOA->LCKR;
```

6.5.2.13. Примечание. Корректная компиляция и работа вышеприведенного команд и программных фрагментов, приведенных в подпунктах 6.5.2.4 – 6.5.2.6, 6.5.2.9, 6.5.2.10 и 6.5.2.12

возможны только при введении в заголовок программного модуля, содержащего данный фрагмент, директивы подключения файла описания МК модельного ряда *stm32f0xx*:

#include "stm32f0xx.h"

6.5.2.14. Описанные в подпунктах 6.5.2.3 – 6.5.2.12 регистровая модель ПВВ и процедуры его конфигурирования являются типовыми для семейства *ARM Cortex-Mx* в целом. Однако, регистровые модели некоторых модельных рядов / подсемейств несколько отличаются от приведенной на рис. 6.34 по составу и форматам регистров управления ПВВ, при возможностях установки тех же вариантов конфигурации. В качестве примера на рис. 6.37 представлены состав и форматы программно-доступных регистров ПВВ МК популярного у разработчиков модельного ряда *STM32F10xx* [13], относящегося к подсемейству *ARM Cortex-M3* (регистры управления альтернативными функциями не показаны, и будут рассмотрены в подпункте 6.5.2.14).

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	GPIOx _CRL	CNF 7 [1:0]		MODE 7 [1:0]		CNF 6 [1:0]		MODE 6 [1:0]		CNF 5 [1:0]		MODE 5 [1:0]		CNF 4 [1:0]		MODE 4 [1:0]		CNF 3 [1:0]		MOD E3 [1:0]		CNF 2 [1:0]		MODE 2 [1:0]		CNF 1 [1:0]		MOD E1 [1:0]		CNF 0 [1:0]		MODE 0 [1:0]	
	Reset value	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0
0x04	GPIOx _CRH	CNF 15 [1:0]		MODE 15 [1:0]		CNF 14 [1:0]		MODE 14 [1:0]		CNF 13 [1:0]		MODE 13 [1:0]		CNF 12 [1:0]		MODE 12 [1:0]		CNF 11 [1:0]		MOD E11 [1:0]		CNF 10 [1:0]		MODE 10 [1:0]		CNF 9 [1:0]		MOD E9 [1:0]		CNF 8 [1:0]		MODE 8 [1:0]	
	Reset value	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0
0x08	GPIOx _IDR	Reserved																IDRy															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	GPIOx _ODR	Reserved																ODRy															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	GPIOx _BSRR	BR[15:0]																BSR[15:0]															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	GPIOx _BRR	Reserved																BR[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	GPIOx _LCKR	Reserved															LCKK	LCK[15:0]															
	Reset value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Рис. 6.37. Состав и форматы программно-доступных регистров ПВВ МК модельного ряда *STM32F10xx* [13]

Сопоставляя рис. 6.34 и 6.37, нетрудно увидеть, что регистровая модель ПВВ МК *STM32F10xx* отличается от представленной на рис. 6.34 отсутствием регистров *GPIOx_MODER, GPIOx_OTYPER, GPIOx_OSPEEDR* и *GPIOx_PUPDR,* при наличии 2-х управляющих регистров - *GPIOx_CRL* и *GPIOx_CRH*. Посредством первого из них осуществляется конфигурирование младших 8-и разрядов ПВВ (с 0-го по 7-й), посредством второго – старших 8-и разрядов (с 8-го по 15-й). Для каждого разряда ПВВ в данных регистрах выделено 2-битовое поле *CNFn* и 2-битовое поле *MODEn*. Конфигурирование вывода осуществляется в соответствии с табл. 6.2.

Таблица 6.2

Режимы работы n-го вывода ПВВ МК модельного ряда STM32F10xx в зависимости от состояния битовых полей CNFn, MODEn и ODRn [13]

CNFn	***MODEn***	***ODRn***	**Режим работы вывода**
			Вход
00	00	x	Аналоговый вход
01			«Плавающий» цифровой вход
10		0	Цифровой вход с подтяжкой к ОШ
		1	Цифровой вход с подтяжкой к питанию
11		x	Зарезервированное (не используемое) сочетание
			Двухтактный выход, основная функция
00	01	x	Скорость нарастания / спада – средняя[1)]
	10		Скорость нарастания / спада – низкая[1)]
	11		Скорость нарастания / спада – высокая[1)]
			Выход с открытым стоком, основная функция
01	01	x	Скорость нарастания / спада – средняя[1)]
	10		Скорость нарастания / спада – низкая[1)]
	11		Скорость нарастания / спада – высокая[1)]
			Двухтактный выход, альтернативная функция
10	01	x	Скорость нарастания / спада – средняя[1)]
	10		Скорость нарастания / спада – низкая[1)]
	11		Скорость нарастания / спада – высокая[1)]
			Выход с открытым стоком, альтернативная функция
11	01	x	Скорость нарастания / спада – средняя[1)]
	10		Скорость нарастания / спада – низкая[1)]
	11		Скорость нарастания / спада – высокая[1)]
[1)] Конкретное значение скорости зависит от модели / модельного ряда МК и указывается в *datasheet*			

Заметим, что в конфигурировании режимов работы с подтяжкой к общей шине и с подтяжкой к питанию участвует также регистр выходных данных (*ODR*).

6.5.2.14. Процедуры назначения альтернативных функций выводов ПВВ МК модельного ряда *STM32F10xx* также несколько отличаются от описанных в подпункте 6.5.2.9. Одна и та же альтернативная функция, как правило, может выполняться 2-мя и более выводами ПВВ, что характерно для семейства *ARM Cortex-Mx* в целом. Однако, в отличие от МК модельного ряда *STM32F030xx*, каждая из альтернативных функций по умолчанию закреплена за некоторым определенным выводом. При необходимости ее реализации другим выводом (в т. ч., например, с точки зрения удобства разводки печатной платы) следует выполнить операцию **переназначения** (***remapping***) альтернативной функции [13]. Она осуществляется посредством программно-доступных регистров переназначения альтернативных функций и конфигурирования входов / выходов отладочного интерфейса (*AF remap and debug I/O configuration registers (AFIO_MAPR)*), входящих в состав регистровой модели МК модельного ряда *STM32F10xx*. Формат одного из данных регистров представлен на рис. 6.38 [13].

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					SWJ_CFG[2:0]			Reserved			ADC2_ETRGREG_REMAP	ADC2_ETRGINJ_REMAP	ADC1_ETRGREG_REMAP	ADC1_ETRGINJ_REMAP	TIM5CH4_IREMAP
					w	w	w				rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD01_REMAP	CAN_REMAP[1:0]		TIM4_REMAP	TIM3_REMAP[1:0]		TIM2_REMAP[1:0]		TIM1_REMAP[1:0]		USART3_REMAP[1:0]		USART2_REMAP	USART1_REMAP	I2C1_REMAP	SPI1_REMAP
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Рис. 6.38. Пример формата регистра *AFIO_MAPR* МК модельного ряда *STM32F10xx* [13]

Каждой альтернативной функции или группе функций в регистре выделено 1- или 2-битовое поле, доступное для записи прикладным ПО. Их состояние «по умолчанию» (после сброса) – нулевое, что соответствует отсутствию переназначения. Единичное состояние 1-битового поля или код 11 в 2-битовом соответствует полному переназначению. Для 2-битовых полей существует также понятие **частичного переназначения** (см. далее).

Примеры использования регистра *AFIO_MAPR*, формат которого представлен на рис. 6.38.

1. Посредством 12-го бита (*TIM4_REMAP*) осуществляется переназначение альтернативных функций выходов 4-го таймера. При нулевом состоянии данного бита функции выходов 1-го, 2-го, 3-го и 4-го каналов 4-го таймера закрепляются за назначенными под них по умолчанию 6-м, 7-м, 8-м и 9-м выводами ПВВ *B*. При *TIM4_REMAP* = 1 указанные функции закрепляются за выводами 12-м, 13-м, 14-м и 15-м ПВВ *D* (при его наличии в конкретной модели МК).

2. Биты 4-й и 5-й (*USART3_REMAP*) управляют переназначением альтернативных функций выводов 3-го *USART*: выхода передатчика (*TX*), входа приемника (*RX*), выхода синхросигнала (*CK*), входа разрешения передачи (*CTS*) и выхода запроса на передачу (*RTS*). Значение битового поля *USART3_REMAP* может устанавливаться равными 00, 01 и 11 (код 10 не используется).

При *USART3_REMAP* = 00 переназначение отсутствует. Функции *TX*, *RX*, *CK*, *CTS* и *RTS* закрепляются за назначенными под них по умолчанию 10-м, 11-м, 12-м, 13-м и 14-м выводами ПВВ *B*.

При записи в битовое поле *USART3_REMAP* кодовой комбинации 01 происходит частичное переназначение (*partial remapping*). Функции *TX*, *RX* и *CK* закрепляются за 10-м, 11-м и 12-м выводами ПВВ *C*, функции *CTS* и *RTS* остаются закрепленными за 13-м и 14-м выводами ПВВ *B*.

При *USART3_REMAP* = 11 происходит полное переназначение (*full remapping*). Функции *TX*, *RX*, *CK*, *CTS* и *RTS* закрепляются за 8-м, 9-м, 10-м, 11-м и 12-м выводами ПВВ *D*.

6.5.2.15. Режимы работы выводов ПВВ МК модельного ряда *STM32F10xx*, а также назначение и форматы регистров *GPIOx_IDR, GPIOx_ODR, GPIOx_BSRR, GPIOx_BRR* и *GPIOx_LCKR* полностью аналогичны режимам работы выводов МК модельного ряда *STM32F030xx*, назначению и форматам их соответствующих регистров.

6.5.2.16. Сопоставляя архитектуру ПВВ МК модельного ряда *STM32F10xx* (см. подпункты 6.5.2.13 и 6.5.2.14) и *STM32F030xx* (подпункты 6.5.2.3 – 6.5.2.12), можно заметить, что регистровые модели последних несколько удобнее для программирования, что можно объяснить разницей в годах завершения разработки и запуска производства (2007 г. и 2013 г. соответственно). Тем не менее, регистровые модели обоих модельных рядов предоставляют

одинаковые возможности по конфигурированию и применению ПВВ.

6.5.2.17. Существуют также подсемейства / модельные ряды МК семейства *ARM Cortex-Mx*, архитектура ПВВ которых отличается от описанной в подпунктах 6.5.2.3 – 6.5.2.14 рядом второстепенных деталей, при одинаковых базовых структурно-архитектурных решениях (см., например, [14]). При необходимости, она может быть освоена самостоятельно, на основе материала подпунктов 6.5.2.1 – 6.5.2.14.

6.6 Выводы по разделу 6

6.6.1. Порты ввода / вывода (ПВВ), наряду с подсистемами питания, синхронизации и сброса входит в состав подсистем МК, минимально необходимых для его практического применения. Основное назначение ПВВ – взаимодействие МК с внешними по отношению к нему устройствами.

6.6.2. Практически во всех современных семействах МК применяется следующие принципы реализации ПВВ:

- каждый вывод каждого из ПВВ (за редкими исключениями) является **двунаправленным**, и может быть, независимо от других, программно настроен как на прием, так и на передачу данных;
- **основной** функцией каждого вывода каждого из ПВВ являются программно-управляемые прием / передача цифровых данных;
- кроме основной функции, за рядом выводов ПВВ (в МК классов «*mainstream*» и «*high performance*» - за большинством) закреплены одна или несколько **альтернативных** функций, например, входа или выхода некоторого встроенного периферийного устройства МК;
- настройка вывода ПВВ на выполнение основной или какой-либо из альтернативных функций осуществляется программно, независимо от других выводов; при этом вывод, сконфигурированный под выполнение некоторой альтернативной функции, не может использоваться для выполнения основной.

6.6.3. ПВВ большинства современных семейств МК строятся по обобщенной структурной схеме, представленной на рис. 6.3, а их драйверы входа / выхода – по схеме, приведенной на рис. 6.4.

Известны следующие режимы работы вывода ПВВ МК:

- «плавающий» цифровой вход (*input floating*);

- цифровой вход с подтяжкой к питанию (*input pull-up*);
- цифровой вход с подтяжкой к общей шине (*input pull-down*);
- двухтактный цифровой выход (*output push-pull*);
- цифровой выход с открытым стоком (*output open-drain*);
- цифровой выход с открытым истоком (*output open-source*);
- цифровой вход / выход с сохранением последнего активного состояния шины (*bus-keeper*);
- аналоговый вход (*analog input*);
- аналоговый выход (*analog output*).

Все данные режимы реализуются только в наиболее «продвинутых» моделях МК класса «*high performance*». В ПВВ большинства семейств МК некоторые из этих режимов могут отсутствовать.

Настройка вывода на работу в каком-либо из вышеперечисленных режимов осуществляется ПО МК, посредством программно-доступных регистров конфигурации ПВВ, входящих в его состав.

6.6.4. При работе вывода ПВВ в режиме выхода выводимые сигналы / данные изменяются и фиксируются под управлением ПО МК, в то время как в режиме входа моменты поступления достоверных входных данных, в общем случае, «не подконтрольны» программному обеспечению. Для их корректного ввода используются различные приемы (опрос признаков готовности данных, запросы на прерывание от источника входных данных по их готовности и т. п.). Существует также вариант схемной конфигурации драйвера входа / выхода, позволяющий фиксировать состояние входного сигнала по его поступлении от внешнего источника; он известен под названием «*Bus-keeper*» или «*Bus-holder*». Данный вариант может быть применен только при определенных условиях, и реализован не во всех семействах МК (см. пункт 6.6.10).

6.6.5. Режим «плавающего» цифрового входа (см. пункт 6.3.1) используется, в основном, для приема сигналов, источниками которых являются цифровые устройства с двухтактным выходом. В принципе, может применяться и для приема выходных сигналов цифровых устройств с открытым стоком или с открытым истоком, при наличии подтягивающего резистора на их выходах.

При сбросе выводы ПВВ МК, как правило, устанавливаются в режим «плавающего» цифрового входа, поскольку он обеспечивает наивысшую степень защиты элементов схемы драйвера от случайной подачи сигналов с внешних источников на выводы ПВВ.

6.6.6. Режимы цифрового входа с подтяжкой к питанию или к общей шине (см. пункты 6.3.2 и 6.3.3) применяются, в основном, для:

- считывания состояний механических переключателей;
- предотвращения неопределенного состояния входа, если существует вероятность переключения выхода передатчика сигнала в 3-е состояние и отсутствуют жесткие требования к скорости обмена данными.

Также в режим входов с подтяжкой к питанию рекомендуется переводить **не задействованные** выводы ПВВ, для обеспечения минимального энергопотребления и максимальной помехоустойчивости.

Использование подтяжки к питанию для согласования уровней сигналов 2-х КМОП – устройств **не рекомендуется** [42].

6.6.7. Режим цифрового двухтактного выхода (см. пункт 6.3.4) является основным при работе вывода ПВВ на передачу. В данном режиме **недопустима** подача на вывод ПВВ сигнала с внешнего по отношению к нему источника. Поэтому применение режима цифрового двухтактного выхода допустимо только при условиях, что вывод подключенного к ПВВ устройства предварительно сконфигурирован как вход или является входом по своему функциональному назначению (в том числе входом исполнительного устройства).

6.6.8. При работе передатчика сигнала в режиме двухтактного выхода, а приемника – в режиме «плавающего» входа обеспечивается потенциально наивысшая, при прочих равных условиях, скорость обмена данными.

6.6.9. Режимы цифрового выхода (реально - приемопередатчика) с открытым стоком / с открытым истоком (см. пункты 6.3.5 и 6.3.6) рациональны для организации двунаправленного обмена данными с устройствами, выводы которых работают в том же режиме. Основными достоинствами данных режимов являются следующие:

- конфликт на линии связи не вызывает аварийных ситуаций;

- как в отсутствие конфликта, так и при его наличии состояние линии не является неопределенным;

- конфликтная ситуация на линии связи может быть достоверно выявлена любым из абонентов (путем считывания ее состояния) и использована для арбитража, т. е. разрешения конфликта;

- перевод драйвера из режима передачи в режим приема не требует его переконфигурирования.

Благодаря перечисленным свойствам, режим приемопередатчика с открытым стоком (в меньшей степени – с открытым истоком) широко применяется для организации связи между несколькими абонентами микролокальных сетей МК (например, сетей стандартов *I2C* и *CAN*).

Режим выхода с открытым стоком / с открытым истоком, в принципе, может применяться для передачи сигналов на «плавающие» цифровые входы. Однако, при этом не может быть обеспечена скорость обмена данными, достижимая при использовании передатчика с двухтактным выходом и приемника с «плавающим» входом.

Также режим выхода с открытым стоком / с открытым истоком может применяться для управления маломощными исполнительными и индикаторными устройствами (см., например, подпункт 6.4.4.2).

6.6.10. Режим цифрового входа / выхода с сохранением последнего активного состояния шины (*bus-keeper*) (см. пункт 6.3.7) предназначен для обмена данными между абонентами линии связи (шины) с неактивным 3-м состоянием. Предполагается, что б**о**льшую часть времени выходы всех абонентов находятся в 3-м состоянии. При передаче данных каким-либо абонентом линии его выходной каскад выводится из 3-го состояния, и работает в режиме двухтактного цифрового выхода. Естественно, недопустимо одновременное нахождение в активном состоянии выходов двух и более абонентов. По окончании сеанса передачи в триггере, входящем в состав драйвера входа / выхода, фиксируется последнее активное состояние шины. Тем самым устраняется «плавающее» состояние шины между сеансами связи, а также обеспечивается возможность достоверного ввода и контроля данных, которые были переданы по шине в ближайшем по времени сеансе связи.

Для устранения неопределенного состояния шины при 3-м состоянии всех абонентов, применение режима «*bus-keeper*» предпочтительнее, чем использование резисторов подтяжки к питанию или к общей шине (см. пункт 6.6.5). Однако, данный режим не реализован в ПВВ многих распространенных семейств МК (в т. ч. *AVR* и *ARM Cortex-Mx*).

6.6.11. Режимы аналогового входа или выхода применяются при выполнении выводом ПВВ альтернативных функций входа или, соответственно, выхода некоторого встроенного аналогового или аналого-цифрового блока МК (например, входа АЦП или выхода ЦАП). В данных режимах входной или выходной аналоговый сигнал поступает непосредственно с внешнего вывода или, соответственно, на внешний вывод ПВВ, в обход драйвера входа / выхода.

6.6.12. Основными классами внешних по отношению к МК устройств, подключаемых к нему через ПВВ, являются:

- датчики состояния объекта контроля и управления;
- исполнительные устройства (электронные коммутаторы, электромагнитные реле, шаговые двигатели и т. п.);
- устройства визуальной и звуковой индикации состояния объекта контроля и управления;
- другие МК;
- хост-устройства, например, ПК или программируемые логические контроллеры (ПЛК);
- внешние запоминающие устройства;
- внешние периферийные устройства, в первую очередь – внешние устройства аналого-цифрового и цифрового интерфейса.

Для подключения вышеперечисленных устройств к ПВВ могут потребоваться специальные устройства сопряжения или драйверы, выполняющие одну из следующих функций или несколько из них:

- согласование уровней входных и выходных напряжений ПВВ и внешних устройств;
- предотвращение перегрузки ПВВ по току или по мощности;
- согласование входных и выходных сопротивлений ПВВ и внешних устройств;
- гальваническую развязку цепей питания МК и внешних устройств.

Основные схемотехнические аспекты подключения внешних устройств к ПВВ МК рассмотрены в подразделе 6.4. Более подробно они отражены в источниках, указанных в тексте данного подраздела.

Необходимо отметить, что в большинстве практических случаев рационально применение серийно выпускаемых устройств сопряжения / драйверов при подключении внешних устройств к МК.

6.6.13. Настройка каждого из выводов ПВВ на работу в каком-либо из перечисленных в пункте 6.6.3 режимов осуществляется посредством программно-доступных регистров конфигурации ПВВ, входящих в их состав. Типовые примеры регистровых моделей ПВВ и процедур их конфигурирования представлены в подразделе 6.5.

При конфигурировании ПВВ МК важно помнить **общее правило**, справедливое для всех функциональных блоков всех семейств МК: состав и форматы регистров конфигурации блока позволяют настроить его на **любой** из режимов работы, предусмотренных архитектурой данного блока.

6.6.14. Полезной для применения в системах управления техническими объектами особенностью архитектуры ПВВ ряда семейств МК (в т. ч. *ARM Cortex-Mx*) является возможность индивидуальной установки / сброса битов регистра выходных данных, без изменения состояний других битов (см. подпункт 6.5.2.6).

6.6.15. Настройка вывода ПВВ на выполнение какой-либо из закрепленных за ним альтернативных функций осуществляется одним из двух основных способов.

Первый из них, применяемый в МК семейства *AVR* (см. подпункт 6.5.1.5), состоит в косвенной настройке вывода ПВВ на выполнение альтернативной функции. Настройка выполняется посредством разрешения работы и соответствующего конфигурирования блока МК, входом или выходом которого служит вывод ПВВ при выполнении данной функции. При этом он автоматически конфигурируется на работу в режиме, необходимом для выполнения соответствующей функции (например, «плавающего» цифрового входа, двухтактного выхода и т. п.). При реализации ряда альтернативных функций также необходима

дополнительная программная установка в определенные состояния битов конфигурации соответствующего вывода ПВВ.

Второй из основных известных способов конфигурирования вывода ПВВ на выполнение некоторой альтернативной функции – прямая настройка, применяемая, например, в МК семейства *ARM Cortex-Mx* (см. подпункты 6.5.2.8, 6.5.2.9 и 6.5.2.14). При ней, под управлением ПО МК:

- в битовое поле регистра выбора альтернативной функции, выделенное для соответствующего вывода ПВВ, записывается номер функции, подлежащей выполнению, который присвоен ей в соответствии с *datasheet* конкретной модели / модельного ряда МК;
- при необходимости – выполняется настройка вывода ПВВ на режим работы, соответствующий выполняемой функции
- в битовое поле регистра конфигурации ПВВ, задающее режим работы соответствующего вывода ПВВ, записывается код, настраивающий данный вывод на выполнение альтернативной функции;

(см. программный фрагмент, представленный в подпункте 6.5.2.9).

6.6.16. Функция аналогового входа или выхода в ряде семейств МК (в т. ч. *ARM Cortex-Mx*) имеет статус не альтернативной, а дополнительной. Настройка вывода ПВВ на ее выполнение осуществляется только заданием режима его работы «Аналоговый вход / выход» (см. подпункт 6.5.2.10).

6.6.17. В ряде семейств МК (в т. ч. *ARM Cortex-Mx*) имеется возможность блокировки конфигурирования отдельных выводов для их защиты от случайного переконфигурирования (см. подпункт 6.5.2.12).