

4 ТИПОВЫЕ СТРУКТУРНО-АРХИТЕКТУРНЫЕ РЕШЕНИЯ ПОДСИСТЕМЫ СИНХРОНИЗАЦИИ МК ОБЩЕГО НАЗНАЧЕНИЯ

4.1 Общие вопросы.....	2
4.2 Генераторы тактовых импульсов МК.....	4
4.2.1. Внутренний <i>RC</i> -генератор.....	5
4.2.2. <i>RC</i> -ГТИ с внешней частотозадающей цепью	11
4.2.3. ГТИ на основе внешнего пьезоэлектрического резонатора.....	12
4.2.4. Умножители частоты с ФАПЧ (<i>PLL</i>).....	21
4.2.5. Тактирование МК от внешнего ГТИ. Использование МК в качестве источника синхронизации других устройств.....	22
4.2.6. Запуск и выход в рабочий режим ГТИ МК	23
4.3 Мультиплексоры и делители частоты подсистемы синхронизации..	29
4.4 Типовые примеры структуры и архитектуры подсистемы синхронизации МК	30
4.4.1. Подсистема синхронизации МК семейства <i>AVR</i>	30
4.4.2. Подсистема синхронизации МК семейства <i>ARM Cortex-Mx</i>	36
4.5 Выводы по разделу 4.....	49

4.1 Общие вопросы

Подсистема синхронизации, наряду с подсистемами питания и сброса и с портами ввода / вывода, входит в состав функциональных блоков / подсистем МК, минимально необходимых для его практического применения. Ее основное назначение - генерация сигналов тактирования и их распределение между узлами и блоками МК с целью обеспечения их синхронной работы (см. табл. 1.1).

Общие принципы построения подсистемы синхронизации современных МК удобно рассмотреть на примере МК модельного ряда *STM32F030xx* подсемейства *ARM Cortex-M0*. Их подсистема синхронизации, с одной стороны, содержит все структурно-архитектурные решения, которые (в совокупности или по отдельности) могут встретиться в подобных подсистемах МК любого семейства, а с другой стороны, относительно проста по сравнению с подсистемами синхронизации других МК того же класса.

Упрощенная структурная схема подсистемы синхронизации МК *STM32F030xx* представлена на рис. 4.1 [15]. Она включает в себя:

- генераторы тактовых импульсов (ГТИ) *HSI* (*High Speed Internal*), *HSE* (*High Speed External*), *LSI* (*Low Speed Internal*) и *LSE* (*Low Speed External*), служащие источниками первичных сигналов синхронизации, из которых формируются сигналы тактирования всех узлов и блоков МК;
- умножитель частоты с ФАПЧ (по-английски – *Phase Locked Loop, PLL*), который задействуется при необходимости формирования синхросигналов с частотой, превышающей частоту первичных сигналов синхронизации;
- программно-управляемые мультиплексоры (на рис. 4.1 обозначены трапециями), посредством которых осуществляется выбор источника синхронизации той или иной подсистемы или функционального блока (группы блоков) МК;
- программно-управляемые делители частоты тактовых импульсов (предделители, *Prescalers*), задающие частоту синхронизации подсистем (функциональных блоков) МК; см. также пункт 3.4.1.

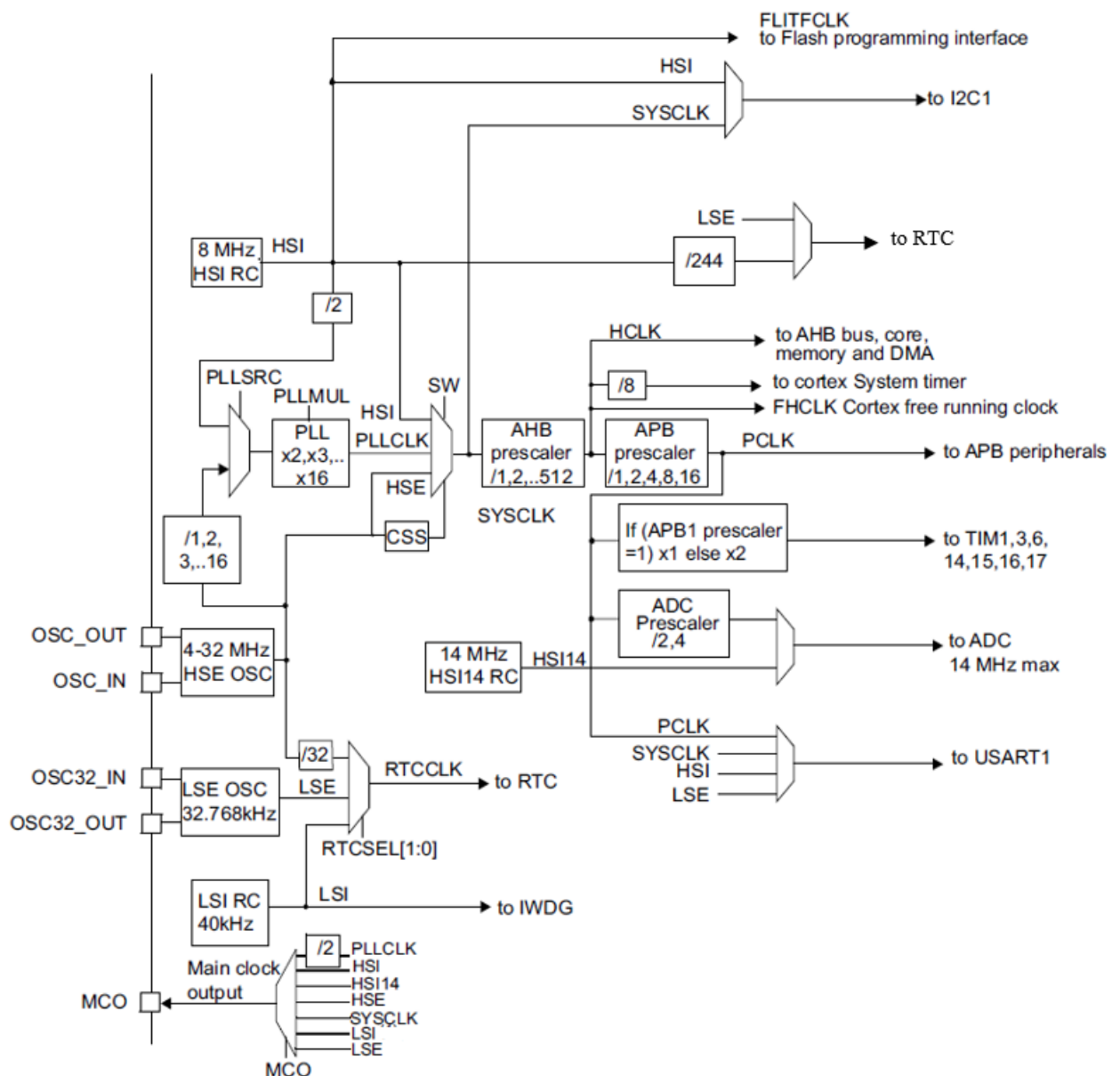


Рис. 4.1. Упрощенная структурная схема подсистемы синхронизации МК модельного ряда *STM32F030xx* [15]
(расшифровка аббревиатур и пояснения представлены в тексте)

По аналогичным принципам строятся подсистемы синхронизации практически всех современных семейств МК, за исключением того, что:

- в большинстве семейств МК классов «*cost-sensitive*» и «*mainstream*», в частности, в семействе *AVR*, управление выбором источника тактирования МК осуществляется одним из слов конфигурации, доступным для записи (также и для чтения) только в режиме программирования энергонезависимой памяти МК;

- модуль ФАПЧ (*PLL*), как правило, отсутствует в подсистемах синхронизации МК класса «*cost-sensitive*» и большинства моделей класса «*mainstream*».

Рассмотрим подробнее назначение и принципы реализации основных функциональных узлов подсистем синхронизации МК.

4.2 Генераторы тактовых импульсов МК

Генераторы тактовых импульсов (ГТИ) являются центральными функциональными узлами подсистемы синхронизации МК. Схемотехнически они представляют собой генераторы прямоугольных импульсов, «высокий» и «низкий» уровень которых совпадают с напряжениями логической единицы и логического нуля соответствующей модели МК. Известны следующие основные варианты реализации ГТИ МК [4, 8, 9]:

- внутренний *RC*-ГТИ, т. е. автоколебательный мультивибратор, частота выходного сигнала которого задается резистивно-емкостной цепью, а все элементы схемы ГТИ, включая *RC*-цепь, расположены на кристалле БИС МК;

- внутренний ГТИ с частотозадающим внешним (по отношению к БИС МК) пьезоэлектрическим резонатором;

- *RC*-ГТИ, частотозадающая *RC*-цепь которого выполнена на внешних по отношению к БИС МК элементах, а остальная часть схемы реализована в виде интегральных компонентов БИС МК;

- внешний ГТИ, конструктивно не входящий в состав БИС МК, выходной сигнал которого служит для синхронизации МК и поступает на некоторый его вывод, сконфигурированный под данную функцию.

Каждый из вышеперечисленных вариантов реализации ГТИ характеризуется присущими ему достоинствами и недостатками (см. далее). Поэтому, как правило, в структуру каждой модели МК входит несколько ГТИ, реализованных по различным вариантам из числа первых 3-х перечисленных (как минимум – из числа первых 2-х). Также архитектура практически всех моделей МК предусматривает возможность использования внешнего ГТИ. Выбор источника тактирования МК осуществляется в зависимости от

конкретной задачи, решаемой устройством на его основе, а также от структуры системы, в состав которой входит МК (в частности, от наличия или отсутствия в ней других источников синхросигналов). Источник тактирования задается определенным битовым полем или в одном из слов конфигурации МК (что характерно, например, для МК семейства *AVR* [6, 8]), или в одном из РСФ подсистемы синхронизации МК (что имеет место, например, в МК семейства *ARM Cortex-Mx* [9]). В первом случае задание источника тактирования МК возможно только в режиме программирования энергонезависимой памяти, во втором – и в процессе работы МК. Биты, задающие источник тактирования, управляют мультиплексорами, посредством которых осуществляется выбор первичного источника синхронизации МК (см., например, мультиплексор, управляемый кодом *SW*, на рис. 4.1).

Рассмотрим подробнее перечисленные ранее варианты ГТИ МК.

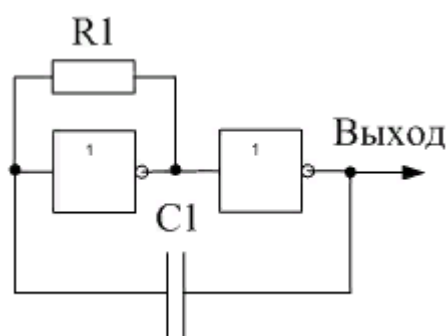
4.2.1. Внутренний *РС*-генератор

Данная разновидность ГТИ реализуется по одной из известных схем автоколебательных мультивибраторов. Их типовые варианты представлены на рис. 4.2 [4, 22]. Частота выходных импульсов данных ГТИ может быть оценена по следующему выражению:

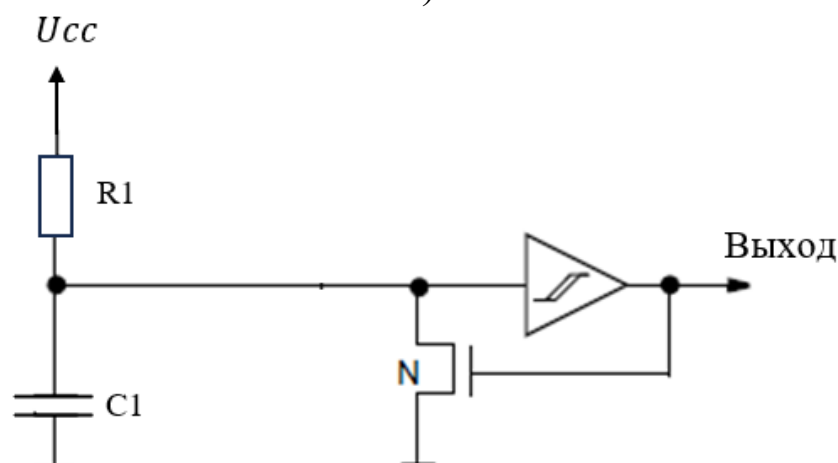
$$f_{osc} = k/(R1 \times C1); \quad (4.1)$$

где k – коэффициент, находящийся в пределах 0,33...0,5 для схемы, приведенной на рис. 4.2а, и 0,5...1 – для представленной на рис. 4.2б, при условии, что их ЛЭ выполнены по КМОП-технологии [22].

Основным достоинством внутренних *РС*-ГТИ является отсутствие необходимости во внешних (по отношению к БИС МК) элементах схемы (нетрудно увидеть, что реализация всех их компонентов в интегральном исполнении не представляет сложности).



а)



N – n-канальный МОП-транзистор (выполняет функцию ключа)

б)

Рис. 4.2. Типовые варианты функциональных схем внутренних RC-ГТИ МК

Основные **недостатки** внутренних RC-ГТИ – существенный разброс частоты генерируемых импульсов от образца к образцу, а также ее нестабильность во времени, ее зависимость от температуры и от напряжения питания. Их источниками, в первую очередь, являются зависимость частоты от пороговых напряжений ЛЭ (в схеме на рис. 4.2а) и триггера Шмидта (в схеме на рис. 4.2б), для которых характерны низкая повторяемость от образца к образцу, нестабильность во времени, чувствительность к температуре и к напряжению питания [22]. Следствием этого является значительный разброс коэффициента k в выражении (4.1) (см. комментарии к данному выражению). Вторым существенным источником разброса и нестабильности частоты внутренних RC-ГТИ МК является сложность обеспечения высокой точности и стабильности

сопротивлений резисторов и емкостей конденсаторов в интегральном исполнении.

Ввиду вышеуказанных недостатков внутренние RC -ГТИ МК, используемые как источники первичных системных синхросигналов (в МК семейства *ARM Cortex-Mx* – это генератор *High Speed Internal, HSI* на рис. 4.1) являются **калибруемыми** [6, 9]. При этом ГТИ реализуется по принципиальной схеме, какой-либо из параметров которой, определяющих частоту выходных импульсов ($R1, C1$ или k , см. выражение (4.1)) является регулируемым. Управление данным параметром выполняется **калибровочным кодом**, загружаемым в один из РСФ подсистемы синхронизации МК. Посредством данного кода осуществляется подстройка частоты ГТИ до номинального значения.

Пример упрощенной принципиальной схемы RC -ГТИ с подстраиваемой частотой, в котором регулируемым параметром является сопротивление $R1$, приведен на рис. 4.3 [24]. ГТИ реализован по представленной на рис. 4.2а функциональной схеме. 1-й инвертор построен на транзисторах $VT2$ и $VT3$, 2-й – на транзисторах $VT4$ и $VT5$. В качестве эквивалента резистора $R1$ служит сопротивление сток-исток транзистора $VT1$, управляемое напряжением на его затворе, которое, в свою очередь, задается калибровочным кодом, посредством ЦАП.

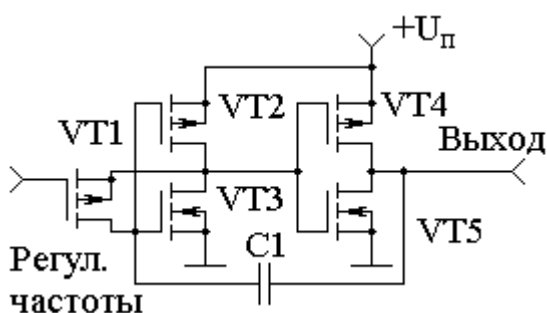


Рис. 4.3. Пример упрощенной принципиальной схемы RC -ГТИ с регулируемой частотой

Известны и другие варианты реализации RC -ГТИ с управлением частотой.

Калибровочный код формируется при изготовлении БИС МК; он индивидуален для каждого экземпляра БИС. В процессе калибровки внутреннего *РС-ГТИ* МК (естественно, автоматизированном) подбирается значение данного кода, при котором частота ГТИ конкретного образца БИС наиболее близка к своему номинальному значению, например, у МК модельного ряда *STM32F030xx* равному 8 МГц (см. рис. 4.1). Калибровка осуществляется при определенных значениях напряжения питания и температуры, указываемых в технической документации на МК. Сформированный калибровочный код записывается в системную энергонезависимую память МК, из которой он автоматически загружается в определенный РСФ (в частности, у МК модельного ряда *STM32F030xx* – в регистр управления подсистемой синхронизации [15]) при каждой процедуре сброса МК, в том числе по включении питания.

Калибровка внутреннего *РС-ГТИ* в процессе производства БИС МК позволяет устранить влияние разброса пороговых значений ЛЭ, а также резистивных и емкостных элементов на частоту генерируемого сигнала. Однако, она, естественно, не устраняет дрейф частоты во времени, а также, поскольку производится при определенных напряжении питания и температуре, не позволяет устранить влияние их изменений на частоту. Поэтому архитектура большинства семейств МК предусматривает возможность подстройки, при необходимости, частоты внутреннего *РС-ГТИ* после некоторого периода эксплуатации устройства на МК или для работы при температуре и / или напряжении питания, отличающихся от тех, при которых производилась калибровка. Типовые алгоритмы калибровки внутреннего *РС-ГТИ* в процессе эксплуатации МК приведены, например, в [9] и в [25]. Следует отметить, что для его реализации необходим дополнительный источник сигнала с известной (опорной) частотой. Полученный в результате данной калибровки код записывается или в битовое поле подстройки частоты (*HSITRIM*) регистра управления подсистемой синхронизации (в МК семейства *ARM Cortex-Mx*), или непосредственно в регистр калибровочного кода (например, в МК

семейства *AVR*, у которых данный регистр доступен прикладному ПО для записи).

Для обеспечения возможности подстройки частоты внутреннего RC-ГТИ в технической документации на МК, как правило, приводятся типовые зависимости частоты ГТИ от калибровочного кода или от кода подстройки частоты. Пример такой зависимости представлен на рис. 4.4.

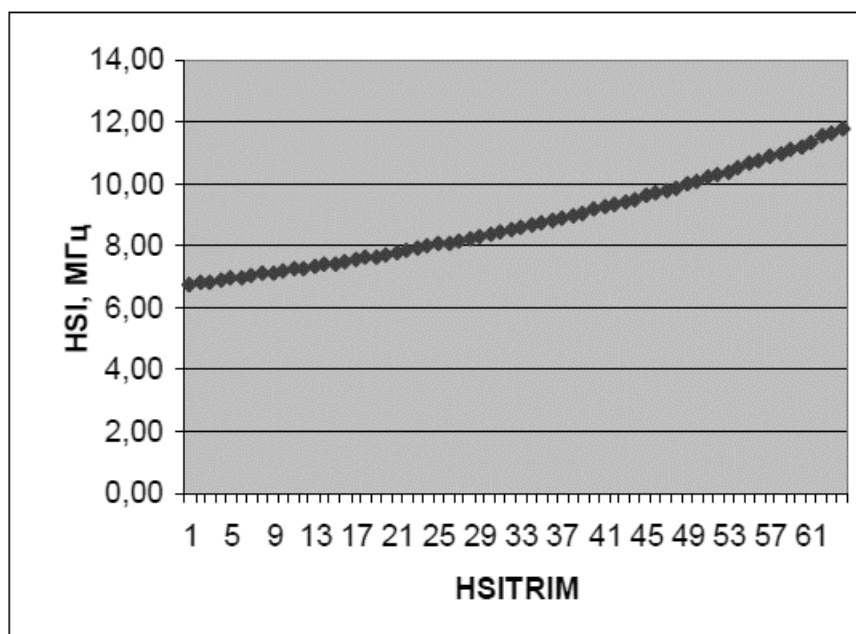


Рис. 4.4. Типовая зависимость частоты генератора *HSI* МК K1986BE92xx от кода *HSITRIM* [11]
(размещается в регистре *BKP_REG_0x0F* ДПП, см. рис. 3.10)

Следует отметить, что для сведения нестабильности частоты RC-ГТИ до уровня, сопоставимого с нестабильностью частоты ГТИ на основе пьезоэлектрического резонатора, необходима автоматическая коррекция частоты с периодом от нескольких секунд до нескольких десятков секунд. Реализация данной процедуры возможна, но требует не меньших затрат внешних (по отношению к МК) компонентов, чем тактирование МК от ГТИ с частото задающим пьезоэлектрическим резонатором. Также указанная автокоррекция, как правило, не обеспечивает точности установки частоты, характерной для ГТИ на пьезоэлектрическом резонаторе, что обусловлено ограниченной разрядностью корректирующего кода или, соответственно, кода подстройки частоты.

Из вышесказанного следует, что использование внутреннего RC-ГТИ в качестве первичного источника системного синхросигнала МК **рационально** при отсутствии жестких требований к точности и стабильности тактовой частоты МК и одновременном наличии ограничений на использование внешних компонентов. В частности, не требуется высокая точность и стабильность тактовой частоты при реализации широтно-импульсных модуляторов (см. раздел 9).

Необходимо также отметить, что в подсистему синхронизации ряда семейств МК (в частности, *ARM Cortex-Mx*) кроме внутреннего высокочастотного RC-ГТИ (*HSI* на рис. 4.1) также входит **низкочастотный** внутренний RC-ГТИ, на рис. 4.1 обозначенный как *LSI (Low Speed Internal)*. Он характеризуется теми же достоинствами и недостатками, что и высокочастотный RC-ГТИ. В МК семейства *ARM Cortex-Mx* данный генератор служит источником тактирования независимого сторожевого таймера, *IWDG* (см. рис. 4.1 и пункт 5.4.4), а также счетчика реального времени (см. пункт 3.3.3), если к точности и стабильности его тактовой частоты не предъявляется жестких требований. В большинстве моделей МК семейства *ARM Cortex-Mx* генератор *LSI* не является калибруемым, но, например, в МК K1986BE92xx его частота может подстраиваться 5-битовым кодом *LSITRIM*, размещаемым в регистре *BKP_REG_0x0F* ДРП (см. рис. 3.10).

Также, как видно из рис. 4.1, в структуре подсистемы синхронизации МК могут быть дополнительные внутренние RC-ГТИ специального назначения. На рис. 4.1 таковым является генератор *HSI14*, который может использоваться для тактирования АЦП. Номинальная частота выходного сигнала данного ГТИ равна максимально допустимой тактовой частоте АЦП МК модельного ряда *STM32F030xx*, 14 МГц [26]. Введение такого ГТИ в состав подсистемы синхронизации обеспечивает возможность работы АЦП на максимальной частоте, что может быть не реализуемо в отсутствие указанного ГТИ из-за неравенства и не кратности частоты 14 МГц частотам выходных сигналов генераторов *HSI* и *HSE* (см. рис. 4.1). Генератор *HSI14* МК модельного ряда *STM32F030xx* является не калибруемым [15].

Наконец, в состав подсистемы синхронизации ряда семейств / подсемейств МК, например, *AVR*, входит не калибруемый внутренний высокочастотный *RC*-ГТИ. Он используется для тактирования сторожевого таймера, точность и стабильность тактовой частоты которого не критичны для большинства приложений (см. также источник тактирования сторожевого таймера на рис. 4.1).

4.2.2. *RC*-ГТИ с внешней частотозадающей цепью

Архитектура ряда семейств МК (в частности, *AVR* и *PIC* [4, 8]) предусматривает реализацию ГТИ МК по схеме так называемого **внешнего *RC*-ГТИ**, корректнее – *RC*-ГТИ с внешней (по отношению к БИС МК) частотозадающей *RC*-цепью. Как правило, данный ГТИ реализуется по функциональной схеме, представленной на рис. 4.2б, элементы *R1* и *C1* которой не расположены на кристалле БИС МК, а являются внешними.

В принципе, данное техническое решение позволяет:

- достигнуть несколько большей точности и стабильности частоты генерируемых импульсов по сравнению с внутренним *RC*-ГТИ, за счет возможности применения элементов *R1* и *C1* с меньшим разбросом и дрейфом, чем у резисторов и конденсаторов в интегральном исполнении;
- осуществлять регулировку частоты ГТИ, применяя подстроечные резисторы или конденсаторы в качестве *R1* или *C1*.

Однако, использование даже прецизионной и высокостабильной *RC*-цепи не устраняет одного из основных источников дрейфа частоты ГТИ – нестабильность и температурную зависимость порогового напряжения триггера Шмидта (см. рис. 4.2б). Поэтому при необходимости обеспечения высокой стабильности тактовой частоты МК данный вариант реализации ГТИ, как и внутренний *RC*-ГТИ, требует периодической автокоррекции частоты или ее ручной подстройки, а при отсутствии такой необходимости – «проигрывает» ему из-за применения внешних элементов. Ввиду сказанного, *RC*-ГТИ с внешней частотозадающей цепью достаточно редко применяется на практике, а архитектура ряда семейств МК (в

частности, *ARM Cortex-Mx*) не предусматривает такого варианта тактирования [9].

4.2.3. ГТИ на основе внешнего пьезоэлектрического резонатора

Наиболее рациональным вариантом реализации ГТИ МК при жестких требованиях к точности и стабильности его частоты является ГТИ на основе внешнего (по отношению к БИС МК) пьезоэлектрического резонатора (ПЭР). В МК семейства *ARM Cortex-Mx* высокочастотные ГТИ данного типа называются *HSE* (*High Speed External*), а низкочастотные – *LSE* (*Low Speed External*) (см. рис. 4.1).

В большинстве базовых учебных пособий и справочников по схемотехнике электронных устройств приводится, как минимум, два – три примера схем ГТИ на базе ПЭР, с их краткими описаниями и основными расчетными соотношениями (см., например, [20] или [23]). Однако, в них в недостаточной степени изложен ряд вопросов, важных для понимания принципов работы данного класса ГТИ и их практического применения. Поэтому необходимо несколько подробнее остановиться на физических и схемотехнических основах функционирования ГТИ на базе ПЭР.

Известно несколько схем реализации данного класса ГТИ. Из них наиболее распространен на практике (особенно в цифровых КМОП-устройствах) **генератор Пирса** [23], функциональная схема которого представлена на рис. 4.5. В частности, по данной схеме реализуются ГТИ на основе ПЭР в большинстве современных семейств МК [4, 8, 10].

В то время как ГТИ, схемы которых приведены на рис. 4.2 и 4.3, представляют собой **релаксационные генераторы** [22], ГТИ Пирса является одной из разновидностей автоколебательного генератора на основе усилителя с частотно-зависимой положительной обратной связью (ПОС). Обобщенная структурная схема такого генератора представлена на рис. 4.6 [20, 23].

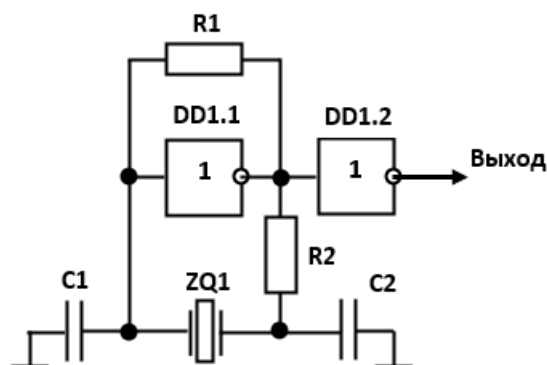
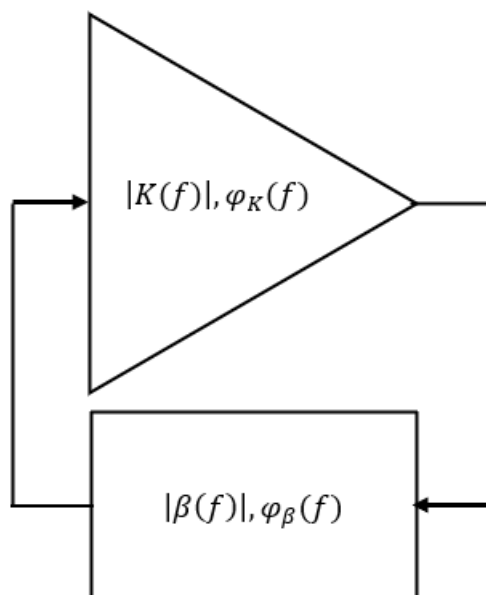


Рис. 4.5. Функциональная схема генератора Пирса на КМОП-инверторе



$|K(f)|, \varphi_K(f)$ – АЧХ и ФЧХ усилителя без обратной связи
 $|\beta(f)|, \varphi_\beta(f)$ – АЧХ и ФЧХ цепи ПОС

Рис. 4.6. Обобщенная структурная схема генератора на основе усилителя с ПОС

Автоколебания на некоторой частоте f_{osc} возникают при одновременном выполнении следующих условий [23]:

$$\varphi_K(f_{osc}) + \varphi_\beta(f_{osc}) = 2\pi n, n = 0, \pm 1, \pm 2 \dots; \quad (4.2)$$

$$|K(f_{osc})| \times |\beta(f_{osc})| \geq 1. \quad (4.3)$$

Напомним, что выражение (4.2) называется условием баланса фаз, а (4.3) – баланса амплитуд. Они также известны под названием условий Баркхаузена. При этом данные условия должны выполняться **только** на частоте f_{OSC} ; в противном случае выходной сигнал будет иметь шумоподобный характер.

В схеме, представленной на рис. 4.5, функцию усилителя выполняет каскад на инверторе $DD1.1$, введенном в линейный режим резистором $R1$. Вносимый усилителем фазовый сдвиг (т. е. значение $\varphi_K(f)$) в рабочем диапазоне частот примерно равен π (180°). Инвертор $DD1.2$ играет роль формирователя логических импульсов из выходного сигнала усилителя на инверторе $DD1.1$.

Функцию частотно-зависимой цепи ПОС выполняет пьезоэлектрический элемент (резонатор) $ZQ1$ в совокупности с конденсаторами $C1$ и $C2$ и резистором $R2$. Конструктивно он представляет собой миниатюрный образец (пластину, диск, кольцо и т. п.) из пьезокристаллического материала или пьезокерамики с нанесенными на него двумя электродами, обладающий некоторой собственной частотой колебаний (частотой механического резонанса). Данная частота, в свою очередь, определяется физико-химическими и конструктивными параметрами пластины и электродов. Она с высокой точностью задается при изготовлении резонатора, и отличается малым температурным и временным дрейфом.

Принцип работы частотно-зависимой цепи ПОС на основе пьезоэлектрического резонатора базируется на комбинации обратного и прямого пьезоэффекта. Упрощенно он может быть описан следующим образом. При включении питания на выходе инвертора $DD1.1$ возникает скачок напряжения, который, как известно, содержит спектральные компоненты, лежащие в широком диапазоне частот (теоретически – от нулевой до бесконечно большой). В составе данных компонент гарантированно присутствует и спектральная составляющая с частотой, равной частоте резонанса пьезоэлектрического элемента $ZQ1$. В результате в нем возникает обратный пьезоэффект, т. е. механические колебания, частота основной спектральной составляющей которых равна резонансной частоте элемента $ZQ1$. В свою очередь, в

результате прямого пьезоэффекта данные колебания преобразуются в переменный электрический сигнал, основной спектральной составляющей которого также является компонента с частотой резонанса элемента $ZQ1$. Данный сигнал поступает на вход инвертора $DD1.1$. При соблюдении на частоте резонанса условий (4.2) и (4.3) в контуре, состоящем из усилителя на инверторе $DD1.1$ и цепи ПОС, возникнут незатухающие колебания с частотой, равной резонансной частоте элемента $ZQ1$.

Благодаря сочетанию обратного и прямого пьезоэффектов, а также наличию четко выраженному резонансу, элемент $ZQ1$ эквивалентен двухполюснику, схема которого представлена на рис. 4.7 [23]. Он состоит из последовательного колебательного контура на компонентах $L1$, $C1$ и $R1$, и включенной параллельно ему емкости $C2$. Параметры компонентов $L1$, $C1$ и $R1$ полностью определяются конструкцией пьезоэлектрического элемента, и характеризуются высокой точностью и стабильностью. Емкость $C2$ представляет собой межэлектродную емкость пьезоэлемента, и является менее «предсказуемой» и стабильной. Необходимо заметить, что, естественно, в явном виде ни индуктивность, ни емкости, ни сопротивление в составе элемента $ZQ1$ не присутствуют; он эквивалентен представленной на рис. 4.7 схеме благодаря своим физическим свойствам.

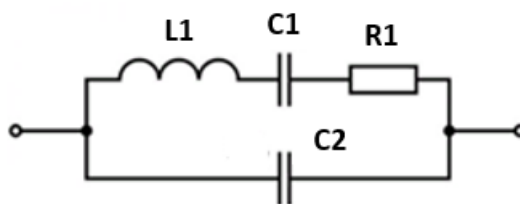


Рис. 4.7. Эквивалентная схема пьезоэлектрического элемента (резонатора)

Типовые значения индуктивности $L1$, емкостей $C1$ и $C2$, а также сопротивления $R1$ эквивалентных схем пьезоэлементов с различными резонансными частотами приведены в табл. 4.1 (см. [23], [27] и [28]).

Таблица 4.1

Типовые параметры компонентов эквивалентной схемы пьезоэлектрических элементов (см. рис. 4.7) с различными резонансными частотами

f_r	$L1$	$C1$	$R1$	$C2$
32,768 кГц	7000 Гн	0,003 пФ	200 кОм	1,7 пФ
200 кГц	27 Гн	0,024 пФ	2 кОм	9 пФ
2 МГц	529 мГн	0,012 пФ	100 Ом	4 пФ
4 МГц	100 мГн	0,015 пФ	100 Ом	5 пФ
10 МГц	18 мГн	0,014 пФ	33 Ом	4,5 пФ

Благодаря наличию в представленной на рис. 4.7 схеме как последовательного, так и параллельного колебательного контура, в ней может иметь место как последовательный, так и параллельный резонанс. Частота первого из них приблизительно равна [23]:

$$f_s \approx \frac{1}{\sqrt{L1 \times C1}}; \quad (4.4)$$

а частота параллельного резонанса (в ряде источников называемого антирезонансом) может быть оценена по выражению [23]:

$$f_p \approx \frac{1}{\sqrt{L1 \times C1}} \times \sqrt{1 + \frac{C1}{C2}}. \quad (4.5)$$

На основании данных, представленных в табл. 3.3, нетрудно увидеть, что эти частоты различаются весьма мало (на десятые доли процента).

На рис. 4.8 представлен вид АЧХ и ФЧХ цепи ПОС генератора Пирса (см. рис. 4.5), т. е. зависимостей от частоты:

- отношения амплитуд спектральных компонент входного и выходного сигналов инвертора $DD1.1$;
- фазового сдвига между этими спектральными компонентами; (см. также рис. 4.6).

Необходимо отметить, что АЧХ и ФЧХ имеют вид, приведенный на рис. 4.8, **только** при наличии резистора $R2$ и конденсаторов $C1$ и $C2$ в цепи ПОС (см. рис. 4.5), и их значения порядка десятков пФ и десятков – сотен кОм соответственно; конкретные рекомендуемые значения указываются в документации на соответствующую модель / модельный ряд МК.

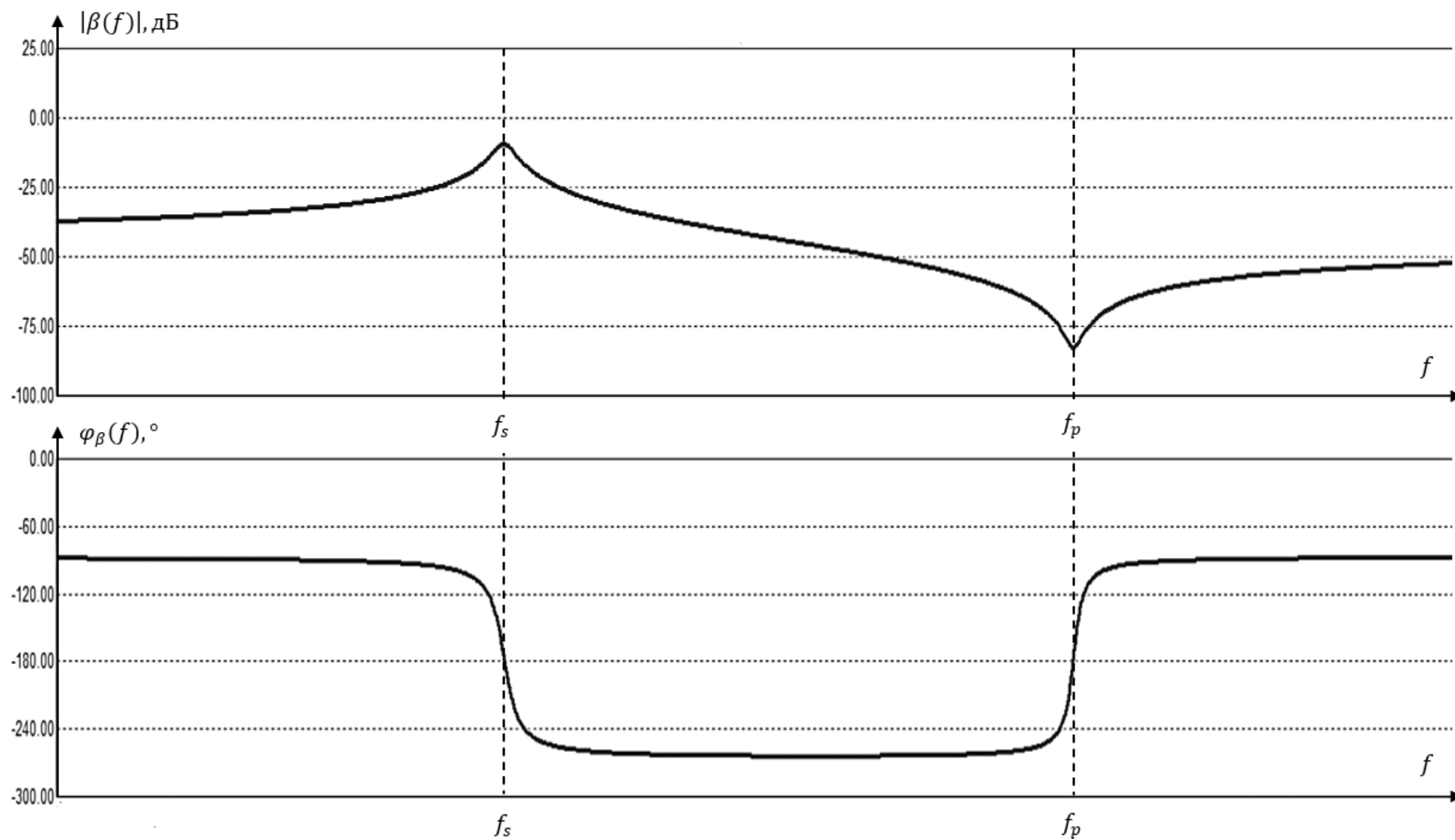


Рис. 4.8. Вид АЧХ и ФЧХ цепи ПОС генератора Пирса (см. рис. 4.5)

Из рис. 4.8 нетрудно увидеть, что, с учетом внесения инвертором *DD1.1* фазового сдвига, равного 180° , условие (4.2) соблюдается только на частотах резонанса (как последовательного, f_s , так и параллельного, f_p). Однако, поскольку амплитуда спектральной составляющей с частотой f_s на несколько порядков выше, чем f_p (см. рис. 4.8), условие (4.3) соблюдается на частоте f_s , и автоколебания возникают на данной частоте, характеризуемой высокой точностью и стабильностью (см. выражение (4.4) и комментарии к рис. 4.7).

На практике все элементы схемы ГТИ МК, приведенной на рис. 4.5, реализуются на кристалле БИС МК, за исключением пьезоэлектрического резонатора *ZQ1* и конденсаторов *C1* и *C2*.

Использование внешнего ПЭР обусловлено двумя причинами:

- сложностью его реализации в интегральном исполнении;
- необходимостью предоставления разработчику возможности выбора частоты тактирования МК, в зависимости от конкретных требований к его производительности и к потребляемой мощности (см. пункт 3.4.1);

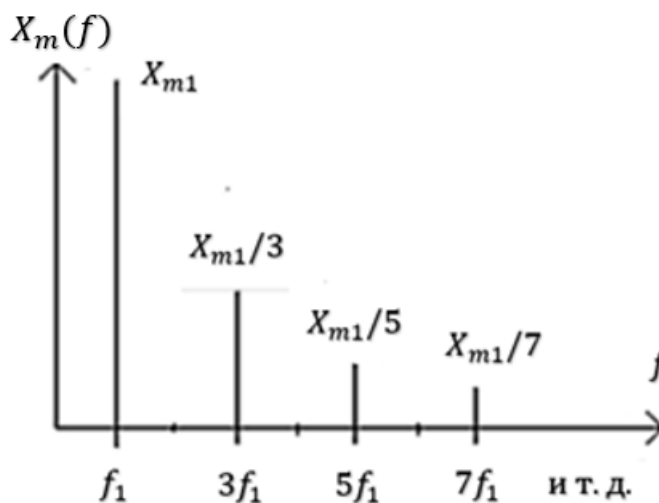
в частности, *HSE*-ГТИ МК семейства *ARM Cortex-Mx* допускают применение ПЭР с резонансной частотой от 4 до 16 – 32 МГц (см., например, рис. 4.1, а также [13] и [14]).

Внешний ПЭР подключается к специально выделяемым для этой цели выводам БИС МК; на рис. 4.1 это выводы *OSC_IN* и *OSC_OUT* генератора *HSE*, а также *OSC32_IN* и *OSC32_OUT* генератора *LSE*. У ряда семейств МК данную функцию выполняют определенные выводы какого-либо из портов, конфигурируемые под нее при выборе ГТИ с внешним резонатором в качестве источника тактирования.

Конденсаторы *C1* и *C2*, кроме формирования АЧХ и ФЧХ вида, представленного на рис. 4.8, также предотвращают запуск генератора на **частотах, отличающихся от номинальной частоты ПЭР** [23], указанной в технической документации на него. В ее качестве служит или резонансная частота пьезоэлемента, или одна из кратных ей частот (у так называемых **гармонических** резонаторов, см. далее).

Возникновение в колебаниях ПЭР дополнительных спектральных составляющих с частотами, отличающимися от резонансной, обусловлено следующим физическим эффектом. Реальная эпюра (траектория) колебаний образца пьезоэлектрического материала, являющегося основой резонатора

ZQI , имеет форму не синусоиды, а **меандра**, спектральный состав которого (амплитудный спектр) представлен на рис. 4.9 [23].



X_{m1} и f_1 — соответственно амплитуда и частота 1-й гармоники

Рис. 4.9. Амплитудный спектр колебания типа «меандр»

В спектре меандра (см. рис. 4.9), кроме основной спектральной составляющей (первой гармоники), частота f_1 которой равна частоте меандра и, применительно к пьезоэлементу — частоте резонанса, присутствуют также нечетные высшие гармоники с частотами, равными $3f_1, 5f_1, 7f_1$ и т. д. Их амплитуды убывают пропорционально их номерам, каждая из них меньше амплитуды первой гармоники. Однако, они достаточно велики для того, чтобы при некоторых значениях емкостей конденсаторов $C1$ и $C2$ условия (4.2) и (4.3) были удовлетворены не на частоте основной гармоники, а на частоте одной из высших, на которой и запустятся автоколебания.

При проектировании устройств на МК, тактируемых ГТИ на базе пьезоэлектрического резонатора, естественно, необходимо обеспечить генерацию на его номинальной (рабочей) частоте. По умолчанию, ею является частота 1-ой гармоники. Однако, существуют так называемые **гармониковые** пьезоэлектрические резонаторы, специально предназначенные для работы на частоте одной из высших гармоник, обычно 3-й [23]. В частности, к ним относится большинство моделей с номинальной частотой более 20 МГц. Например, у гармоникового резонатора с рабочей (номинальной) частотой, равной 27 МГц, она является частотой 3-й гармоники. Поэтому при реализации ГТИ с частотой 27 МГц на

данном резонаторе необходимо обеспечить генерацию именно на частоте гармоник с данным номером.

Запуск автоколебаний на номинальной частоте пьезоэлектрического резонатора, обеспечивается, в первую очередь, корректным выбором емкостей конденсаторов $C1$ и $C2$. Они зависят от указанной частоты, а также от типа и модели резонатора (в частности, от того, является ли он гармониковым). Поскольку частота тактирования, тип и модель резонатора выбираются разработчиком (см. также пункт 3.4.1), указанные конденсаторы обычно являются **внешними** по отношению к БИС МК, а их емкости выбираются в соответствии с рекомендациями, приводимыми в технической документации на соответствующую модель / подсемейство МК [4, 8, 10]. Несоблюдение данных рекомендаций может привести к некорректной работе ГТИ. Конструктивно конденсаторы $C1$ и $C2$ должны располагаться на минимально возможном расстоянии от соответствующего вывода БИС МК.

В структуре подсистемы синхронизации ряда подсемейств / моделей МК, например, семейства AVR , имеются внутренние конденсаторы, которые могут быть использоваться вместо внешних конденсаторов $C1$ и $C2$ при работе ГТИ в некоторых диапазонах частот, оговариваемых технической документацией на МК. Данные конденсаторы подключаются при конфигурировании подсистемы синхронизации (см. пункт 4.4.1).

Следует также отметить, что существуют пьезоэлектрические резонаторы с встроенными конденсаторами $C1$ и $C2$, обеспечивающими запуск ГТИ на номинальной частоте.

В ГТИ ряда моделей МК (в частности, PIC -МК младшего подсемейства) внешним по отношению к БИС МК является также резистор $R2$ (см. рис. 4.5), рекомендации по выбору сопротивления которого, в зависимости от модели и рабочей частоты резонатора, приводятся в технической документации на МК [4].

Основным **достоинством** ГТИ МК на основе внешнего ПЭР является высокая точность и стабильность тактовой частоты. Основным **недостатком** – необходимость использования внешнего элемента (ПЭР), отличающегося относительно крупными габаритами (сопоставимыми с размерами БИС МК). Применение данного типа ГТИ рационально при сочетании следующих условий:

- наличии жестких требований к точности и стабильности тактовой частоты;

- отсутствии серьезных ограничений на габаритные показатели устройства;
- отсутствии в проектируемой системе других источников высокостабильного тактового сигнала (см. далее пункт 4.2.5).

4.2.4. Умножители частоты с ФАПЧ (PLL)

Умножители частоты входят в структуру подсистемы синхронизации ряда семейств МК класса «*high performance*», в том числе *ARM Cortex-Mx* (см. рис. 4.1), но не применяются в большинстве моделей классов «*cost-sensitive*» и «*mainstream*».

Основной причиной использования умножителей частоты в подсистеме синхронизации МК класса «*high performance*» является следующая. ЦП МК данного класса способны работать на тактовых частотах от 80-и МГц и выше [13 – 15]. С другой стороны, частоты первичных системных сигналов синхронизации, например, генераторов *HSI* и *HSE* МК семейства *ARM Cortex-Mx*, по технологическим причинам не превышают 16...32 МГц (см., например, рис. 4.1, а также [13, 14]). Поэтому при необходимости тактирования ядра МК сигналом с частотой, большей частоты первичного синхросигнала, она должна быть умножена на коэффициент, равный отношению требуемой частоты синхронизации ядра МК к частоте первичного синхросигнала. Функцию умножения частоты и выполняет блок ФАПЧ (PLL).

Структурная схема умножителя частоты с ФАПЧ представлена на рис. 4.10 [23]. Он содержит:

- генератор синхросигнала U_2 с частотой, управляемой напряжением U_f , максимальное возможное значение которой равно максимально допустимой тактовой частоте ядра МК;
- вход сигнала U_1 опорной частоты, в его качестве может служить выходной сигнал генератора *HSI*, *HSE* или подаваемый на вход *OSC_IN* выходной сигнал внешнего ГТИ (см. рис. 4.1, а также пункт 4.2.5);
- два счетчика — делителя опорной частоты и частоты тактирования (в принципе, делитель опорной частоты может отсутствовать);
 - фазовый детектор;
 - регулятор.

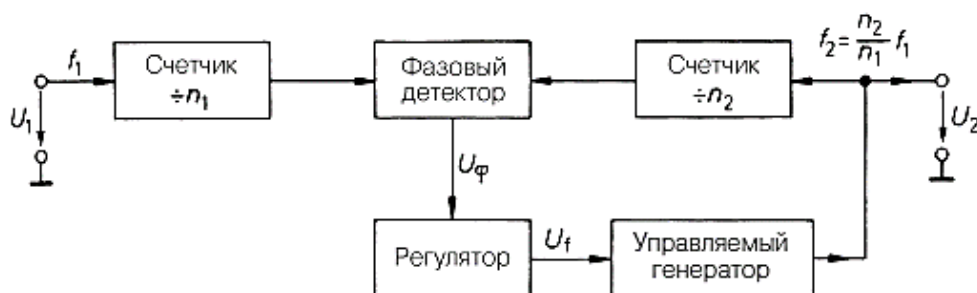


Рис. 4.10. Структурная схема умножителя частоты с ФАПЧ [23]

Принцип его работы следующий. Посредством регулятора обеспечивается равенство частот на выходах делителей (см. выражение на рис. 4.10). В качестве параметра, по которому осуществляется регулирование, служит разность фаз сигналов на выходах делителей (откуда и происходит термин ФАПЧ); при равенстве их частот она постоянна во времени. Напряжение U_ϕ , являющееся функцией от указанной разности фаз, вырабатывается фазовым детектором. Таким образом, при $n_2 > n_1$ частота сигнала U_2 больше частоты опорного сигнала в n_2/n_1 раз, причем ее точность и стабильность практически совпадают с соответствующими параметрами опорной частоты.

Необходимо отметить, что коэффициент деления n_2 в технической документации на МК называется коэффициентом умножения, что соответствует его функциональному назначению (на него умножается частота выходного сигнала 1-го счетчика). Возможные значения коэффициентов деления n_1 и коэффициентов умножения n_2 блока ФАПЧ (PLL) МК модельного ряда *STM32F030xx* представлены на рис. 4.1. См. также подпункт 4.4.2.5.

4.2.5. Тактирование МК от внешнего ГТИ. Использование МК в качестве источника синхронизации других устройств

На практике встречаются ситуации, когда в устройстве (системе), в состав которых входит МК, уже имеется некоторый источник синхронизации с высокой точностью и стабильностью частоты тактового сигнала. Естественно, в таких случаях рационально использовать его и для тактирования МК. Поэтому архитектура практически всех современных семейств МК предоставляет возможность синхронизации МК от внешнего источника [4, 8, 13 – 15]. Его выходной сигнал подается на

специально выделенный для этого вывод МК; например, у МК семейства *ARM Cortex-Mx* это вывод *OSC_IN* (см. рис. 4.1). При этом система синхронизации МК должна быть сконфигурирована на тактирование от внешнего ГТИ (подробнее – см. далее пункты 4.4.1 и 4.4.2).

Архитектура ряда семейств МК, в частности, *ARM Cortex-Mx* также позволяет использовать сигнал синхронизации МК для тактирования внешних по отношению к нему устройств. Синхроимпульсы при этом подаются на выход *MCO* МК (см. рис. 4.1). В качестве его служит определенный вывод одного из портов, который должен быть предварительно сконфигурирован под выполнение данной функции. Выбор источника сигнала, подаваемого на выход *MCO*, осуществляется мультиплексором, управляемым кодом, располагаемым в программно-доступном регистре конфигурации системы тактирования (см. рис. 4.1, также подпункт 4.4.2.8).

4.2.6. Запуск и выход в рабочий режим ГТИ МК

Необходимо также остановиться на процессах запуска и выхода в рабочий режим ГТИ МК, часто остающихся вне рассмотрения в источниках информации, посвященных архитектуре и применению МК.

Все типы ГТИ МК, а также умножители частоты с ФАПЧ выходят в штатный режим генерации импульсов не мгновенно после запуска; им необходим некоторый интервал времени для установления указанного режима [20, 23]. В качестве примера на рис. 4.11 – 4.13 представлены типовые временные диаграммы запуска и входа в рабочий режим ГТИ частотой 10 МГц на основе ПЭР. Как видно из рис. 4.11 – 4.13, после запуска ГТИ его вход в режим генерации происходит с некоторой задержкой (в представленном примере равной приблизительно 240 мкс), а штатный режим генерации в рассматриваемом примере устанавливается примерно через 100 мкс после входа в режим генерации.

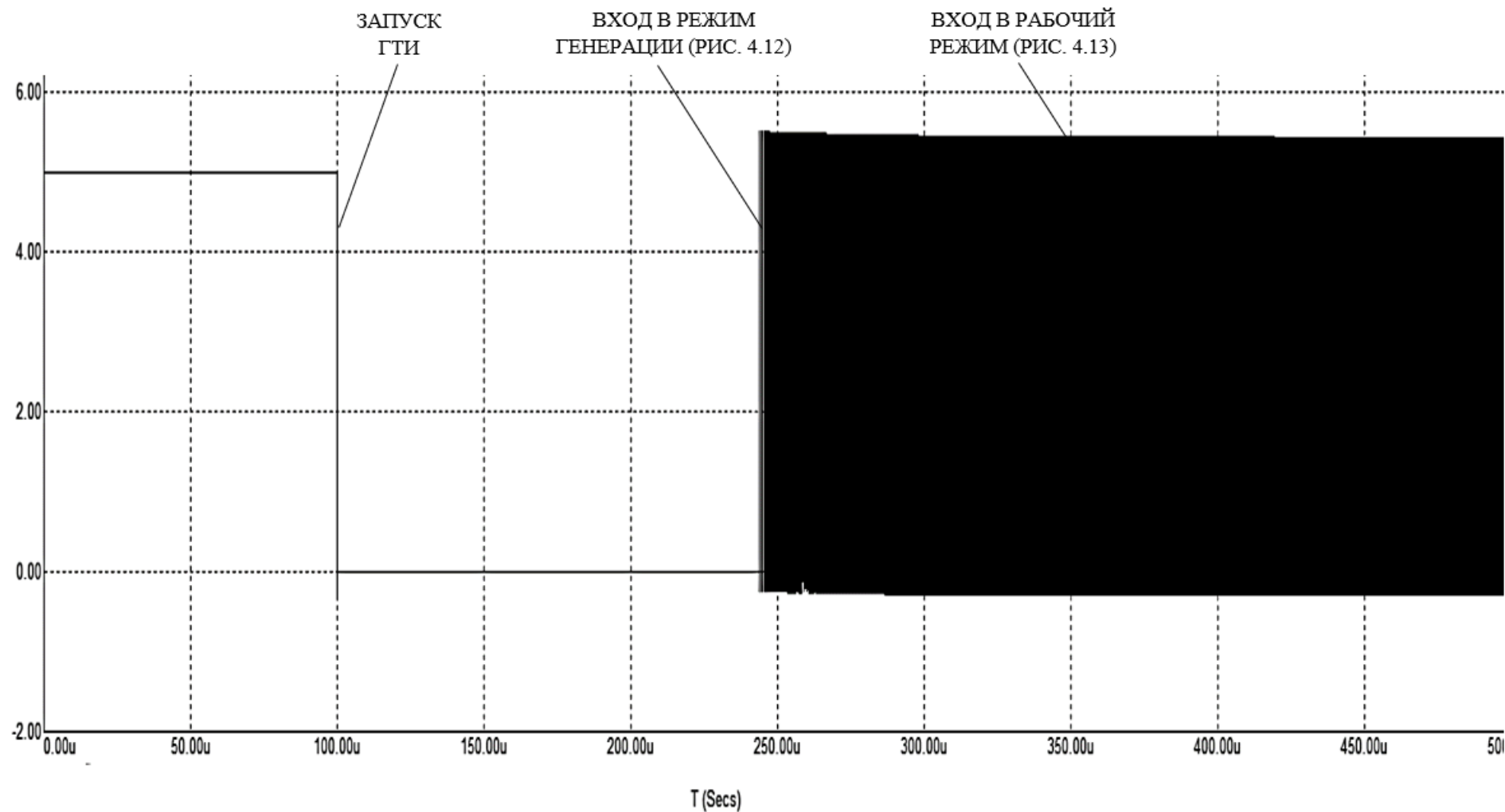


Рис. 4.11. Пример общего вида временной диаграммы запуска ГТИ частотой 10 МГц на основе пьезоэлектрического резонатора

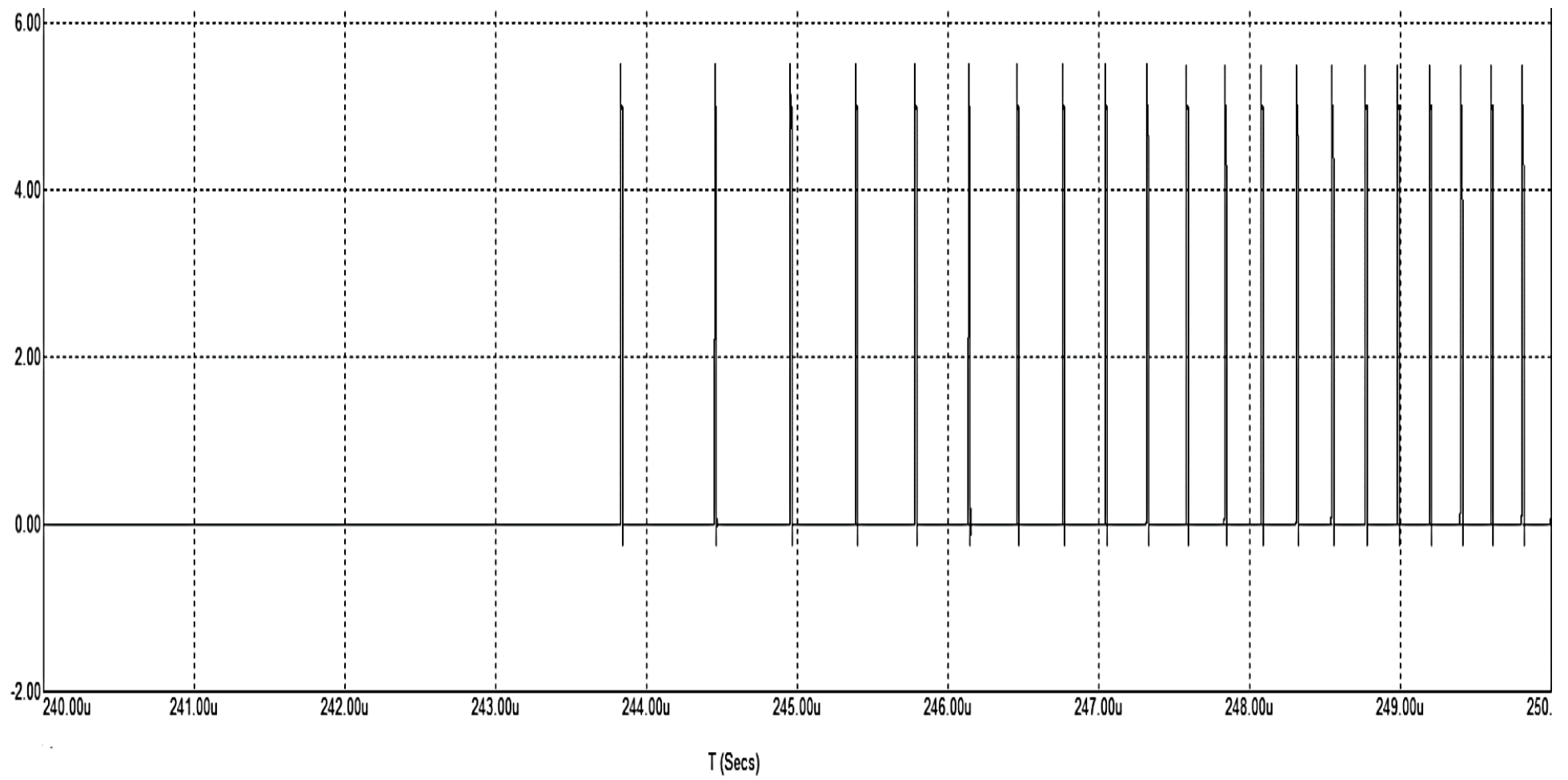


Рис. 4.12. Участок входа в режим генерации на диаграмме, приведенной на рис. 4.11

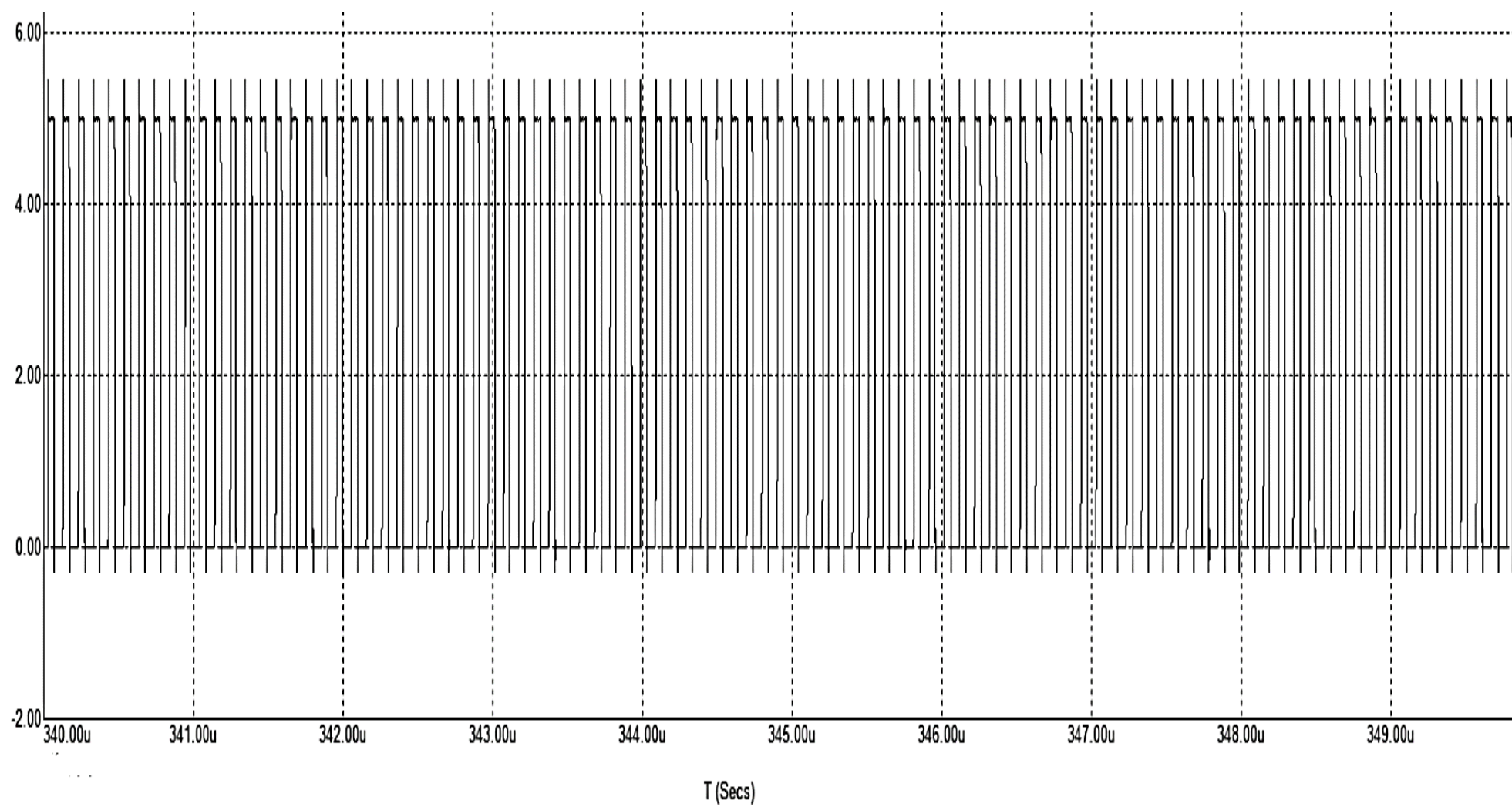


Рис. 4.13. Участок входа в рабочий режим на диаграмме, приведенной на рис. 4.11

Процесс запуска и входа в рабочий режим всех типов ГТИ, а также умножителей частоты с ФАПЧ, в целом, аналогичен описываемому временными диаграммами, представленными на рис. 4.11 – 4.13:

- вход в режим генерации с некоторой задержкой относительно запуска ГТИ (умножителя частоты);
- установление штатного режима работы также с задержкой относительно момента входа в режим генерации.

Значения данных задержек зависят как от типа и схемы реализации ГТИ, так и от параметров его компонентов.

Вышеуказанные особенности процессов включения источников тактирования МК должны учитываться при запуске МК или при изменении источника синхронизации посредством прикладного ПО (в тех семействах, в которых такое изменение возможно).

В большинстве семейств МК классов *«cost-sensitive»* и *«mainstream»* источник тактирования задается одним из слов конфигурации МК, доступным только в режиме программирования энергонезависимой памяти. В таких семействах МК задержка выхода ГТИ на рабочий режим должна учитываться только при запуске МК после сброса (в том числе по включении питания). Ее учет осуществляется введением дополнительного интервала в длительность внутреннего импульса сброса, с целью обеспечения «запаса» по времени на установление напряжения питания и рабочего режима ГТИ (см., например, интервал t_{TOUT} на рис. 3.7). Типовой порядок данного «запаса» - единицы – десятки мс; его значения указываются в технической документации на конкретную модель МК, в зависимости от типа ГТИ и характера изменения напряжения питания (см. пункт 4.4.1).

В ряде семейств МК класса *«high performance»* (в частности, *ARM Cortex-Mx*) имеется возможность выбора (изменения) источника тактирования посредством прикладного ПО. Для обеспечения корректной работы МК при изменении источника синхронизации в МК таких семейств предусмотрена возможность контроля готовности или неготовности каждого из ГТИ и блока ФАПЧ, а также проверки перехода МК на тактирование от выбранного источника. После запуска какого-либо из них и входа его в штатный режим работы, устанавливается в активное (как правило, единичное) состояние **бит готовности** ГТИ (блока ФАПЧ) в регистре статуса подсистемы синхронизации, например, бит

HSE, *HSI*, *PLL* и т. п. [13 – 15]. Только после установки данного бита соответствующий ГТИ или блок ФАПЧ может быть выбран в качестве источника синхронизации МК. Затем необходимо дождаться переключения МК на тактирование от выбранного источника. Проверка переключения осуществляется по состоянию определенных битов в одном из РСФ подсистемы синхронизации; в большинстве моделей МК семейства *ARM Cortex-Mx* это 2-битовое поле *SWS* (*System clock switch status*) в регистре конфигурации подсистемы синхронизации. После установления данного поля в состояние, соответствующее тактированию МК от выбранного источника ранее использовавшийся источник может быть остановлен.

Таким образом, обобщенный алгоритм выбора и изменения источника тактирования МК выглядит следующим образом [13 – 15] (также см. примеры, приведенные в пункте 4.4.2):

- запуск выбранного источника тактирования; например, в МК семейства *ARM Cortex-Mx* – установкой в активное состояние бита включения соответствующего ГТИ или / и блока ФАПЧ (*HSEON*, *PLLON* и т. п.) в регистре управления подсистемой синхронизации;
- ожидание входа выбранного источника в рабочий режим; реализация данного этапа возможна или программным опросом (в цикле) состояния бита готовности соответствующего источника, или ожиданием запроса на прерывание по его готовности;
- после того, как зафиксирован вход выбранного источника в рабочий режим – переконфигурирование подсистемы синхронизации под тактирование МК от данного источника;
- ожидание переключения МК на выбранный источник тактирования, например, в МК семейства *ARM Cortex-Mx* – по состоянию битового поля *SWS* (см. выше);
- по переключению МК на выбранный источник тактирования – остановка ранее использовавшегося источника (что желательно, в первую очередь, с точки зрения энергосбережения).

Необходимо также отметить, что в семействах МК, в которых имеется возможность выбора источника тактирования прикладным ПО, при сбросе (в том числе по включении питания) подсистема синхронизации автоматически конфигурируется под тактирование от внутреннего высокочастотного РС-ГТИ. Поэтому подсистема сброса данных семейств МК обеспечивает длительность внутреннего импульса сброса МК, достаточную для установления

рабочего режима именно вышеназванного ГТИ (в МК семейства *ARM Cortex-Mx* – не менее 20 мкс, см. рис. 5.1).

Типовые примеры конфигурирования первичных источников синхронизации МК классов «*mainstream*» и «*high performance*» представлены в пунктах 4.4.1 и 4.4.2.

4.3 Мультиплексоры и делители частоты подсистемы синхронизации

В состав подсистемы синхронизации практически всех семейств МК, кроме ГТИ, также входят (см. рис. 4.1):

- мультиплексоры, посредством которых осуществляется выбор источника синхронизации той или иной подсистемы или функционального блока (группы блоков) МК;
- делители частоты тактовых импульсов, задающие частоту синхронизации подсистем (функциональных блоков) МК.

Архитектура большинства семейств МК классов «*cost-sensitive*» и «*mainstream*» позволяет выбирать только источник синхронизации МК в целом, но не его подсистем / функциональных блоков по отдельности [4, 6, 8, 17]. Выбор осуществляется кодом в одном из слов конфигурации МК, доступном для записи / чтения только в режиме программирования энергонезависимой памяти.

В МК ряда семейств класса «*high performance*», в том числе *ARM Cortex-Mx*, возможен выбор источников не только системного сигнала синхронизации, но и тактирования отдельных функциональных блоков, например, *USART* или счетчика реального времени (*RTC*) (см. рис. 4.1). Выбор производится записью определенных кодов в доступные прикладному ПО регистры конфигурации / управления подсистемы синхронизации или соответствующих блоков.

Практически во всех семействах МК также имеется возможность задания частоты тактирования каждой из подсистем (функциональных блоков). Напомним, что для минимизации энергопотребления МК ее рационально выбирать минимально необходимой для решения конкретной задачи (см. пункт 3.4.1).

В большинстве семейств МК классов «*cost-sensitive*» и «*mainstream*» возможно [4, 6, 8, 17] (см. также пункт 3.4.2):

- задание частоты синхронизации МК посредством программно-управляемого делителя частоты ГТИ;

- задание частот тактирования ПУ посредством входящих в их состав программно-управляемых делителей тактовой частоты МК.

В свою очередь, типовая архитектура подсистемы синхронизации МК класса «*high performance*», например, семейства *ARM Cortex-Mx* (см. рис. 4.1) предоставляет возможность:

- раздельно задавать частоты тактирования доменов внутренней микролокальной сети (*AHB* и *APB* в семействе *ARM Cortex-Mx*, см. подраздел 1.3), а также, отдельных сегментов указанных доменов, при их наличии (например, *APB1* и *APB2*, см. рис. 1.7), посредством программно-управляемых делителей системной тактовой частоты;

- задавать частоту тактирования каждого из ПУ посредством входящих в их состав программно-управляемых делителей тактовой частоты доменов (сегментов), к которым принадлежат соответствующие ПУ;

- программно запрещать или разрешать тактирование каждого (по отдельности) ПУ (см. пункт 4.4.2);

что, в совокупности, позволяет обеспечить рациональное сочетание производительности и энергопотребления при решении каждой конкретной задачи реализации средств контроля и управления техническими объектами на базе МК.

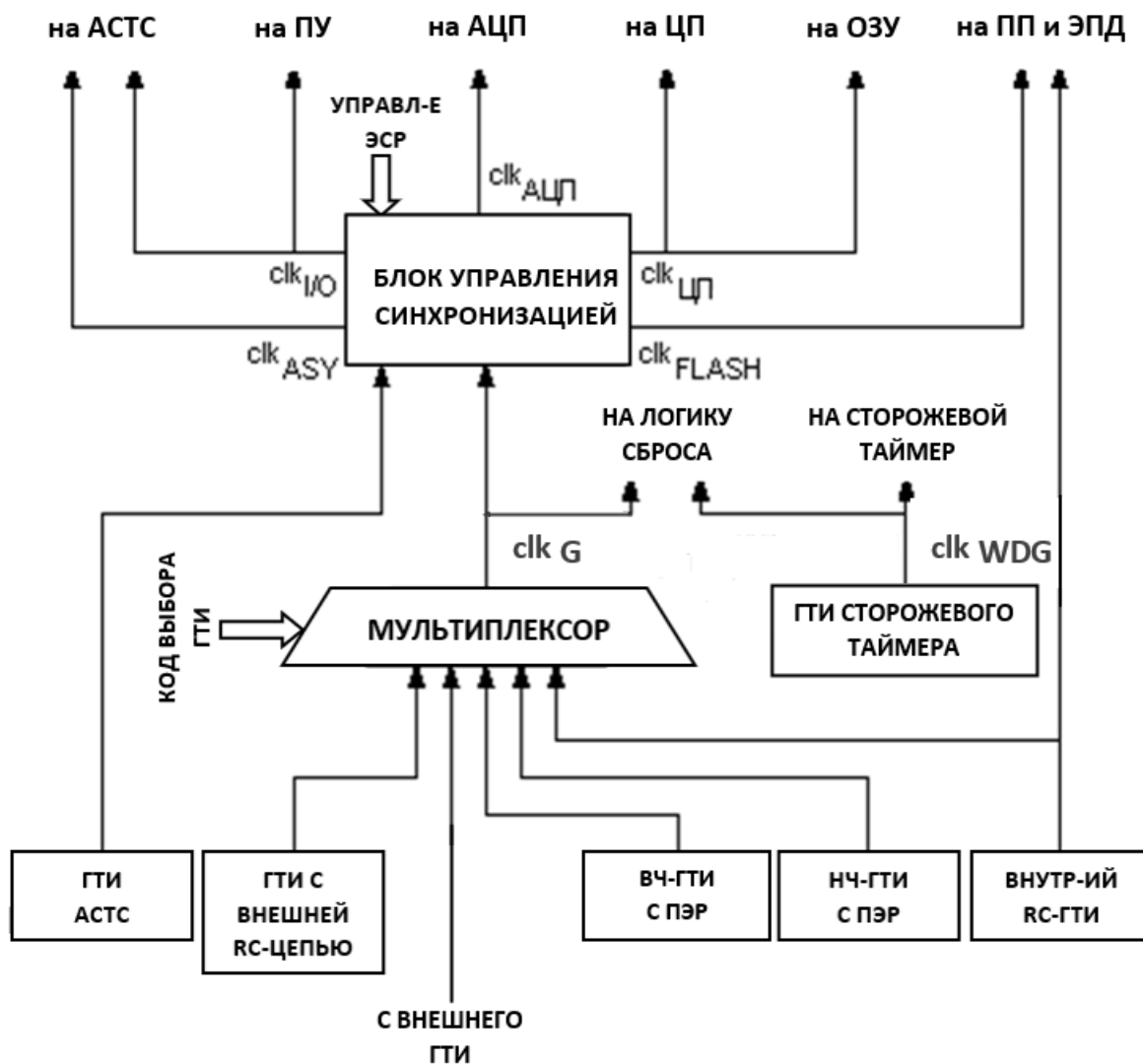
4.4 Типовые примеры структуры и архитектуры подсистемы синхронизации МК

Типовые структурно-архитектурные решения подсистемы синхронизации МК общего назначения будем рассматривать на примерах семейств *AVR* и *ARM Cortex-Mx*, принадлежащих к классам «*mainstream*» и «*high performance*» соответственно. Структура и архитектура подсистемы синхронизации МК класса «*cost-sensitive*», например, семейства *PIC*, достаточно просты, и могут быть изучены интересующимися читателями самостоятельно (см., например, [4]).

4.4.1. Подсистема синхронизации МК семейства *AVR*

Структура и архитектура подсистемы синхронизации МК семейства *AVR*, в целом, однотипны. Рассмотрим их на примере МК *ATmega128* (1887BE7T). Упрощенная структурная схема

подсистемы синхронизации данного МК представлена на рис. 4.14 [8].



АСТС – асинхронный таймер / счетчик

ПУ – периферийные устройства

ЭПД – энергонезависимая память данных

ЭСР – энергосберегающий режим

ПЭР – пьезоэлектрический резонатор

ВЧ- и НЧ-ГТИ – соответственно высокочастотный и низкочастотный ГТИ

clk_G – сигнал ГТИ МК (первичный сигнал синхронизации)

clk_{ASY}, clk_{IO}, clk_{АЦП}, clk_{ЦП}, clk_{FLASH}, clk_{WDG} – сигналы синхронизации АСТС, ПУ, АЦП, ЦП, энергонезависимой памяти и сторожевого таймера соответственно

Рис. 4.14. Упрощенная структурная схема подсистемы синхронизации МК *ATmega128* (1887BE7T) [8]

Данная подсистема синхронизации включает в себя:

- генераторы первичного сигнала синхронизации МК – внутренний калибруемый *RC*-ГТИ, высокочастотный и низкочастотный ГТИ с пьезоэлектрическим резонатором, а также *RC*-ГТИ с внешней частотозадающей цепью (см. подраздел 4.2);
- вход для подключения внешнего сигнала синхронизации МК;
- ГТИ асинхронного (т. е. тактируемого независимо от других функциональных блоков МК) таймера / счетчика;
- ГТИ сторожевого таймера (см. подраздел 5.4 и пункт 5.4.3);
- мультиплексор, посредством которого осуществляется выбор источника тактирования МК;
- блок управления синхронизацией, выполняющий две основные функции – деления частоты ГТИ МК (см. подпункт 3.4.2.2) и разрешения / запрета работы ГТИ и тактирования подсистем МК в энергосберегающих режимах (см. подпункт 3.4.2.5); естественно, в нормальном режиме функционирования МК разрешены работа всех задействованных ГТИ и тактирование всех подсистем.

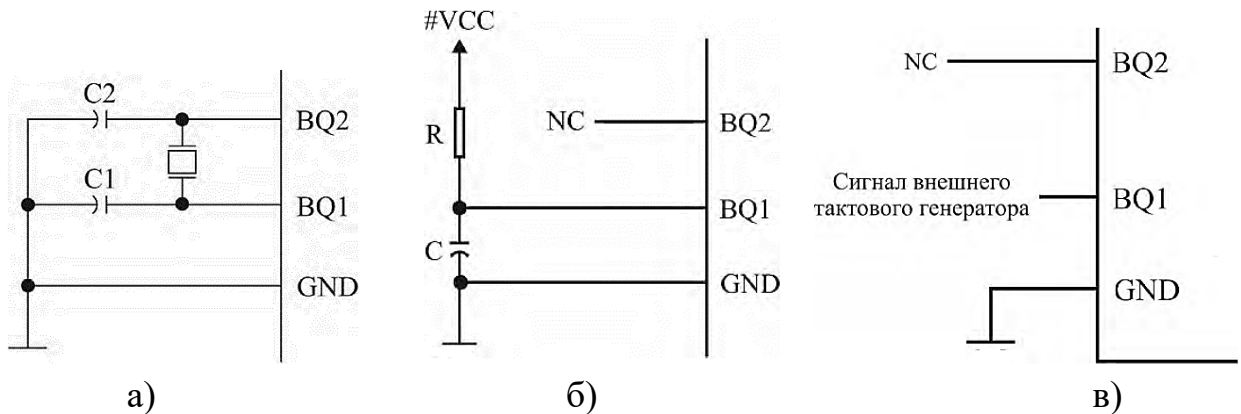
Необходимо отметить, что частоты сигналов $clk_{I/O}$, $clk_{АЦП}$, $clk_{ЦП}$ и clk_{FLASH} одинаковы, и определяются выражением (3.1). Данные сигналы разделены физически только для возможности независимого разрешения или запрета тактирования соответствующих подсистем МК в различных ЭСР (см. табл. 3.1).

ГТИ реализованы в соответствии с принципами и функциональными схемами, описанными в подразделе 4.2. Для подключения внешнего пьезоэлектрического резонатора или частотозадающей *RC*-цепи, а также внешнего ГТИ выделены специальные выводы БИС МК (*BQ1* и *BQ2*). Схемы подключения представлены на рис. 4.15 [8].

Допустимый диапазон резонансной частоты ПЭР ВЧ-ГТИ – от 0,4 до 16 МГц. Рекомендуемые значения емкостей конденсаторов схемы ВЧ-ГТИ, в зависимости от его частоты, представлены в [8], их порядок – десятки пФ.

НЧ-ГТИ ориентирован на использование «часового» ПЭР с резонансной частотой, равной 32768 Гц; данный ГТИ применяется в качестве источника синхронизации достаточно редко, при отсутствии серьезных требований к быстродействию МК, но наличии таковых к энергопотреблению. ПЭР также подключается к выводам *BQ1* и *BQ2*, в соответствии со схемой, приведенной на рис.

4.15а. При установке в нулевое состояние 4-го бита (*SKOPT*) старшего конфигурационного байта МК, внешние конденсаторы в схеме НЧ-ГТИ не требуются, т. к. при этом к выводам *BQ1* и *BQ2* подключаются внутренние конденсаторы емкостью 36 пФ.



#VCC – напряжение питания цифровой части МК
NC – *not connected* (не подключен)

Рис. 4.15. Схемы подключения внешних ПЭР (а), частотозадающей *RC*-цепи (б) и ГТИ (в) к МК *ATmega128* (1887BE7T) [8]

Допустимый частотный диапазон ГТИ с внешней *RC*-цепью – от 0,1 до 12 МГц. Сопротивление резистора *RC*-цепи рассчитывается по выражению (4.1) при *k*, равном 0,33. Емкость конденсатора должна быть не менее 22 пФ. При нулевом состоянии бита *SKOPT* (см. выше) к выводу *BQ1* подключается внутренний конденсатор емкостью 36 пФ, внешний конденсатор не требуется.

Номинальная частота внутреннего *RC*-ГТИ может быть установлена равной 1, 2, 4 или 8 МГц. Реальное значение его частоты может отклоняться от номинального на $\pm 6\%$; посредством калибровки ГТИ в процессе работы МК данное отклонение может быть уменьшено до $\pm 1\%$ [8].

Выбор источника тактирования МК и его параметров осуществляется кодом *CSEL*, располагаемым в битах с 0-го по 3-й младшего конфигурационного байта МК, а также битом 4-го бита (*SKOPT*) старшего конфигурационного байта, которые доступны **только** в режиме программирования энергонезависимой памяти

МК. В свою очередь, в данном режиме тактирование МК осуществляется от **внешнего** ГТИ.

Код выбора источника тактирования поступает на входы управления мультиплексором (см. рис. 4.14), а также внутренними ГТИ МК (на рис. 4.14 входы управления ГТИ не показаны). Источники тактирования и их параметры, в зависимости от сочетания кода *CSEL* и состояния бита *SKOPT*, представлены в табл. 4.2 [8].

Таблица 4.2

Источники тактирования МК ATmega128 (1887BE7T) и их параметры в зависимости от кода CSEL и состояния бита SKOPT [8]

<i>CSEL</i>	<i>SKOPT</i>	Источник тактирования МК
0000	x ²⁾	Внешний ГТИ
0001		Внутренний RC-ГТИ, номинальная частота – 1 МГц
0010		Внутренний RC-ГТИ, номинальная частота – 2 МГц
0011		Внутренний RC-ГТИ, номинальная частота – 4 МГц
0100		Внутренний RC-ГТИ, номинальная частота – 8 МГц
0101	x ³⁾	ГТИ с внешней RC-цепью, диапазон частот – 0,1 – 0,9 МГц
0110		ГТИ с внешней RC-цепью, диапазон частот – 0,9 – 3,0 МГц
0111		ГТИ с внешней RC-цепью, диапазон частот – 3,0 – 8,0 МГц
1000		ГТИ с внешней RC-цепью, диапазон частот – 8,0 – 12,0 МГц
1001		НЧ-ГТИ на ПЭР с резонансной частотой 32768 Гц
101x ¹⁾	0 ⁴⁾	ВЧ-ГТИ с ПЭР, диапазон частот – 1,0 – 16,0 МГц
110x ¹⁾		
111x ¹⁾		
101x ¹⁾	1 ⁴⁾	ВЧ-ГТИ с ПЭР, диапазон частот – 0,4 – 0,9 МГц
110x ¹⁾		ВЧ-ГТИ с ПЭР, диапазон частот – 0,9 – 3,0 МГц
111x ¹⁾		ВЧ-ГТИ с ПЭР, диапазон частот – 3,0 – 8,0 МГц

Примечания.

¹⁾ При данных значениях старших 3-х битов кода *CSEL* источник тактирования не зависит от младшего бита; он, совместно с 4-м и 5-м битами (*SUT0* и *SUT1*) младшего конфигурационного байта, определяет дополнительную задержку на запуск ГТИ при сбросе МК (см. далее).

²⁾ Состояние бита *SKOPT* безразлично.

³⁾ При данных значениях кода *CSEL* источник тактирования не зависит от состояния бита *SKOPT*, он только управляет подключением внутренних конденсаторов к выводам *BQ1* и *BQ2* (см. текст).

⁴⁾ При единичном состоянии бита *SKOPT* максимальная частота ГТИ не превышает 8 МГц, но энергопотребление ГТИ существенно ниже, чем при нулевом состоянии данного бита.

Следует отметить, что при каждом из данных сочетаний схема ГТИ оптимизируется под работу в соответствующем диапазоне частот. Поэтому, например, при $CSEL = 110x$ и $CSEL = 1$ применение ПЭР с номинальной частотой, находящейся вне диапазона от 0,9 до 3,0 МГц, **недопустимо**.

МК поставляется с записанным в младший конфигурационный байт значением кода $CSEL$, равным 0001, т. е., в соответствии с «заводской» конфигурацией, источником тактирования МК является внутренний RC-ГТИ с номинальной частотой, равной 1 МГц. При необходимости изменения источника тактирования или его параметров (в том числе частоты внутреннего RC-ГТИ) конфигурационные байты должны быть перепрограммированы.

Также к битам конфигурирования подсистемы синхронизации относятся 4-й и 5-й биты ($SUT0$ и $SUT1$, *Start-Up Time*) младшего конфигурационного байта. Они определяют длительность интервала задержки при выходе МК из режимов хранения и микропотребления (см. табл. 3.1) и длительность дополнительного интервала, вводимого во внутренний импульс сброса, с целью обеспечения «запаса» на запуск ГТИ и установление напряжения питания (см. пункт 4.2.6, а также интервал t_{TOUT} на рис. 3.7). Длительности указанных интервалов в зависимости от состояний битов $SUT0$, $SUT1$ и $CSEL0$ представлены в технической документации на МК [8]; там же приведены характеристики ГТИ и напряжения питания, при которых рекомендуются соответствующие сочетания вышеуказанных битов. Например, если в качестве источника тактирования МК выбран ВЧ-ГТИ с ПЭР (см. табл. 4.2), то:

- при $SUT = 00$ и $CSEL0 = 0$ длительность интервала задержки при выходе МК из режимов хранения и микропотребления равна 258-и периодам первичного сигнала синхронизации; дополнительное время задержки при сбросе равно 4,1 мс (8 мс у 1887BE7T); рекомендуется при использовании пьезокерамического резонатора и быстро нарастающем напряжении питания;

- при $SUT = 00$ и $CSEL0 = 1$ длительность интервала задержки при выходе МК из режимов хранения и микропотребления равна 1024-м периодам первичного сигнала синхронизации; дополнительное время задержки при сбросе равно 65 мс (130 мс у

1887BE7T); рекомендуется при использовании пьезокерамического резонатора и медленно нарастающем напряжении питания; и т. п. (подробнее – см. [8]).

Подсистема синхронизации практически всех моделей МК семейства *AVR* включает в себя делитель частоты первичного синхросигнала (см. подпункт 3.4.2.2) с программно-управляемым коэффициентом деления, посредством которого задается частота тактирования всех подсистем МК, за исключением сторожевого таймера и асинхронного таймера / счетчика. Также в состав всех функциональных узлов и блоков МК (за исключением портов ввода / вывода) входят программно-управляемые предварительные делители тактовой частоты, позволяющие независимо задавать частоту синхронизации каждого из них. В результате разработчику предоставляется возможность выбора сочетания тактовых частот ЦП МК и его периферийных устройств, наиболее рационального с точки зрения требований к энергопотреблению и производительности проектируемого устройства.

Как указано ранее, структура и архитектура подсистемы синхронизации всех моделей МК семейства *AVR*, в целом, аналогичны вышеописанной. Особенности систем синхронизации различных моделей МК данного семейства описаны, например, в источниках [6] и [7].

В заключение следует отметить, что базовые структурно-архитектурные решения системы синхронизации МК семейства *AVR*, в целом, являются типовыми для большинства семейств классов «*mainstream*» и «*cost-sensitive*».

4.4.2. Подсистема синхронизации МК семейства *ARM Cortex-Mx*

4.4.2.1. Типовые структурно-архитектурные решения подсистемы синхронизации МК семейства *ARM Cortex-Mx* рассмотрим на основе двух взаимодополняющих примерах: МК модельного ряда *STM32F030x4* подсемейства *ARM Cortex-M0* (см. рис. 4.1) и МК *K1986BE92FI*, упрощенная структурная схема подсистемы синхронизации которого приведена на рис. 4.16.

- делители тактовой частоты доменов и функциональных блоков;
- логику разрешения / запрета тактирования каждого из функциональных блоков (в наиболее явном виде показана на рис. 4.16).

Источником тактирования МК могут служить *HSI*, *HSE*, умножитель частоты с ФАПЧ (*PLL*) или сигнал синхронизации от внешнего источника. При этом в качестве входного сигнала блока ФАПЧ может выступать выходной сигнал *HSI*, *HSE* или внешний синхросигнал, поступающий через *HSE* (см. рис. 4.17б).

Низкочастотные ГТИ (*LSE* и *LSI*) используются для специальных целей – тактирования счетчика реального времени (см. пункт 3.3.3) и независимого сторожевого таймера (см. пункт 5.4.4).

В структуре подсистемы синхронизации ряда моделей МК семейства *ARM Cortex-Mx* могут быть дополнительные внутренние *RC*-ГТИ специального назначения, например, *HSI14* в МК модельного ряда *STM32F030x4* (см. рис. 4.1), который может использоваться для тактирования АЦП.

4.4.2.2. Все ГТИ реализуются по принципам, описанным в подразделе 4.2. Типовые схемы подключения внешнего ПЭР и подачи внешнего сигнала синхронизации представлены на рис. 4.17 [10]. Сопротивление резистора R_{EXT} зависит от параметров применяемого ПЭР; его рекомендуемые значения указываются в технической документации на ПЭР. Как правило, в схеме *LSE* $R_{EXT} = 0$.

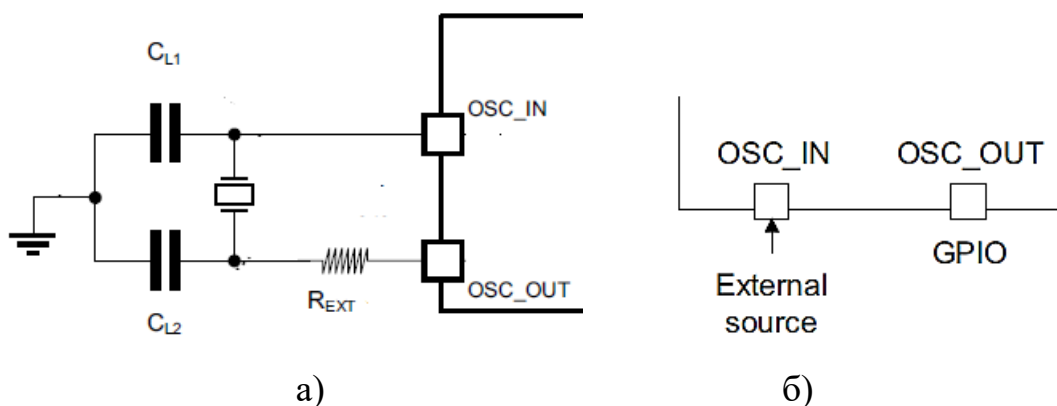


Рис. 4.17. Схемы подключения внешнего ПЭР (а) и источника внешнего синхросигнала (б) к МК семейства *ARM Cortex-Mx*

Выводы *OSC_IN* и *OSC_OUT* в большинстве моделей семейства являются выводами одного из портов и, если они не используются для подключения ПЭР, могут служить в качестве входов / выходов общего назначения (см. рис. 4.176). В ряде моделей МК, например, в K1986BE92FI, данные выводы выделены только для подключения ПЭР или (вывод *OSC_IN*) для подачи внешнего синхросигнала [11].

4.4.2.3. В отличие от МК семейства *AVR*, в семействе *ARM Cortex-Mx* выбор источника тактирования МК осуществляется прикладным ПО. Выбор производится установкой в активное (единичное) состояние бита включения соответствующего ГТИ или / и блока ФАПЧ (*HSION*, *HSEON*, *PLLON*) в регистре управления подсистемой синхронизации [13 – 15] (в ряде моделей, например, в K1986BE92FI, существуют отдельные регистры управления высокочастотными ГТИ и управления блоком ФАПЧ [11]).

При тактировании МК от внешнего источника в единичное состояние также должен быть установлен бит *HSEBYP* (*HSE By-Pass*, «Обход *HSE*») регистра управления синхронизацией или, соответственно, высокочастотными ГТИ. Указанный бит доступен для записи только при отключенном *HSE*, т. е. при нулевом состоянии бита *HSEON*, но для тактирования МК от внешнего источника в единичном состоянии должны быть и бит *HSEON*, и *HSEBYP*. Соответственно, прикладным ПО вначале должен быть установлен бит *HSEBYP*, затем – *HSEON*. При такой конфигурации внешний синхросигнал поступает в обход генератора *HSE*, но по внутренним линиям, выделенным для него и обозначенным «*HSE*» на рис. 4.1 и 4.16.

Аналогичным образом прикладным ПО могут включаться / отключаться НЧ-ГТИ *LSI* и *LSE*, соответственно установкой или сбросом битов *LSION* и *LSEON*. Они располагаются в одном из программно-доступных РСФ подсистемы синхронизации или ДПП; например, у МК модельного ряда *STM32F030x4* – в регистрах *RCC_BDCR* и *RCC_CSR* [15]; у МК K1986BE92FI – в регистре *BKP_REG_0x0F* ДПП [11] (см. пункт 3.3.3). Вместо генератора *LSE* может быть использован внешний НЧ-ГТИ, подключаемый ко входу *OSC32_IN* (см. рис. 4.1) при использовании вывода *OSC32_OUT* как входа / выхода общего назначения (сравн. с рис. 4.176). Такая

конфигурация требует установки в единичное состояние бита *LSEBYP*, расположенного в одном регистре с *LSEON*. Последовательность установки: вначале бит *LSEBYP*, затем – *LSEON* (аналогично битам *HSEBYP* и *HSEON*, см. выше).

При сбросе МК автоматически включается генератор *HSI*, являясь, таким образом, источником тактирования МК по умолчанию. Подсистема сброса обеспечивает длительность внутреннего импульса сброса МК, достаточную для установления рабочего режима *HSI*, не менее 20 мкс (см. рис. 5.1).

4.4.2.4. При программно-управляемом изменении источника синхронизации переход на тактирование от него должен осуществляться только после его входа в рабочий режим, что реализуется или по прерыванию от соответствующего источника, генерируемому при его готовности, или программным опросом бита готовности выбранного источника тактирования (*HSERDY*, *PLLRDY* или *HSIRDY*; данные биты располагаются в одном из РСФ подсистемы синхронизации). Обобщенный алгоритм программно-управляемого изменения источника тактирования представлен в пункте 4.2.6; пример его реализации приведен ниже (разработан для МК *STM32F030F4* подсемейства *ARM Cortex-M0* [15], уровень программирования – *CMSIS*, представление операндов – числовое, см. подпункт 2.6.1.14 и Приложение В).

/*

Включение генератора *HSE* установкой в единицу 16-го бита (*HSEON*) в регистре *CR* подсистемы синхронизации

*/

```
RCC->CR |= 0x00010000;
```

/*

Ожидание (в цикле *while*), пока не установится в единицу флаг готовности генератора *HSE* – 17-й бит (*HSERDY*) в регистре *CR*

*/

```
while(((RCC->CR)&(0x00020000))==0);
```

/*

По выходе из цикла, т. е. по установлении флага готовности *HSE* – объявление генератора *HSE* источником тактирования МК: обнуление младших 2-х битов (*SW[1:0]*, *System clock switch*) регистра конфигурации подсистемы синхронизации, с последующей записью в них двоичного кода 01

*/


```
RCC->CFGR &= 0xFFFFF0FC;  
RCC->CFGR |= 0x00000001;
```

```
/*
```

Ожидание (в цикле *while*), пока МК не переключится на тактирование от генератора *HSE*; признак переключения – установка 2-го бита (*SWS0*) регистра *CFGR* в единичное состояние, а 3-го (*SWS1*) – в нулевое (см. пункт 4.2.6)

```
*/
```

```
while(((RCC->CFGR)&(0x0000000C))!=0x00000004);
```

```
/*
```

Остановка генератора *HSI*, включенного "по умолчанию": сброс 0-го бита (*HSION*) в регистре *CR* блока синхронизации

```
*/
```

```
RCC->CR &= 0xFFFFF0FE;
```

Примечание. Корректная компиляция и работа вышеприведенного программного фрагмента возможны только при введении в заголовок программного модуля, содержащего данный фрагмент, директивы подключения файла описания МК модельного ряда *stm32f0xx*:

```
#include "stm32f0xx.h"
```

4.4.2.5. Необходимо также остановиться на программировании блока умножения частоты с ФАПЧ. Источниками его входного сигнала могут служить (см. рис. 4.1) генераторы *HSI*, *HSE* или внешний ГТИ, подключаемый к блоку ФАПЧ в обход генератора *HSE*, но по выделенной для него линии. Входные сигналы блока ФАПЧ подаются на него через предварительные делители частоты (см. рис. 4.1). Выбор источника тактирования данного блока осуществляется кодом, располагаемым в одном из программно-доступных РСФ подсистемы синхронизации; например, у МК модельного ряда у МК модельного ряда *STM32F030x4* – в регистрах *RCC_BDCR* и *RCC_CSR* [15] – однобитовым кодом *PLLSRC* (см. рис. 4.1), расположенным в регистре конфигурации подсистемы синхронизации (*Clock Configuration Register*). Следует отметить, что, если в качестве источника тактирования блока ФАПЧ выбран генератор *HSE*, а синхронизации МК в целом – внешний ГТИ, то реально он же будет служить источником тактирования указанного блока.

В общем случае, частота выходного сигнала блока ФАПЧ определяется по выражению [15]:

$$f_{PLL} = \frac{f_G}{M} \times \frac{N}{P}; \quad (4.6)$$

где f_G – частота ГТИ, служащего источником тактирования блока ФАПЧ; M – коэффициент деления частоты источника его входного сигнала; N – коэффициент умножения блока ФАПЧ; P – коэффициент деления частоты его выходного сигнала. Например, у МК модельного ряда у МК модельного ряда *STM32F030x4* – в регистрах *RCC_BDCR* и *RCC_CSR* [15] (см. рис. 4.1):

- $M = 2$ при выборе *HSI* в качестве источника тактирования блока ФАПЧ; если данным источником служит, генератор *HSE* или внешний ГТИ, значение M может находиться в пределах от 1 до 16-ти;

- коэффициент умножения N может принимать значения от 2-х до 16-ти;

- делитель частоты выходного сигнала в блоке ФАПЧ данного подсемейства МК отсутствует, поэтому $P = 1$.

Значения коэффициентов M , N и P (при наличии выходного делителя частоты) задаются кодами, располагаемыми в некоторых программно-доступных РСФ подсистемы синхронизации. Например, в МК модельного ряда у МК модельного ряда *STM32F030x4* – в регистрах *RCC_BDCR* и *RCC_CSR* [15] коэффициент деления M задается 4-битовым кодом *PREDIV*, расположенным во 2-м регистре конфигурации подсистемы синхронизации (*Clock Configuration Register 2*), а коэффициент умножения N – 4-битовым кодом *PLLMUL* в регистре *Clock Configuration Register*. См. также приведенный далее пример конфигурирования блока ФАПЧ МК подсемейства *ARM Cortex-M4*.

Важно отметить, что для каждой модели МК существуют оговариваемые технической документацией **ограничения** на допустимые диапазоны частот входного и выходного сигнала блока ФАПЧ, а также на сочетания коэффициентов M , N и P , например:

- частота выходного сигнала блока ФАПЧ большинства моделей МК модельного ряда у МК модельного ряда *STM32F030x4* должна находиться в диапазоне от 16 до 48 МГц [15];

- допустимый диапазон частот входного сигнала блока ФАПЧ МК K1986BE92FI – от 6 до 16 МГц; максимальная допустимая частота выходного сигнала – 100 МГц [11];

- у МК моделей *STM32F405xx/07xx* и *STM32F415xx/17xx* подсемейства *ARM Cortex-M4* допустимый диапазон частот входного сигнала блока ФАПЧ – от 1 до 2 МГц (рекомендуемое значение – 2 МГц); допустимые пределы значения коэффициента N – от 50 до 99; возможные значения коэффициента P – 2, 4, 6 и 8; максимально допустимая частота выходного сигнала – 168 МГц [14]; см. также приведенный далее пример конфигурации блока ФАПЧ.

Необходимо также отметить, что параметры конфигурации блока ФАПЧ могут задаваться только, если он **не находится** в активном состоянии (остановлен), т. е. при нулевом состоянии бита *PLLON*.

Пример фрагмента программного кода, реализующего конфигурирование блока ФАПЧ и его выбор в качестве источника тактирования МК приведен ниже. Пример разработан для МК *STM32F407VG* [14], уровень программирования – *CMSIS*, представление операндов – числовое (см. подпункт 2.6.1.14 и Приложение В). Источником входного сигнала блока ФАПЧ служит генератор *HSE* частотой 8 МГц. Блок ФАПЧ сконфигурирован под частоту выходного сигнала, равную 40 МГц. Исходя из вышеприведенных ограничений на параметры блока ФАПЧ МК моделей *STM32F405xx/07xx* и *STM32F415xx/17xx*, выбраны следующие значения коэффициентов M , N и P (см. выражение (4.6)):

- $M = 4$, что обеспечивает частоту входного сигнала блока ФАПЧ, равную рекомендуемому значению 2 МГц;

- $N = 80$ и $P = 4$, которые, относясь к допустимому диапазону значений коэффициента N и, соответственно, к возможным значениям коэффициента P , обеспечивают требуемую частоту выходного сигнала блока ФАПЧ (40 МГц) при частоте входного сигнала, равной 2 МГц.

Собственно текст программного фрагмента конфигурирования блока ФАПЧ (*PLL*) с комментариями:

/*

Включение генератора *HSE*, служащего источником входного сигнала блока ФАПЧ (*PLL*): установка в единицу 16-го бита (*HSEON*) в регистре *CR* подсистемы синхронизации

*/

RCC->CR |=0x00010000;

/*

Ожидание (в цикле *while*), пока не установится в единицу флаг готовности генератора *HSE* – 17-й бит (*HSERDY*) в регистре *CR*

*/

while(((RCC->CR)&(0x00020000))==0x00000000);

/*

По выходе из цикла, т. е. по установлении флага готовности *HSE* – конфигурирование блока *PLL* (см. [14]):

- задание значения *M*, равного 4-м, записью двоичного числа 00100 в битовое поле *PLLM* регистра *PLLCF* (биты с 0-го по 5-й);
- задание значения *N*, равного 80-ти, записью двоичного числа 001010000 (соответствующего 80-ти в десятичной системе счисления) в битовое поле *PLLN* регистра *PLLCF* (биты с 6-го по 14-й);
- задание значения *P*, равного 4-м, записью двоичного числа 01 в битовое поле *PLLP* регистра *PLLCF* (биты с 16-го по 17-й);
- выбор генератора *HSE* в качестве источника входного сигнала установкой в единицу 22-го бита регистра *PLLCFGR* (*PLL Configuration Register*);
- задание значения *Q* (коэффициента деления тактовой частоты блока *USB МК*), равного 2-м, записью двоичного числа 0010 в битовое поле *PLLQ* регистра *PLLCF* (биты с 24-го по 27-й);
- запись предписываемого *Reference Manual* двоичного числа 0010 в биты с 28-го по 31-й регистра *PLLCF*.

*/

RCC->PLLCFGR = 0x22411404;

/*

Включение блока *PLL* установкой в единицу 24-го бита (*PLLON*) в регистре *CR* подсистемы синхронизации

*/

RCC->CR |=0x01000000;

/*

Ожидание (в цикле *while*), пока не установится в единицу флаг готовности блока *PLL* – 25-й бит (*PLLRDY*) в регистре *CR*

*/

```
while(((RCC->CR)&(0x02000000))==0x00000000);
```

```
/*
```

По установлении флага готовности *PLL* – объявление блока *PLL* источником тактирования МК: обнуление младших 2-х битов (*SW[1:0]*) регистра *RCC_CFGR*, с последующей записью в них двоичного кода 10

```
*/
```

```
RCC->CFGR &= 0xFFFFF0;
```

```
RCC->CFGR = 0x00000010;
```

```
/*
```

Ожидание (в цикле *while*), пока МК не переключится на тактирование от блока *PLL*; признак переключения – установка 2-го бита (*SWS0*) регистра *CFGR* в нулевое состояние, а 3-го (*SWS1*) – в единичное (см. пункт 4.2.6)

```
*/
```

```
while(((RCC->CFGR)&(0x0000000C))!=0x00000008);
```

```
/*
```

Остановка генератора *HSI*, включенного "по умолчанию": сброс 0-го бита (*HSION*) в регистре *CR* блока синхронизации

```
*/
```

```
RCC->CR = (RCC->CR)&(0xFFFFF0);
```

Примечание. Корректная компиляция и работа вышеприведенного программного фрагмента возможны только при введении в заголовок программного модуля, содержащего данный фрагмент, директивы подключения файла описания МК модельного ряда *stm32f4xx*:

```
#include "stm32f4xx.h"
```

При необходимости изменения параметров конфигурации блока ФАПЧ (*PLL*) рекомендуется следующая последовательность действий [15]:

- переключить МК на тактирование от генератора *HSI*, для чего (по аналогии с переводом МК на тактирование от генератора *HSE*, см. подпункт 4.4.2.4) установить в единицу бит *HSION*; дождаться установки в единицу бита *HSIRDY*; объявить генератор *HSI* источником синхронизации МК и дождаться переключения МК на тактирование от него (в большинстве моделей МК семейства *ARM Cortex-Mx* – нулевого состояния битов *SWS0* и *SWS1* регистра *RCC_CFGR*);

- остановить блок *PLL* сбросом бита *PLLON* и дождаться сброса бита *PLLRDY*;

- выполнить конфигурирование и активизацию блока *PLL* по аналогии с вышеприведенным программным фрагментом.

4.4.2.6. В подсистему синхронизации большинства моделей МК семейства *ARM Cortex-Mx* входит блок *CSS* (*Clock Security System*, в дословном переводе – система безопасности синхронизации). Назначение блока *CSS* – мониторинг работы генератора *HSE* (см. рис. 4.1).

Активизация / отключение данного блока осуществляется программной установкой или, соответственно, сбросом бита *CSSON* в регистре управления подсистемой синхронизации. Детектор выходного сигнала генератора *HSE*, входящий в состав блока *CSS*, активизируется после запуска данного генератора (с задержкой на время, требующееся для его входа в рабочий режим). Отключение детектора происходит после остановки генератора *HSE*. Если детектором выявляется ненормальная работа данного генератора, происходит его остановка; при этом [9]:

- если генератор *HSE* служил источником синхронизации МК, запускается генератор *HSI*, и МК переключается на тактирование от него; то же происходит, если генератор *HSE* использовался в качестве источника входного сигнала блока ФАПЧ, а он служил источником синхронизации МК (блок ФАПЧ при этом отключается);

- генерируется немаскируемое прерывание (*NMI, Non-Maskable Interrupt*) по отказу генератора *HSE*; подпрограмма обслуживания данного прерывания должна обеспечить максимально корректный выход из этой нештатной ситуации, без сбоев в работе программы и без потерь данных.

Наличие блока *CSS* в подсистеме синхронизации позволяет МК оперативно реагировать на возможные сбои работы генератора *HSE*, без потери работоспособности МК в целом.

4.4.2.7. Ввиду относительной сложности МК семейства *ARM Cortex-Mx*, их архитектура предусматривает более широкие, чем у МК семейства *AVR*, возможности управления тактированием подсистем и функциональных блоков, с целью обеспечения

рационального сочетания производительности и энергопотребления (см. пункт 3.4.1). Основными из указанных возможностей являются:

- раздельное задание частоты тактирования доменов *AHB* и *APB*, а также сегментов *APB*-домена, при их наличии (см. подраздел 1.3), осуществляемое посредством делителей частоты с программно-управляемыми коэффициентами деления (*AHB Prescaler* и *APB Prescaler* на рис. 4.1); напомним, что к домену *AHB* относится и ЦП (на рис. 4.1 обозначенный как *core*); см. также подпункт 3.4.2.3;

- индивидуальное задание тактовой частоты каждого из функциональных блоков посредством программно-управляемых предделителей (см., например, рис. 4.16);

- индивидуальное разрешение / запрет тактирования каждого из периферийных устройств, что позволяет тактировать только функциональные блоки, используемые в конкретном проекте.

При этом коэффициенты деления предделителей *AHB*- и *APB*-доменов задаются соответствующими битовыми полями в РСФ подсистемы синхронизации, а предделителей функциональных блоков – одним из РСФ, входящих в их состав, или определенным битовым полем в одном из РСФ, например:

- регистром *TIM1_PSC* (*Timer1 Prescaler*);
- регистром *USART_BRR* (*USART Baud Rate Register*);
- битовым полем *PRESC* в регистре *I2C_TIMINGR* (*Timing Register*) блока интерфейса I2C и т. п.

Коэффициенты деления предделителей задаются двоичными кодами, записываемыми в соответствующие регистры или битовые поля.

Разрешение / запрет тактирования периферийных устройств МК осуществляются соответственно установкой / сбросом битов разрешения подачи на них синхроимпульсов. Данные биты располагаются в регистрах подсистемы синхронизации, которые в большинстве моделей МК называются *Peripheral Clock Enable Registers*, например:

- *RCC_AHBENR* (*Reset and Clock Control AHB peripheral clock enable register*, регистр разрешения тактирования периферийных устройств *AHB*-домена);

- *RCC_APB1ENR* (*Reset and Clock Control APB peripheral clock enable register 1*, 1-й регистр разрешения тактирования периферийных устройств *APB* -домена, в моделях с несколькими *APB* – доменами - *Reset and Clock Control APB1 peripheral clock enable register*) и т. п.

В МК K1986BE92FI биты разрешения / запрета тактирования периферийных устройств размещаются в регистре с именем *MDR_RST_CLK->PER_CLOCK*.

При разработке ПО для МК семейства *ARM Cortex-Mx* необходимо **иметь в виду**, что конфигурированию и запуску любого из периферийных устройств должна предшествовать команда разрешения его тактирования. Пример такой команды (МК *STM32F030F4* подсемейства *ARM Cortex-M0*, уровень программирования – *CMSIS*, также см. Приложение В):

RCC->AHBENR |= 0x00020000;

(установка в единицу бита *IOAEN* «Разрешение тактирования порта ввода / вывода *A*», являющегося 17-м битом регистра *RCC_AHBENR*).

Примечание. Принадлежность функционального блока МК некоторой конкретной модели к тому или иному домену определяется по карте памяти (*Memory Map*), приводимой в руководстве пользователя (*Reference Manual*) или / и техническом описании (*Datasheet*) соответствующего модельного ряда МК. В средах разработки уровня *HAL* (см. подпункт 2.6.1.6) домен указывается автоматически при конфигурировании блока.

См. также примечание в подпункте 4.4.2.4.

4.4.2.8. Структура и архитектура подсистемы синхронизации большинства моделей МК семейства *ARM Cortex-Mx* позволяют использовать МК в качестве источника синхросигнала устройств, внешних по отношению к нему. Сигнал синхронизации поступает на выход *MCO* (*Main Clock Out*), выбор источника данного сигнала осуществляется мультиплексором, управляемым кодом *MCO* (см. рис. 4.1), располагаемым в регистре конфигурации подсистемы синхронизации. В качестве выхода *MCO* используется определенный вывод одного из портов, для которого *MCO* является

альтернативной функцией (см., например, рис. 6.35). Для его использования как выхода *МСО* он должен быть сконфигурирован под выполнение данной альтернативной функции (см. подпункт 6.5.2.9).

4.5 Выводы по разделу 4

4.5.1. Подсистема синхронизации, наряду с подсистемами питания и сброса и с портами ввода / вывода, входит в состав функциональных блоков / подсистем МК, минимально необходимых для его практического применения. Ее основное назначение - генерация сигналов тактирования и их распределение между узлами и блоками МК с целью обеспечения их синхронной работы.

4.5.2. Типовая подсистема синхронизации МК общего назначения содержит (см. рис. 4.1, 4.14 и 4.16):

- генераторы тактовых импульсов (ГТИ), служащие источниками первичных сигналов синхронизации, из которых формируются сигналы тактирования всех узлов и блоков МК (в ряде семейств – также умножитель частоты с ФАПЧ, используемый при необходимости формирования синхросигналов с частотой, превышающей частоту первичных сигналов синхронизации);
- программно-управляемые мультиплексоры, посредством которых осуществляется выбор источника синхронизации той или иной подсистемы или функционального блока (группы блоков) МК;
- программно-управляемые делители частоты тактовых импульсов (предделители, *Prescalers*), задающие частоту синхронизации подсистем (функциональных блоков) МК;
- логику выборочного разрешения / запрета тактирования подсистем и функциональных блоков МК с целью энергосбережения (см. пункт 3.4.1).

4.5.3. Известны следующие основные варианты реализации ГТИ МК (см. подраздел 4.2):

- внутренний *RC*-ГТИ;
- внутренний ГТИ с частотоподающим внешним пьезоэлектрическим резонатором;
- внутренний ГТИ с внешней частотоподающей *RC*-цепью (в ряде семейств МК отсутствует);

- внешний (по отношению к БИС МК) ГТИ.

Основные вопросы схемотехники и применения вышеперечисленных разновидностей ГТИ изложены в подразделе 4.2.

4.5.4. Каждый из перечисленных в пункте 4.5.3 вариантов ГТИ характеризуется присущими ему достоинствами и недостатками (см. подраздел 4.2). Поэтому, как правило, в структуру каждой модели МК входит несколько ГТИ, реализованных по различным вариантам из числа вышеперечисленных. Также архитектура практически всех моделей МК предусматривает возможность использования внешнего ГТИ. Выбор источника тактирования МК осуществляется в зависимости от конкретной задачи, а также от структуры системы, в состав которой входит МК (в частности, от наличия или отсутствия в ней других источников синхросигналов). Источник тактирования задается определенным битовым полем или в одном из слов конфигурации МК (см. пункт 4.4.1) или в одном из РСФ подсистемы синхронизации МК (см. рис. 4.1 и пункт 4.4.2). В первом случае задание источника тактирования МК возможно только в режиме программирования энергонезависимой памяти, во втором – и в процессе работы МК.

4.5.5. Изменение источника тактирования МК в процессе его работы необходимо осуществлять по следующему обобщенному алгоритму (см. примеры в подпунктах 4.4.2.4 и 4.4.2.5):

- запуск выбранного источника тактирования;
- ожидание входа выбранного источника в рабочий режим;
- после того, как зафиксирован вход выбранного источника в рабочий режим – переконфигурирование подсистемы синхронизации под тактирование МК от данного источника;
- ожидание переключения МК на выбранный источник тактирования;
- по переключению МК на выбранный источник тактирования – остановка ранее использовавшегося источника (что желательно, в первую очередь, с точки зрения энергосбережения).

4.5.6. Архитектура большинства семейств МК классов «*cost-sensitive*» и «*mainstream*» позволяет выбирать только источник синхронизации МК в целом, но не его подсистем / функциональных блоков по отдельности. Выбор осуществляется кодом в одном из

слов конфигурации МК, доступном для записи / чтения только в режиме программирования энергонезависимой памяти.

В МК ряда семейств класса «*high performance*», в том числе *ARM Cortex-Mx*, возможен выбор источников не только системного сигнала синхронизации, но и тактирования отдельных функциональных блоков (см. рис. 4.1). Выбор производится записью определенных кодов в доступные прикладному ПО регистры конфигурации / управления подсистемы синхронизации или соответствующих блоков.

4.5.7. Практически во всех семействах МК также имеется возможность задания прикладным ПО частоты тактирования каждой из подсистем (функциональных блоков), в том числе ЦП, с целью обеспечения рационального сочетания производительности и энергопотребления (см. пункт 3.4.1). Архитектура ряда семейств (в частности, *ARM Cortex-Mx*) также позволяет индивидуально включать или отключать подачу синхроимпульсов на периферийные устройства, т. е., с целью энергосбережения, разрешать тактирование только тех из них, которые используются в конкретном проекте.

4.5.8. Типовые примеры структурно-архитектурных решений подсистемы синхронизации МК общего назначения представлены в подразделе 4.4.