

# 10 ТИПОВЫЕ СТРУКТУРНО-АРХИТЕКТУРНЫЕ РЕШЕНИЯ И ОСНОВЫ ПРИМЕНЕНИЯ БЛОКОВ АНАЛОГО-ЦИФРОВОГО ИНТЕРФЕЙСА МК ОБЩЕГО НАЗНАЧЕНИЯ

10.1 Общие вопросы.....	3
10.2 Типовые структурно-архитектурные решения и основы применения встроенных аналоговых компараторов МК.....	4
10.2.1. Базовые вопросы схемотехники и применения АК.....	4
10.2.2. Типовые примеры структуры и архитектуры блоков аналоговых компараторов МК общего назначения .....	28
10.2.3. Пример программного модуля с использованием блока АК.....	36
10.3 Типовые структурно-архитектурные решения и основы применения встроенных АЦП МК .....	47
10.3.1. Определение, назначение и классы АЦП.....	47
10.3.2. Основные параметры АЦП.....	48
10.3.3. Основные типы АЦП и области их применения.....	56
10.3.4. Дискретизация аналоговых сигналов. Блоки выборки и хранения.....	58
10.3.5. Антиэлайзинговая фильтрация входных сигналов АЦП .....	72
10.3.6. Базовые требования к периоду (частоте) дискретизации входных сигналов АЦП МК общего назначения .....	76
10.3.7. Принципы реализации АЦП МК общего назначения .....	92
10.3.8. Базовые структурно-архитектурные решения блоков АЦП МК семейства <i>AVR</i> .....	102
10.3.9. Калибровка АЦП МК семейства <i>AVR</i> .....	120
10.3.10. Пример программирования блока АЦП МК семейства <i>AVR</i> . ..	128
10.3.11. Базовые структурно-архитектурные решения блоков АЦП МК семейства <i>ARM Cortex-Mx</i> .....	141
10.3.12. Примеры программирования блоков АЦП МК семейства <i>ARM Cortex-Mx</i> .....	190
10.4 Типовые структурно-архитектурные решения и основы применения встроенных ЦАП МК .....	212
10.4.1. Общие положения .....	212
10.4.2. Принципы реализации ЦАП МК семейства <i>ARM Cortex-Mx</i> ...	213

10.4.3. Базовые параметры ЦАП.....	216
10.4.4. Коррекция погрешностей ЦАП МК.....	222
10.4.5. Базовые требования к периоду дискретизации сигнала, формируемого ЦАП. Фильтрация выходного сигнала ЦАП.....	224
10.4.6. Типовой пример структуры и архитектуры блока ЦАП МК...	264
10.5 Сопряжение аналоговых входов / выходов блоков аналого-цифрового интерфейса МК с внешними по отношению к МК устройствами.....	277
10.5.1. Устройства сопряжения АК / АЦП МК с источниками контролируемых / преобразуемых сигналов.....	278
10.5.2. Устройства сопряжения ЦАП МК с исполнительными устройствами.....	318
10.6 Выводы по разделу 10.....	328
10.6.1. Выводы по подразделу 10.2 (Типовые структурно-архитектурные решения и основы применения встроенных аналоговых компараторов МК) .....	329
10.6.2. Выводы по подразделу 10.3 (Типовые структурно-архитектурные решения и основы применения встроенных АЦП МК) .....	332
10.6.3. Выводы по подразделу 10.4 (Типовые структурно-архитектурные решения и основы применения встроенных ЦАП МК) .....	337

## 10.1 Общие вопросы

В системах контроля и управления техническими объектами, являющихся основной областью применения МК общего назначения, часто возникают задачи:

- контроля значений аналоговых величин, несущих информацию о состоянии объекта управления (например, выходных напряжений или токов еще широко распространенных датчиков с аналоговым выходом);

- выработки аналоговых сигналов с программно-задаваемыми параметрами и характеристиками для управления ИУ.

Для решения перечисленных задач большинство современных МК общего назначения классов «*mainstream*» и «*high performance*» снабжены функциональными блоками **аналого-цифрового интерфейса** (АЦИ), к которым, в общем случае, относятся (см. рис. 1.3 – 1.5 и табл. 1.1):

- аналоговые компараторы (АК);
- аналого-цифровые преобразователи (АЦП, *ADC*);
- цифро-аналоговые преобразователи (ЦАП, *DAC*).

В составе подсистемы АЦИ конкретных семейств / подсемейств / модельных рядов МК какие-либо из перечисленных блоков могут отсутствовать. Например, АЦИ МК подсемейства *Atmega* включает в себя только АК и АЦП; МК модельного ряда *STM32F0xx* – только АЦП; модельного ряда *STM32F4xx* – только АЦП и ЦАП. Все перечисленные категории функциональных блоков АЦИ (и АК, и АЦП, и ЦАП) входят, например, в состав АЦИ МК модельного ряда *K1986VE92Fxx* [11].

Настоящий раздел посвящен принципам реализации, типовым структурно-архитектурным решениям и основам применения АК, АЦП и ЦАП, входящих в состав АЦИ современных МК общего назначения.

## **10.2 Типовые структурно-архитектурные решения и основы применения встроенных аналоговых компараторов МК**

### **10.2.1. Базовые вопросы схемотехники и применения АК**

**10.2.1.1.** Основными функциями, выполняемыми блоками АК в системах контроля и управления техническими объектами на основе МК, являются следующие:

- сравнение напряжений, несущих информацию о состоянии объекта контроля и управления, с напряжениями уставок (обычно равными минимально или максимально допустимым значениям контролируемых напряжений), с выработкой признаков выхода контролируемых напряжений за пределы уставок;

- формирование цифровых сигналов с частотой (периодом) или длительностью, равными частоте (периоду) или длительности аналоговых сигналов при преобразовании их частотно-временных параметров в код посредством таймеров МК (см. подраздел 9.4).

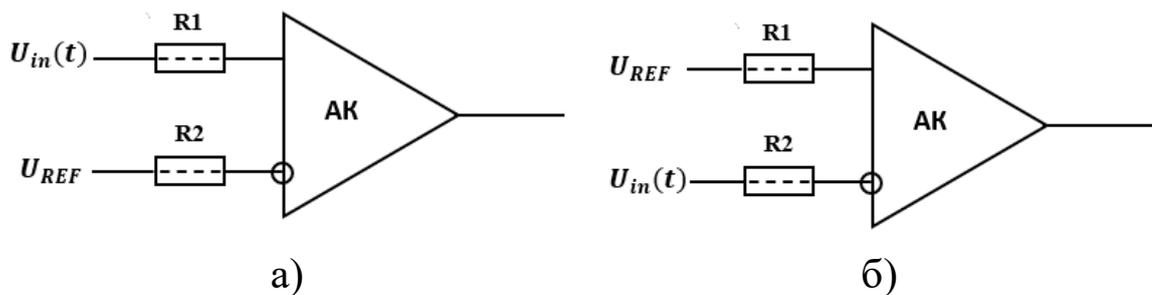
Общий принципы работы АК описан в подпункте 9.4.2.2. Для связности, поясним его еще раз.

АК представляет собой дифференциальный усилитель с весьма высоким коэффициентом усиления (от нескольких десятков тысяч и выше) и высоким входным сопротивлением (от единиц МОм и выше). Выходной каскад АК работает в ключевом режиме, с 2-мя устойчивыми состояниями выходного напряжения – «отрицательного» и «положительного» насыщения, как правило, равными напряжениям логического нуля и логической единицы цифровых ИС. Благодаря высокому коэффициенту усиления дифференциального сигнала, если напряжение на не инвертирующем входе АК на несколько сотен микровольт и более превышает напряжение на инвертирующем, выход АК переходит в состояние «положительного насыщения», т. е. логической единицы. Если же напряжение на инвертирующем входе на несколько сотен микровольт и более превышает напряжение на не инвертирующем, выход АК переключается в состояние «отрицательного насыщения», т. е. логического нуля.

Далее следует остановиться на ряде вопросов практического применения АК.

**10.2.1.2.** На рис. 10.1 представлены простейшие схемы включения АК. Резисторы  $R1$  и  $R2$ , могут отсутствовать, но их применение желательно, т. к. они, в сочетании с входными емкостями АК, обеспечивают фильтрацию высокочастотных помех. Их типовые сопротивления – единицы кОм.

Схема, приведенная на рис. 10.1а, является **не инвертирующей**. Если разность  $U_{in}(t) - U_{REF}$  положительна, и превышает несколько сотен микровольт, выход компаратора находится в единичном состоянии. Если же данная разность отрицательна, а ее модуль превышает несколько сотен микровольт, состояние выхода компаратора нулевое.



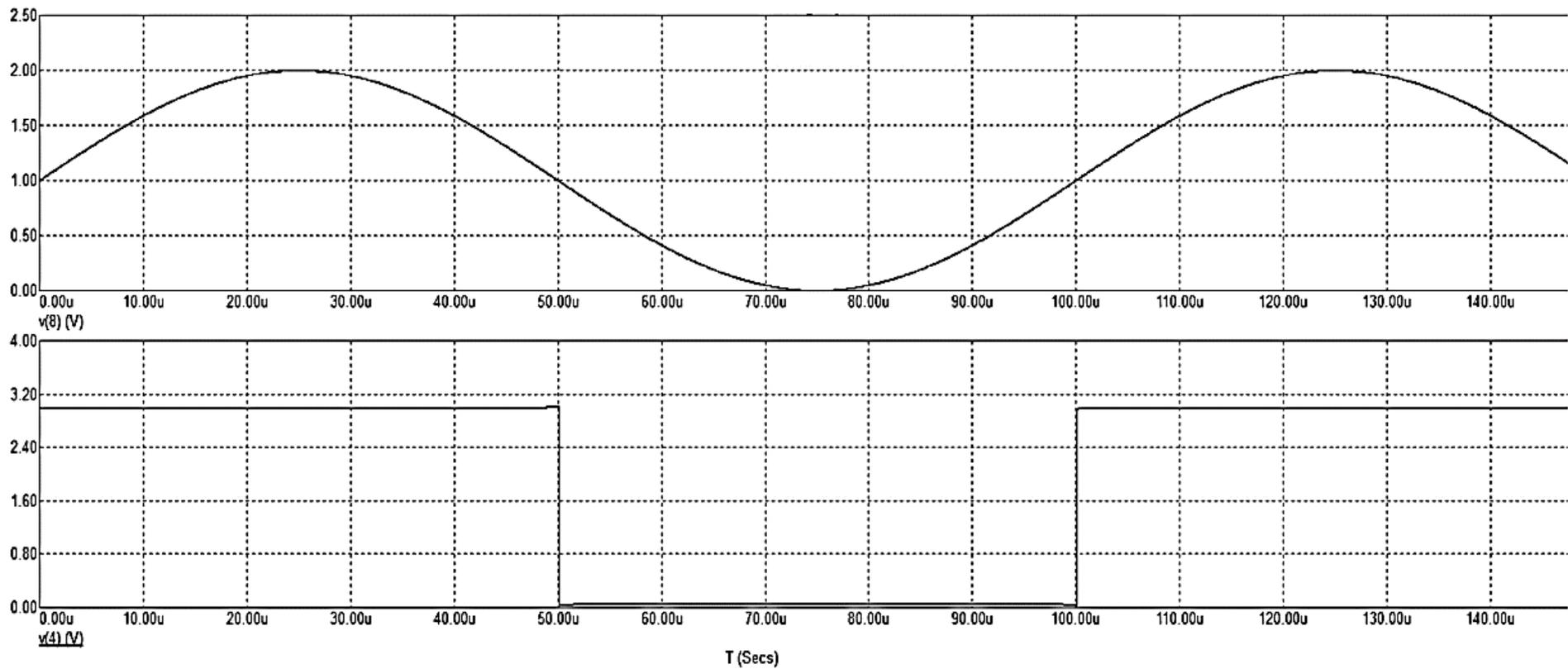
$U_{in}(t)$  – входное напряжение  
 $U_{REF}$  – опорное напряжение (напряжение уставки)

**Рис. 10.1.** Простейшие варианты функциональных схем не инвертирующего (а) и инвертирующего (б) АК

Схема, приведенная на рис. 10.1б, представляет собой **инвертирующий** АК, состояние выхода которого единичное при отрицательной и превышающей по модулю несколько сотен микровольт разности  $U_{in}(t) - U_{REF}$ , и нулевое – если данная разность положительна и превышает несколько сотен микровольт.

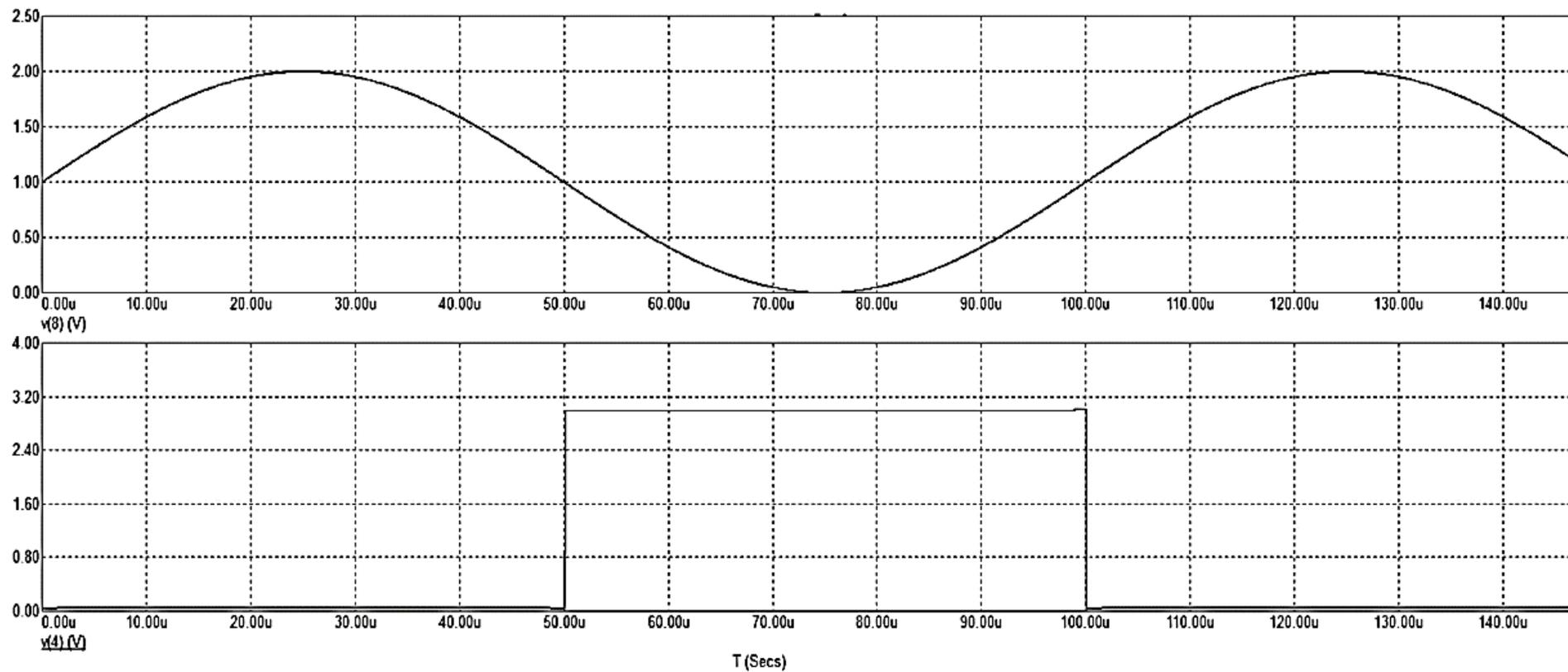
Если модуль разности  $U_{in}(t) - U_{REF}$  не превышает нескольких сотен микровольт, состояние выхода АК может быть неустойчивым.

Пример временных диаграмм входного и выходного сигналов не инвертирующего АК приведен на рис. 10.2, а инвертирующего – на рис. 10.3. В обоих примерах опорное напряжение равно 1 В.



$v(8)$  и  $v(4)$  – входное и выходное напряжение соответственно

**Рис. 10.2.** Пример временных диаграмм входного и выходного напряжений не инвертирующего АК (см. рис. 10.1а) при  $U_{REF} = 1$  В

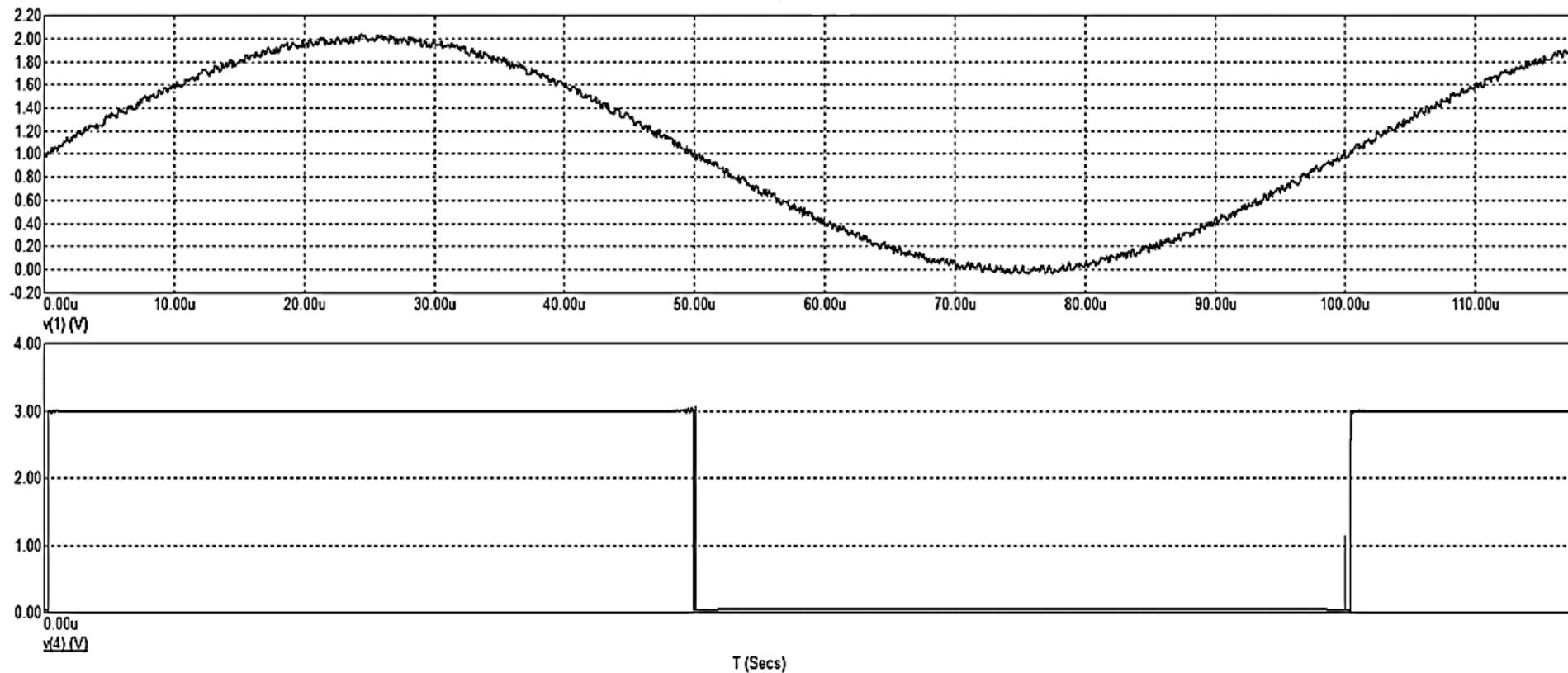


$v(8)$  и  $v(4)$  – входное и выходное напряжения соответственно

**Рис. 10.3.** Пример временных диаграмм входного и выходного напряжений инвертирующего АК (см. рис. 10.1б) при  $U_{REF} = 1$  В

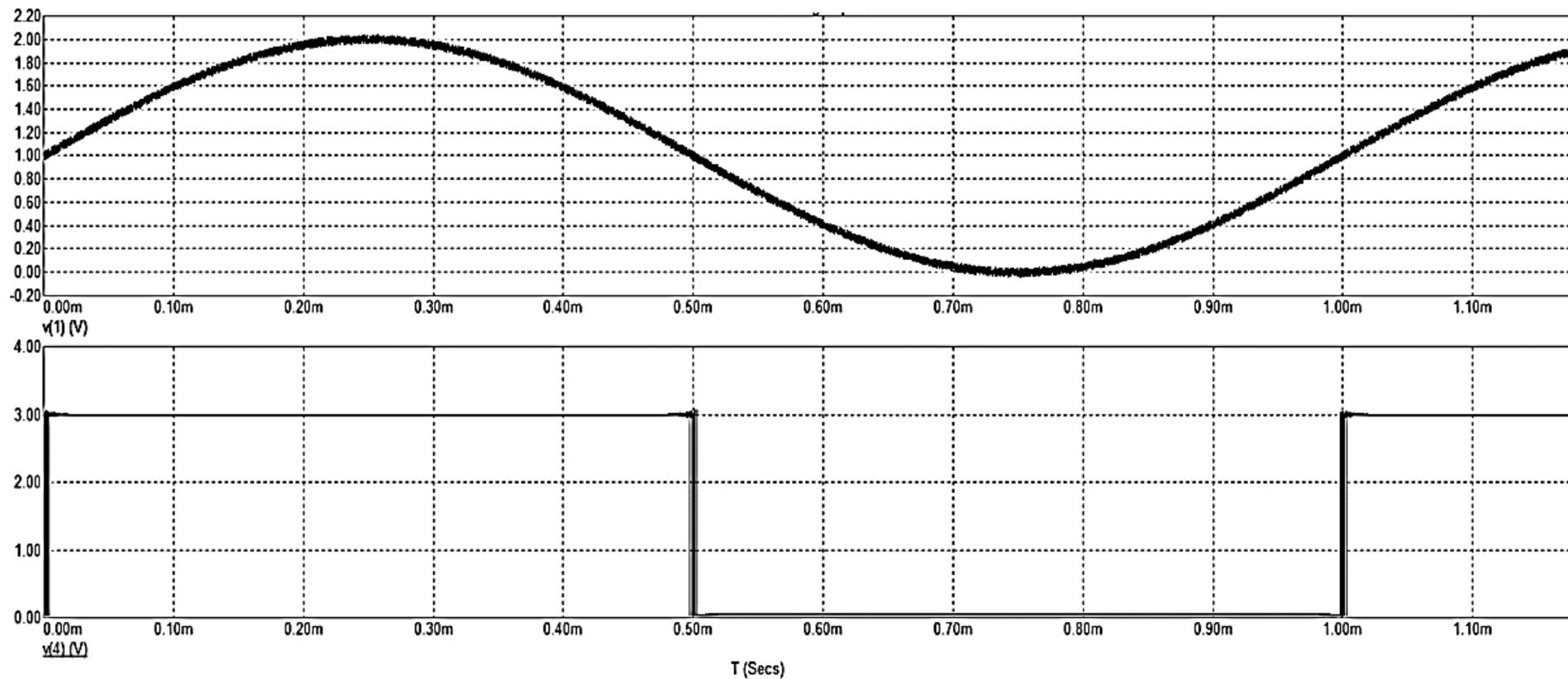
Схемы, приведенные на рис. 10.1, редко используются на практике, по причине низкой помехоустойчивости. В самом деле, при наличии шума / помехи с амплитудой от нескольких сотен микровольт и выше, накладывающихся на сигнал  $U_{in}(t)$  (что неизбежно в большинстве практических случаев), разность  $U_{in}(t) - U_{REF}$  при значениях  $U_{in}(t)$ , близких к  $U_{REF}$ , будет многократно изменяться от положительного значения, превышающего несколько сотен микровольт, до отрицательного, большего нескольких сотен микровольт по модулю. Из-за высокого коэффициента усиления АК, это вызовет многократное переключение («дребезг») выходного сигнала, что иллюстрируют рис. 10.4 и 10.5. Отношение амплитуд полезного сигнала и шума, а также характеристики шума одинаковы на обоих рисунках. Отметим, что входы АК находятся в состоянии, вызывающем «дребезг», тем дольше, чем ниже частота входного сигнала (сравните рис. 10.4 и 10.5).

**10.2.1.3.** Наиболее распространенным на практике способом устранения «дребезга» выходного сигнала АК является введение в схему включения АК **положительной обратной связи (ПОС)** [20, 23]. В АК с ПОС значение  $U_{in}(t)$ , при котором происходит переключение выхода АК из нулевого состояния в единичное, не равно значению  $U_{in}(t)$ , при котором выход АК переключается в обратном направлении, т. е. пороги срабатывания АК разнесены. Благодаря этому АК не чувствителен к шумам / помехам, размах которых меньше разности порогов срабатывания.



$v(1)$  и  $v(4)$  – входное и выходное напряжение соответственно

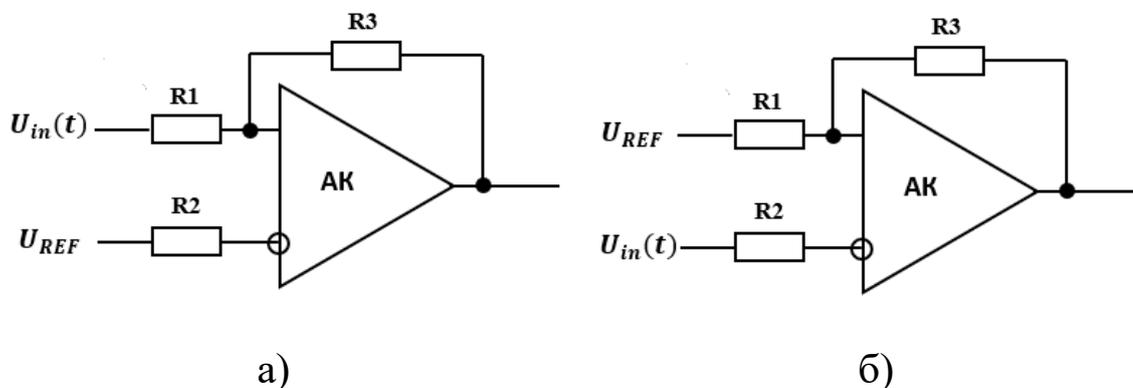
**Рис. 10.4.** Пример временных диаграмм переключения простейшего не инвертирующего АК (рис. 10.1а) при наличии шумов / помех и частоте входного сигнала, равной 10 кГц



$v(1)$  и  $v(4)$  – входное и выходное напряжение соответственно

**Рис. 10.5.** Пример временных диаграмм переключения простейшего не инвертирующего АК (рис. 10.1а) при наличии шумов / помех и частоте входного сигнала, равной 1 кГц

Функциональные схемы не инвертирующего и инвертирующего АК с ПОС приведены на рис. 10.6а и 10.6б соответственно. Типовые сопротивления резисторов  $R1$  и  $R2$  – единицы кОм, резистора  $R3$  – сотни кОм.



**Рис. 10.6.** Функциональные схемы не инвертирующего (а) и инвертирующего (б) АК с ПОС [20, 23]

Проведем анализ схем АК с ПОС. При анализе будем пренебрегать входными токами АК, типовые значения которых не превышают десятков – сотен нА [8, 11].

**10.2.1.4.** В схеме не инвертирующего компаратора с ПОС (рис. 10.6а):

- напряжение на инвертирующем входе АК,  $U_{AC}^-$ , с учетом пренебрежимо малого тока через резистор  $R2$  и, соответственно, пренебрежимо малого падения напряжения на нем, равно  $U_{REF}$ ;

- поочередно полагая входное и выходное напряжения АК равными нулю, получаем, что напряжение на его не инвертирующем входе равно:

$$U_{AC}^+ = U_{in}(t) \frac{R3}{R1 + R3} + U_{AC}^{OUT} \frac{R1}{R1 + R3};$$

где  $U_{AC}^{OUT}$  – выходное напряжение АК.

Переключение выхода АК из единичного в нулевое состояние произойдет при  $U_{AC}^+ < U_{AC}^-$ , т. е. по достижении условия:

$$U_{in}(t) \frac{R3}{R1 + R3} + U_{AC}^1 \frac{R1}{R1 + R3} < U_{REF};$$

где  $U_{AC}^1$  – напряжение единичного уровня на выходе АК. После соответствующих преобразований данное условие приобретает вид:

$$U_{in}(t) < U_{REF} \frac{R1 + R3}{R3} - U_{AC}^1 \frac{R1}{R3};$$

Следовательно, переключение АК из единичного в нулевое состояние произойдет при уменьшении входного напряжения до порогового значения, равного:

$$U_T^{10} = U_{REF} \frac{R1 + R3}{R3} - U_{AC}^1 \frac{R1}{R3}; \quad (10.1)$$

В свою очередь, переключение выхода АК из единичного в нулевое состояние произойдет при  $U_{AC}^+ > U_{AC}^-$ , т. е. по достижении условия:

$$U_{in}(t) \frac{R3}{R1 + R3} + U_{AC}^0 \frac{R1}{R1 + R3} > U_{REF};$$

где  $U_{AC}^0$  – напряжение нулевого уровня на выходе АК. После соответствующих преобразований данное условие приводится к виду:

$$U_{in}(t) > U_{REF} \frac{R1 + R3}{R3} - U_{AC}^0 \frac{R1}{R3};$$

Таким образом, переключение АК из нулевого в единичное состояние произойдет при повышении входного напряжения до порогового значения, равного:

$$U_T^{01} = U_{REF} \frac{R1 + R3}{R3} - U_{AC}^0 \frac{R1}{R3}; \quad (10.2)$$

Нетрудно увидеть, что  $U_T^{01} \neq U_T^{10}$ ;  $U_T^{01} > U_T^{10}$ ;  $U_T^{01} \neq U_{REF}$ ;  $U_T^{10} \neq U_{REF}$ .

**10.2.1.5.** Аналогичным образом, для схемы инвертирующего компаратора с ПОС (рис. 10.6б), поочередно полагая опорное напряжение и выходное напряжения АК равными нулю, получаем:

$$U_{AC}^+ = U_{REF} \frac{R3}{R1 + R3} + U_{AC}^{OUT} \frac{R1}{R1 + R3};$$

при этом -  $U_{AC}^- = U_{in}(t)$ ;

Переключение выхода АК из единичного в нулевое состояние произойдет при  $U_{AC}^+ < U_{AC}^-$ , по достижении условия:

$$U_{in}(t) > U_{REF} \frac{R3}{R1 + R3} + U_{AC}^1 \frac{R1}{R1 + R3};$$

т. е. при повышении входного напряжения до порогового значения, равного:

$$U_T^{10} = U_{REF} \frac{R3}{R1 + R3} + U_{AC}^1 \frac{R1}{R1 + R3}; \quad (10.3)$$

Переключение выхода АК из нулевого состояния в единичное произойдет при  $U_{AC}^- < U_{AC}^+$ , по достижении условия:

$$U_{in}(t) < U_{REF} \frac{R3}{R1 + R3} + U_{AC}^0 \frac{R1}{R1 + R3};$$

т. е. при снижении входного напряжения до порогового значения, равного:

$$U_T^{01} = U_{REF} \frac{R3}{R1 + R3} + U_{AC}^0 \frac{R1}{R1 + R3}; \quad (10.4)$$

Как и в не инвертирующем АК с ПОС,  $U_T^{01} \neq U_T^{10}$ ;  $U_T^{01} \neq U_{REF}$ ;  $U_T^{10} \neq U_{REF}$ ; однако, в отличие от не инвертирующего АК,  $U_T^{01} < U_T^{10}$ .

**10.2.1.6.** На рис. 10.7 и 10.8 приведены примеры детализированных (по вертикали) временных диаграмм входного и выходного напряжений не инвертирующего (рис. 10.6а) и инвертирующего (рис. 10.6б) АК с ПОС соответственно (для удобства анализа диаграмм входной сигнал не зашумлен). По данным диаграммам нетрудно заметить, что переключение АК происходит с запаздыванием (**гистерезисом**) относительно моментов совпадения значений  $U_{in}(t)$  и  $U_{REF}$ . Поэтому АК с ПОС часто называют компараторами с гистерезисом. Абсолютное значение разности пороговых напряжений  $U_T^{01}$  и  $U_T^{10}$  также принято

называть гистерезисом АК. Из выражений (10.1) – (10.4) нетрудно увидеть, что гистерезис не инвертирующего АК с ПОС равен:

$$U_{HYS} = (U_{AC}^1 - U_{AC}^0)R1/R3; \quad (10.5)$$

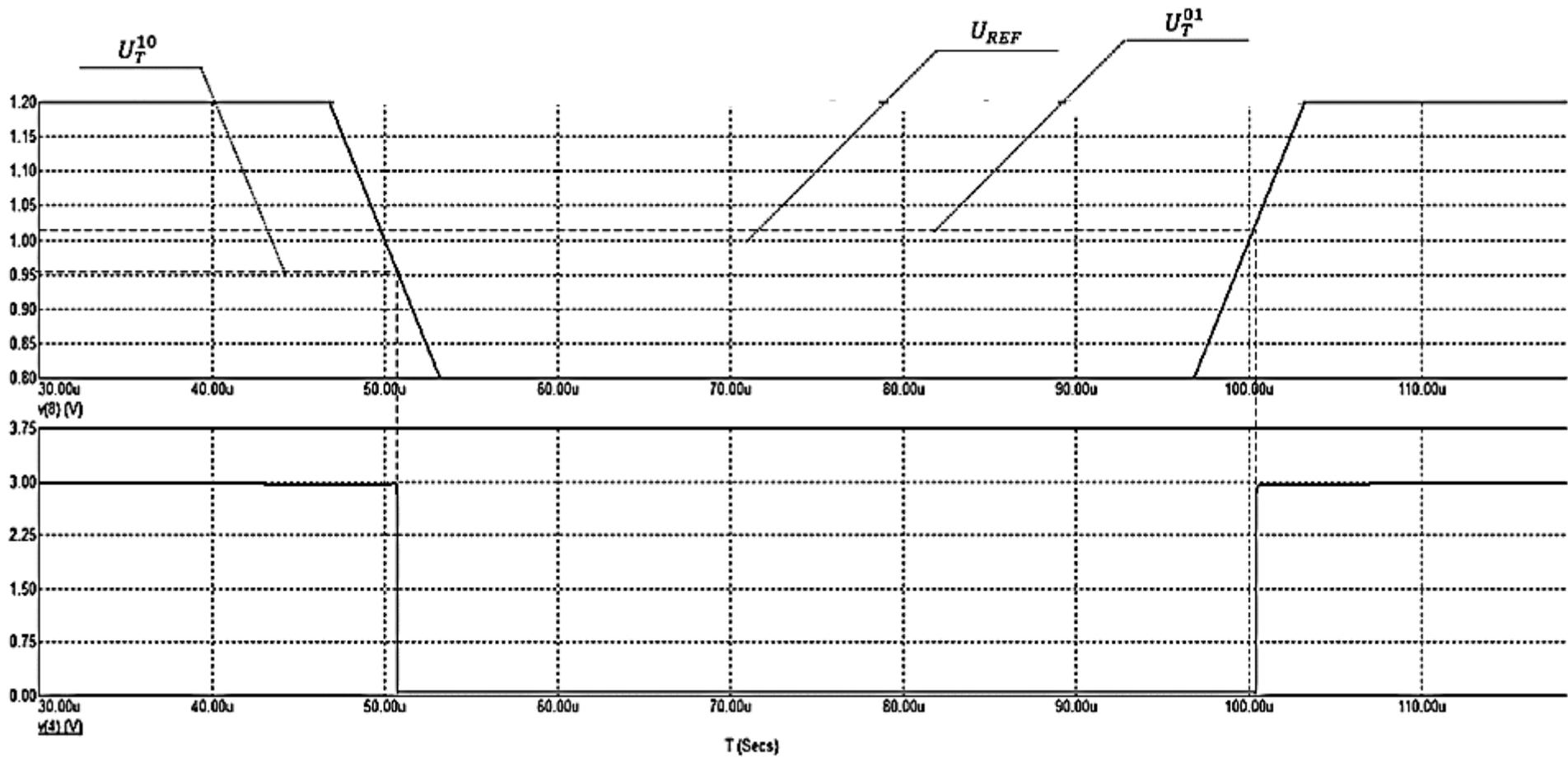
а инвертирующего:

$$U_{HYS} = (U_{AC}^1 - U_{AC}^0)R1/(R1 + R3). \quad (10.6)$$

Как указано в подпункте 10.2.1.3, АК не чувствителен к шумам / помехам, наложенным на полезный сигнал, если их размах не превышает значение гистерезиса. Это свойство АК с ПОС иллюстрирует рис. 10.9, на котором приведен пример временных диаграмм входного и выходного напряжений не инвертирующего АК с ПОС (рис. 10.6а) при наличии шумов / помех с теми же характеристиками, что и на рис. 10.4, и при той же частоте полезного сигнала.

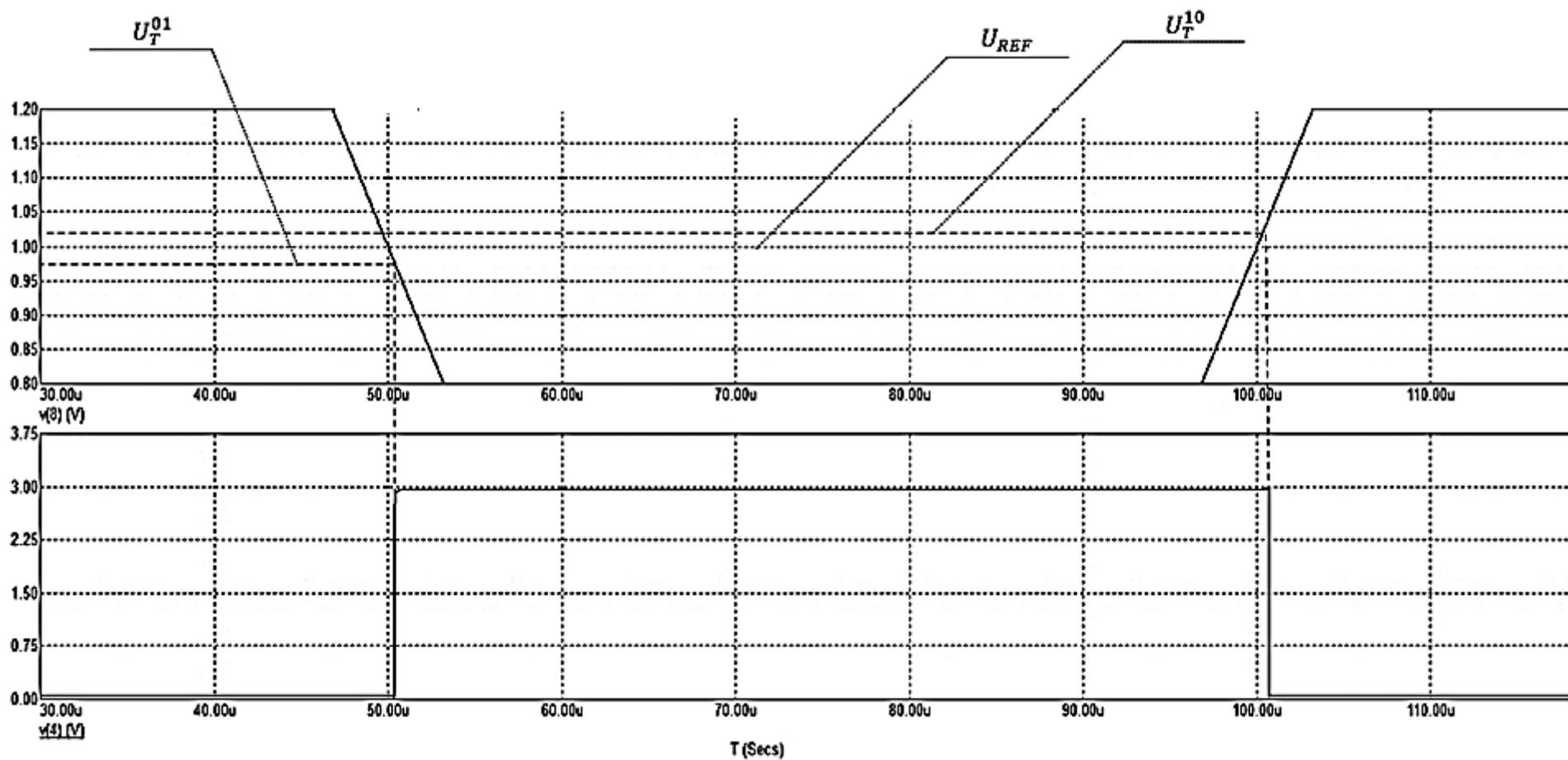
Следует также отметить, что, как видно из выражений (10.5) и (10.6), значением гистерезиса можно управлять, изменяя сопротивление резистора  $R3$  (см. подпункт 10.2.1.7).

**10.2.1.7.** АК, входящие в состав МК общего назначения, в целом, реализуются по функциональным схемам, приведенным на рис. 10.6. Из-за специфики микроэлектронных технологий, резисторы часто выполняются на основе МОП-транзисторов, работающих в режиме сопротивления, управляемого напряжением [22]; см. также пример использования МОП-транзистора в данном режиме в схеме  $RC$ -генератора на рис. 4.3 (транзистор  $V_{T1}$ ). Данный вариант реализации резисторов АК (в первую очередь – резистора ПОС,  $R3$  на рис. 10.6) позволяет программно управлять значением гистерезиса (см. подпункт 10.2.1.8).



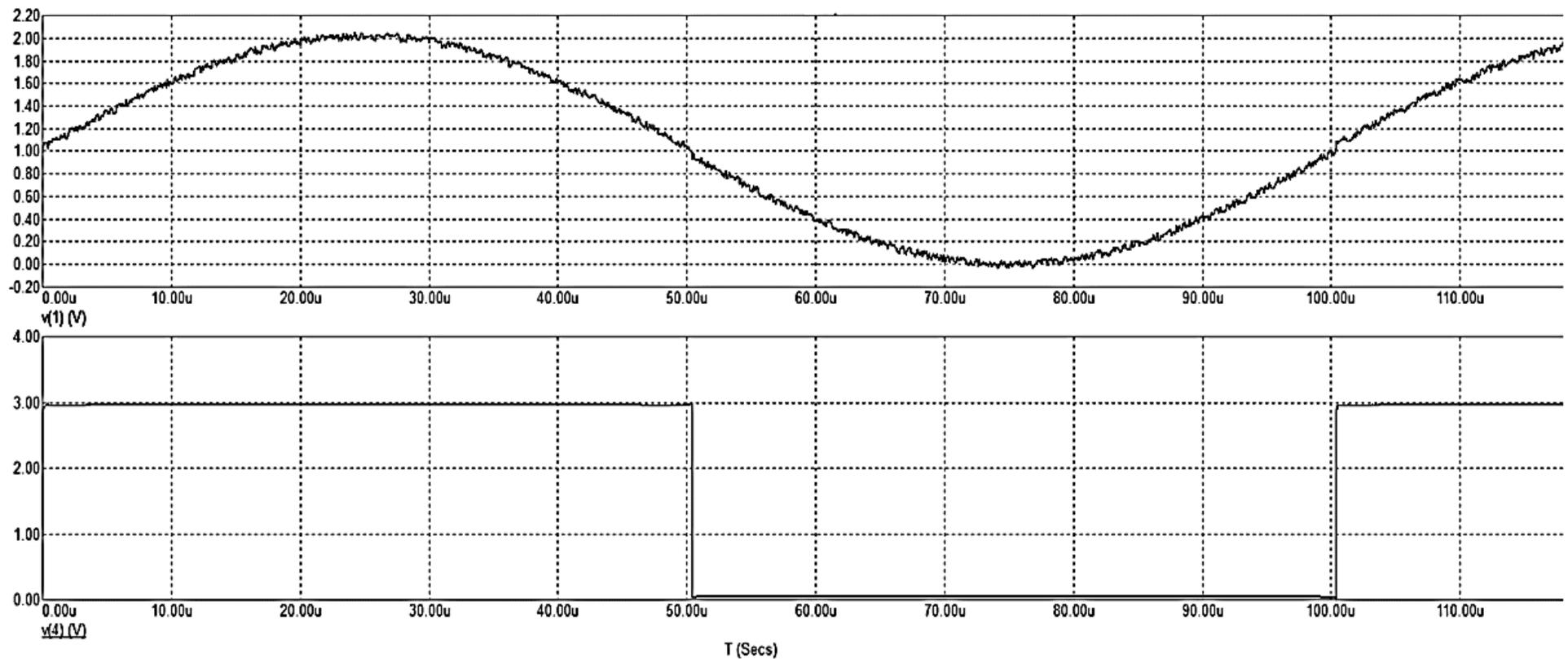
$v(8)$  и  $v(4)$  – входное и выходное напряжение соответственно

**Рис. 10.7.** Пример временных диаграмм входного и выходного напряжений не инвертирующего АК с ПОС (см. пояснения в тексте)



$v(8)$  и  $v(4)$  – входное и выходное напряжение соответственно

**Рис. 10.8.** Пример временных диаграмм входного и выходного напряжений инвертирующего АК с ПОС (см. пояснения в тексте)



$v(1)$  и  $v(4)$  – входное и выходное напряжение соответственно

**Рис. 10.9.** Пример временных диаграмм входного и выходного напряжений не инвертирующего АК с ПОС (рис. 10.6а) при наличии шумов / помех и частоте входного сигнала, равной 10 кГц

**10.2.1.8.** Значение гистерезиса АК, входящих в состав МК общего назначения, может быть как фиксированным, так и программно-управляемым, в зависимости от конкретного семейства / подсемейства / модельного ряда МК. Например, гистерезис АК микроконтроллеров модельного ряда K1986BE92Fxx является фиксированным и равным  $10 \pm 2$  мВ [11]. В свою очередь, гистерезис АК микроконтроллеров семейства *ATxmega* является программно-управляемым (см. подпункт 10.2.1.7) и, в зависимости от содержимого битового поля *HYSMODE* регистра управления АК [54], может быть установлен равным 50, 20 или 0 мВ [55] (последнее из перечисленных значений соответствует отключению ПОС и отсутствию гистерезиса).

**10.2.1.9.** Гистерезис АК, естественно, вызывает **погрешность** сравнения входного напряжения АК с опорным. Максимальное абсолютное значение данной погрешности равно  $\max\{|U_T^{01} - U_{REF}|, |U_T^{10} - U_{REF}|\}$ . Из выражений (10.1) – (10.4), с учетом того, что на практике  $U_{AC}^1 \gg U_{AC}^0$ , следует, что оно составляет:

- для не инвертирующего АК с ПОС (рис. 10.6а) –  $(U_{AC}^1 - U_{REF})R1/R3$  ;

- для инвертирующего АК с ПОС (рис. 10.6б) –  $(U_{AC}^1 - U_{REF})R1/(R1 + R3)$ .

Поскольку сопротивления  $R1$  и  $R3$  АК микроконтроллеров, как правило, не указываются в доступной технической документации, вышеприведенные выражения необходимо привести к виду, пригодному для практического применения. Из выражений (10.5) и (10.6), с учетом вышеприведенного соотношения  $U_{AC}^1 \gg U_{AC}^0$ , несложно сделать выводы, что отношения  $R1/R3$  схемы не инвертирующего компаратора (рис. 10.6а) и  $R1/(R1 + R3)$  – инвертирующего (рис. 10.6б) приближенно равны  $U_{HYS}/U_{AC}^1$ . При этом максимальное значение вызванной гистерезисом абсолютной погрешности сравнения входного и опорного напряжений как не инвертирующего, так и инвертирующего АК с ПОС может быть оценено по выражению:

$$\Delta_{HYS} \approx U_{HYS} \left( 1 - (U_{REF} / U_{AC}^1) \right); \quad (10.7)$$

с приемлемой на практике точностью. Как следует из выражения (10.7),  $\Delta_{HYS}$  тем меньше, чем меньше  $U_{HYS}$  и чем ближе к единице отношение  $U_{REF}/U_{AC}^1$  (заметим, что оно не может быть больше единицы, т. к. использование  $U_{REF}$ , превышающего  $U_{AC}^1$ , фактически равному напряжению питания, не допустимо).

**10.2.1.10.** Максимальное значение абсолютной суммарной погрешности сравнения АК может быть оценено по выражению:

$$\Delta_{AC} = \Delta_{HYS} + |e_{AC}|_{max} \approx U_{HYS} \left( 1 - (U_{REF}/U_{AC}^1) \right) + |e_{AC}|_{max}; \quad (10.8)$$

где  $e_{AC}$  – входное напряжение смещения АК (см. подпункт 10.2.1.17), нормируемое *datasheet* на соответствующую модель МК и равное от нескольких мВ до нескольких десятков мВ (см., например, [11]).

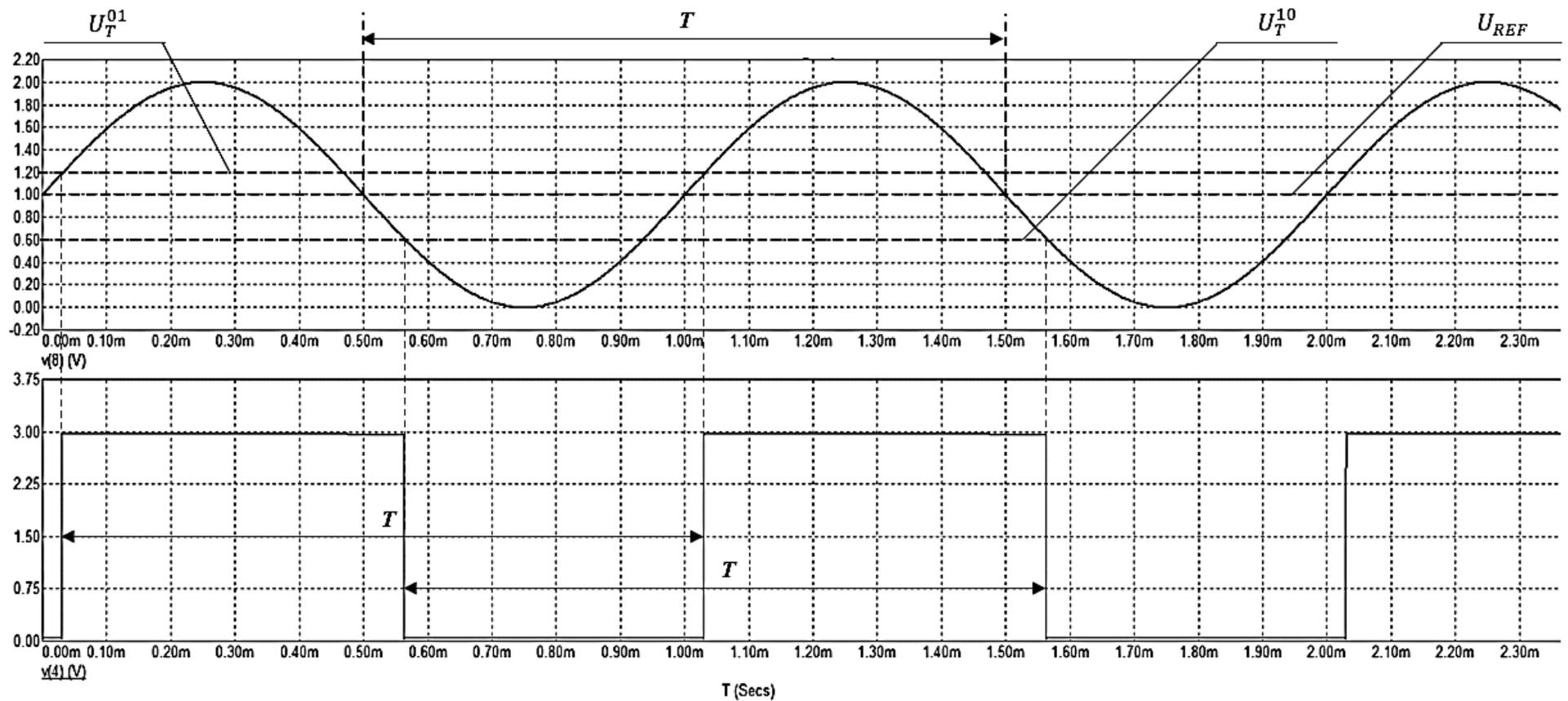
Следует остановиться на том, насколько критична погрешность сравнения при типовых применениях АК.

**10.2.1.11.** Погрешность сравнения, безусловно, должна учитываться, а ее значение быть не выше допустимого при использовании АК для **контроля уровней сигналов**. Основными способами ее снижения, являются:

- снижение  $U_{HYS}$  (если существует возможность управления им, см. например, [55]); при этом необходима и поддержка размаха шумов / помех на уровне, не превышающем  $U_{HYS}$  (например, фильтрацией, экранированием и т. п.);

- усиление контролируемого сигнала до уровня, позволяющего использовать опорное напряжение, при котором отношение  $U_{REF}/U_{AC}^1$  обеспечит приемлемое значение  $\Delta_{AC}$ .

**10.2.1.12.** Погрешность сравнения **не критична** при использовании АК в задачах **преобразования частоты или периода сигнала в цифровой код** (см. рис. 9.25), что иллюстрирует рис. 10.10. На нем приведены временные диаграммы входного и выходного напряжений АК с ПОС при абсолютных значениях разностей  $U_T^{01} - U_{REF}$  и  $U_T^{10} - U_{REF}$ , равных соответственно 20 и 40% от  $U_{REF}$ .



$v(8)$  и  $v(4)$  – входное и выходное напряжение соответственно  
 $T$  – период входного напряжения

**Рис. 10.10.** Временные диаграммы входного и выходного напряжений не инвертирующего АК с ПОС при существенных значениях погрешности сравнения (см. пояснения в тексте)

Из рис. 10.10 нетрудно увидеть, что интервал времени между перепадами как из 0 в 1, так и из 1 в 0 равен периоду входного сигнала АК, несмотря на существенное отклонение порогов срабатывания АК от опорного напряжения. Необходимо, однако, отметить, что:

- естественно, для нормальной работы АК, погрешность сравнения не должна превышать амплитуду сигнала, частота или период которого преобразуются в код;

- для приемлемой точности преобразования частоты или периода сигнала в код, необходимо обеспечение стабильности порогового напряжения срабатывания АК в течение интервалов времени  $\Delta t_R$  или, соответственно,  $T_X$  (см. рис. 9.27 и 9.28б), что, как правило, имеет место на практике.

**10.2.1.13.** При использовании АК в задачах преобразования в код длительности импульса (см. рис. 9.28а) погрешность сравнения вызывает **отклонение** длительности импульса, формируемого на выходе АК, от реальной длительности импульса.

У не инвертирующего АК с ПОС (рис. 10.6а) вызванная гистерезисом составляющая погрешности сравнения приведет к запаздыванию (см. рис. 10.7): фронта выходного импульса на время  $(U_T^{01} - U_{REF})/v_r$ , и спада – на  $(U_{REF} - U_T^{10})/v_f$ , где  $v_r$  и  $v_f$  – соответственно скорость нарастания и спада импульса, длительность которого подлежит преобразованию. Напряжение смещения АК (см. выражение (10.8)) вызовет дополнительное отклонение длительности импульса от реальной, равное  $(-e_{AC}/v_r) + (-e_{AC}/v_f)$ , причем здесь смещение  $e_{AC}$  должно быть взято **со своим знаком** (т. е. отклонение отрицательно при положительном  $e_{AC}$  и положительно – при отрицательном). При этом абсолютная погрешность длительности импульса, формируемого на выходе АК, равна:

$$\Delta t = \pm \left| \frac{U_{REF} - U_T^{10}}{v_f} - \frac{U_T^{01} - U_{REF}}{v_r} - e_{AC} \left( \frac{1}{v_r} + \frac{1}{v_f} \right) \right|.$$

В свою очередь, у инвертирующего АК с ПОС (рис. 10.6б) вызванная гистерезисом составляющая погрешности сравнения приведет к запаздыванию (см. рис. 10.8): фронта выходного

импульса на время  $(U_{REF} - U_T^{01})/v_f$ , и спада – на  $(U_T^{10} - U_{REF})/v_r$ . Напряжение смещения компаратора АК при этом вызовет дополнительную погрешность, равную  $(e_{AC}/v_r) + (e_{AC}/v_f)$ , а абсолютная погрешность длительности формируемого импульса будет равна:

$$\Delta t = \pm \left| \frac{U_{REF} - U_T^{01}}{v_f} - \frac{U_T^{10} - U_{REF}}{v_r} + e_{AC} \left( \frac{1}{v_r} + \frac{1}{v_f} \right) \right|.$$

С учетом соотношений (10.1) – (10.4), а также того, что  $U_{AC}^1 \gg U_{AC}^0$ , а отношения  $R1/R3$  схемы не инвертирующего компаратора (рис. 10.6а) и  $R1/(R1 + R3)$  – инвертирующего (рис. 10.6б) приближенно равны  $U_{HYS}/U_{AC}^1$  (см. подпункт), вышеприведенные выражения для  $\Delta t$  приводятся к следующему виду:

- для не инвертирующего АК с ПОС:

$$\Delta t \approx \pm \left| U_{HYS} \left( \frac{1 - (U_{REF}/U_{AC}^1)}{v_f} - \frac{U_{REF}/U_{AC}^1}{v_r} \right) - e_{AC} \frac{v_r + v_f}{v_f v_r} \right|; \quad (10.9)$$

- для инвертирующего АК с ПОС:

$$\Delta t \approx \pm \left| U_{HYS} \left( \frac{U_{REF}/U_{AC}^1}{v_f} - \frac{1 - (U_{REF}/U_{AC}^1)}{v_r} \right) + e_{AC} \frac{v_r + v_f}{v_f v_r} \right|. \quad (10.10)$$

С учетом того, что  $U_{REF}$  может изменяться в пределах от 0 до напряжения питания, т. е., фактически – до  $U_{AC}^1$ , максимальное значение погрешности  $\Delta t$ , обусловленной гистерезисом, равно  $U_{HYS}/v_f$  при  $v_f < v_r$ , и  $U_{HYS}/v_r$  – в противном случае. В свою очередь, отношение  $(v_r + v_f)/(v_r v_f)$  находится в пределах от  $1/\min\{v_r, v_f\}$  (при  $v_r \ll v_f$  или  $v_r \gg v_f$ ) до  $2/\min\{v_r, v_f\}$  (при  $v_r \approx v_f$ ). Таким образом, пределы абсолютной погрешности длительности импульса, формируемого на выходе как не инвертирующего, так и инвертирующего АК с ПОС, могут быть оценены по следующему выражению:

$$\Delta t \approx \pm \left| \frac{U_{HYS} + 2|e_{AC}|_{max}}{\min\{v_r, v_f\}} \right|. \quad (10.11)$$

Данная погрешность, очевидно, должна быть пренебрежимо мала по сравнению с основной абсолютной погрешностью

преобразования, равной  $\pm 1/f_R$  (см. пояснения к выражениям (9.29) и (9.30)), что гарантированно имеет место при соблюдении условия:

$$\Delta t_{max} \approx \left| \frac{U_{HYS} + 2|e_{AC}|_{max}}{\min\{v_r, v_f\}} \right| \ll 1/f_R. \quad (10.12)$$

С учетом того, что:

- частота  $f_R$  выбирается из условия  $1/(\Delta t_X f_R) < \delta_{max}$ , где  $\delta_{max}$  – максимально допустимая относительная погрешность преобразования;

- минимальное из значений  $v_r$  и  $v_f$  может быть приближенно оценено как отношение  $U_m/\max\{t_r, t_f\}$ , где  $U_m$  – амплитуда импульса,  $t_r$  и  $t_f$  – длительность его фронта и спада соответственно; условие (10.12) может быть сведено к следующему виду:

$$\max\{t_r, t_f\} \ll \frac{U_m \Delta t_X \delta_{max}}{U_{HYS} + 2|e_{AC}|_{max}}. \quad (10.13)$$

Нетрудно увидеть, что условие (10.13) тем проще удовлетворить, чем больше отношение амплитуды импульса к гистерезису и к напряжению смещения АК, т. е. для снижения погрешности  $\Delta t$  входной импульс АК должен быть усилен до максимально возможного значения амплитуды, желательно – близкого к максимально допустимому входному напряжению АК (т. е. к напряжению питания МК). При данном условии неравенство (10.13) может быть удовлетворено в большинстве практических случаев. Например, при  $U_m = 3$  В,  $U_{HYS} = 10$  мВ,  $|e_{AC}|_{max} = 10$  мВ и критерии пренебрежимой малости, равном  $1/3$ , условие (10.13) соблюдается:

- если  $\delta_{max} = 0,01$  – при  $\max\{t_r, t_f\} \leq 0,3\Delta t_X$ ;
- если  $\delta_{max} = 0,001$  – при  $\max\{t_r, t_f\} \leq 0,03\Delta t_X$ ;
- если  $\delta_{max} = 0,0001$  – при  $\max\{t_r, t_f\} \leq 0,003\Delta t_X$ ;

что вполне возможно в большинстве практических случаев.

**10.2.1.14.** При использовании АК в задачах преобразования частотно-временных параметров сигнала (частоты, периода или длительности импульса) в код еще одним потенциальным источником погрешности является наличие времени задержки

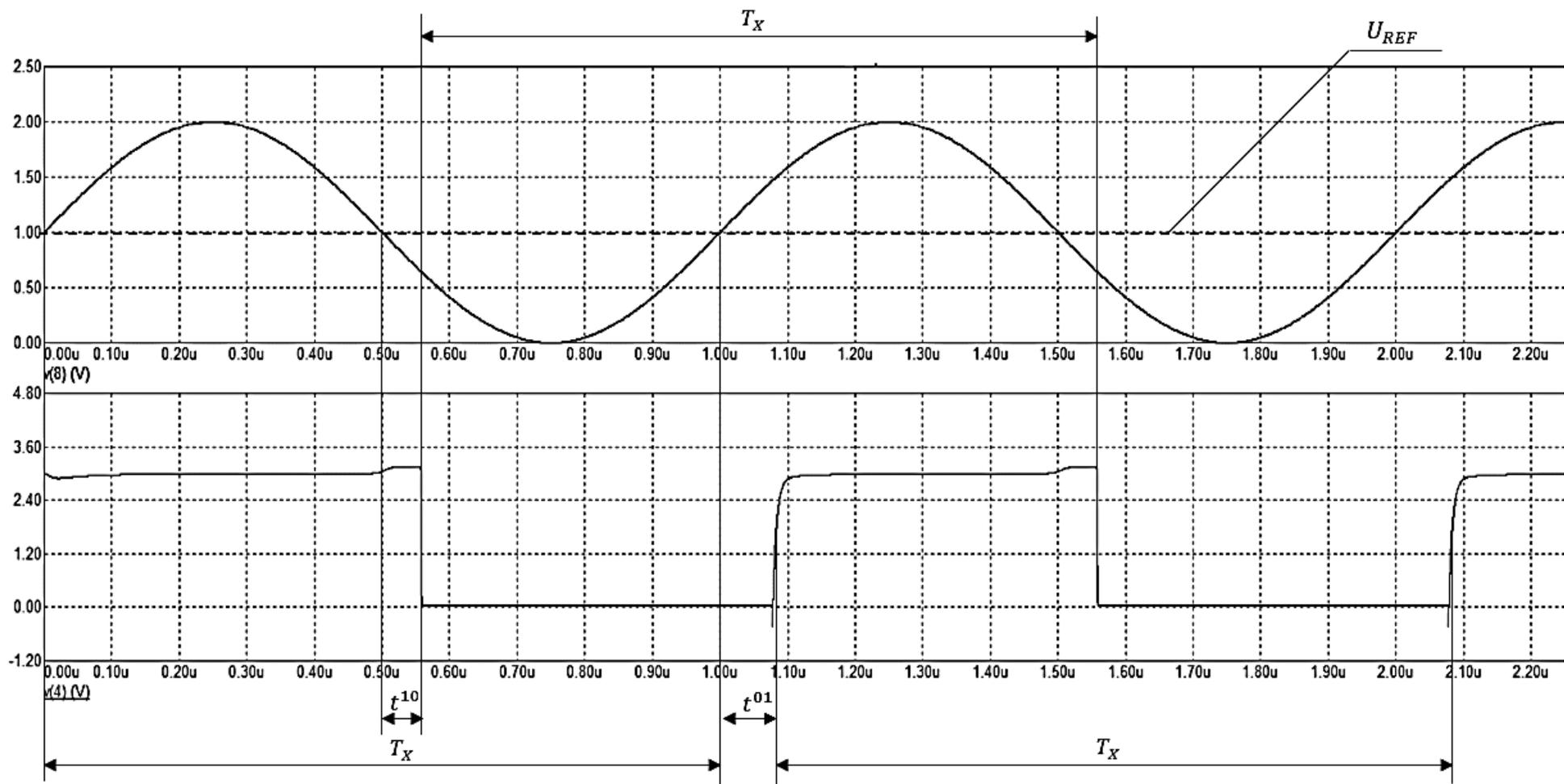
переключения АК, а также не равенство задержек переключения из нулевого состояния в единичное и из единичного – в нулевое (см. пример на рис. 10.11).

Из рис. 10.11 несложно сделать следующие выводы.

Время задержки переключения АК **не влияет** на результат преобразований в код **частоты и периода** сигнала. При ненулевом значении как  $t^{01}$ , так и  $t^{10}$  (в том числе при  $t^{01} \neq t^{10}$ ) длительность интервала времени между перепадами выходных импульсов АК как из 0 в 1, так и из 1 в 0 остается равной периоду входного сигнала,  $T_X$  (см. рис. 10.11); соответственно, остается равной  $1/T_X$  и их частота. Единственным требованием к значениям  $t^{01}$  и  $t^{10}$  при преобразовании частоты или периода в код является их стабильность в течение интервала времени  $\Delta t_R$  или, соответственно,  $T_X$  (см. рис. 9.27 и 9.28б), т. е. пренебрежимо малое изменение  $t^{01}$  или / и  $t^{10}$  по сравнению с  $1/f_X$  (при преобразовании частоты) или с  $1/f_R$  (при преобразовании периода) за интервал  $\Delta t_R$  или  $T_X$ . Данное требование соблюдается практически всегда.

При преобразовании в код **длительности** импульса неравенство задержек переключения  $t^{01}$  и  $t^{10}$  (что, как правило, имеет место) является, наряду с погрешностью сравнения, одним из источников отклонения длительности формируемого импульса от ее реального значения. Суммарное значение данного отклонения при этом находится в пределах  $\Delta t \pm |t^{10} - t^{01}|$ , где  $\Delta t$  – отклонение, вызванное погрешностью сравнения и оцениваемое по выражению (10.11). Значение  $|t^{10} - t^{01}|$  на практике составляет порядка нескольких десятков нс. При условии, что  $|t^{10} - t^{01}| \ll \Delta t$  данной составляющей погрешности можно пренебречь. Если же данное условие не соблюдается (например, при преобразовании в код длительностей относительно коротких импульсов), то может быть применен следующий способ **автоматической коррекции** погрешности, вносимой неравенством значений  $t^{01}$  и  $t^{10}$ .

1. Сконфигурировать какой-либо из каналов одного из таймеров АК на формирование (например, способом ШИМ) импульсов с известной длительностью, в несколько десятков раз большей предполагаемого значения  $|t^{10} - t^{01}|$ , которые назовем калибровочными импульсами.



$v(8)$  и  $v(4)$  – входное и выходное напряжение АК соответственно

$t^{01}$ ,  $t^{10}$  – время задержки переключения выхода АК из нуля в единицу и из единицы в ноль соответственно

**Рис. 10.11.** Временные диаграммы, поясняющие смысл времени задержки переключения АК

2. С периодом порядка нескольких десятков – сотен секунд подавать калибровочные импульсы на вход АК и производить преобразование длительности его выходных импульсов в код. Для снижения случайной погрешности (абсолютное значение которой находится в пределах  $\pm 1/f_R$ , см. подпункт 10.2.1.13) конечный результат преобразования должен быть получен как среднее значение результатов преобразования длительностей  $n$  калибровочных импульсов (см. подпункт 9.5.4.4). Число  $n$  должно удовлетворять условию:

$$1/(f_R \sqrt{n}) \ll |t^{10} - t^{01}|_{typ}; \quad (10.14)$$

где  $|t^{10} - t^{01}|_{typ}$  – типовое значение модуля разности  $t^{10} - t^{01}$ . Поскольку скорости нарастания и спада выходных импульсов таймера высоки, составляющая результата преобразования, обусловленная погрешностью сравнения (см. подпункт 10.2.1.13) при этом пренебрежимо мала. Следовательно, при  $n$ , удовлетворяющем условию (10.14), разность между длительностью импульса, полученной в результате преобразования, и ее действительным значением будет практически равна  $t^{10} - t^{01}$ .

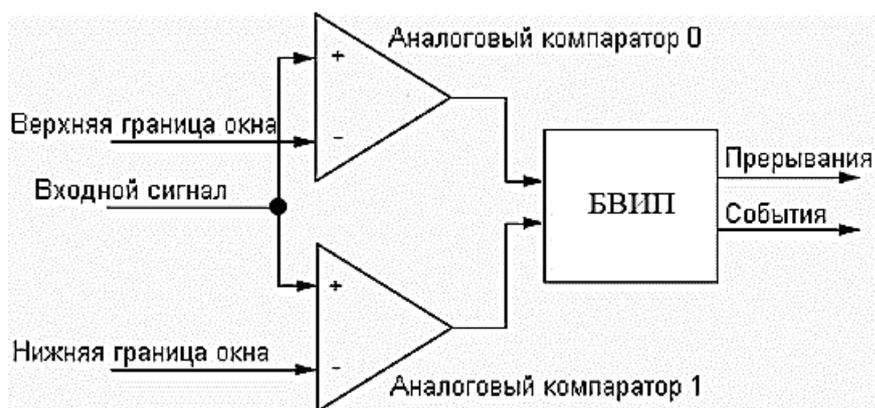
3. Полученную разность использовать в качестве поправки, вычитаемой (**со своим знаком**) из результата преобразования в код изначально неизвестной длительности импульса.

**10.2.1.15.** Все изложенное в подпунктах 10.2.1.1 – 10.2.1.14 в равной мере относится и к АК на компонентах, внешних по отношению к МК, необходимость в которых может возникнуть, например, при отсутствии встроенных АК в составе модели МК, используемой при решении некоторой конкретной задачи.

**10.2.1.16.** При наличии в составе МК двух и более АК возможно формирование на их основе устройства, называемого **оконным детектором**. В качестве его типового примера на рис. 10.12 приведена структурная схема оконного детектора МК семейства *ATxmega* [55]. При необходимости, оба АК могут быть снабжены ПОС (см. подпункт 10.2.1.8). Конфигурирование АК на работу в оконном режиме осуществляется программно [54].

Оконный детектор предназначен для контроля нахождения входного сигнала в пределах «окна», нижняя и верхняя границы

которого равны напряжениям, приложенным к инвертирующим входам соответственно 1-го и 0-го АК. Посредством БВИП формируются запросы на прерывания по одному из следующих событий, в зависимости от программно-задаваемого содержимого битового поля *WINTMODE* регистра управления оконным режимом [54]:



БВИП – блок выбора источника прерываний

Символами «+» и «-» обозначены соответственно не инвертирующий и инвертирующий входы АК

**Рис. 10.12.** Структурная схема оконного детектора МК семейства *ATxmega* [55]

- по превышению уровнем входного сигнала верхней границы окна;
- по снижению уровня выходного сигнала до значения, меньшего нижней границы окна;
- по выходу уровня входного сигнала за пределы как верхней, так и нижней границы окна;
- по возврату уровня входного сигнала в пределы, задаваемые границами окна.

Более подробно общие вопросы реализации оконных детекторов освещены в [23], а типовой пример их архитектуры – в [54].

**10.2.1.17.** Основными нормируемыми параметрами АК, входящих в состав МК, являются [8, 11, 54, 55]:

- входное напряжение смещения, которое проявляет себя как наличие паразитного источника постоянного напряжения порядка единиц – десятков мВ, включенного между входами АК и

являющегося дополнительной аддитивной составляющей погрешности сравнения (см. подпункт 10.2.1.9);

- гистерезис (см. подпункт 10.2.1.6), типовые значения которого равны единицам – десяткам мВ;

- входные токи (типовые значения – десятки нА);

- время задержки переключения, определяемое как длительность интервала времени между моментом совпадения входного напряжения с  $U_T^{10}$  или с  $U_T^{01}$  (у АК без ПОС – с опорным напряжением) и моментом реального переключения выхода АК (типовые значения данной задержки – сотни нс).

**10.2.1.18. Важно отметить, что недопустима подача на входы АК напряжений, превышающих напряжение питания аналоговой части МК или меньших нуля. Если сигналы, подлежащие контролю или преобразованию посредством АК, не удовлетворяют данному требованию, их необходимо подавать на входы АК через устройства сопряжения (см. пункт 10.5.1).**

**10.2.1.19.** Интересно отметить, что АК может рассматриваться как АЦП с разрядностью результата преобразования, равной одному биту. По крайней мере, один АК входит в структуру практически всех известных классов АЦП (см. подраздел 10.3).

## **10.2.2. Типовые примеры структуры и архитектуры блоков аналоговых компараторов МК общего назначения**

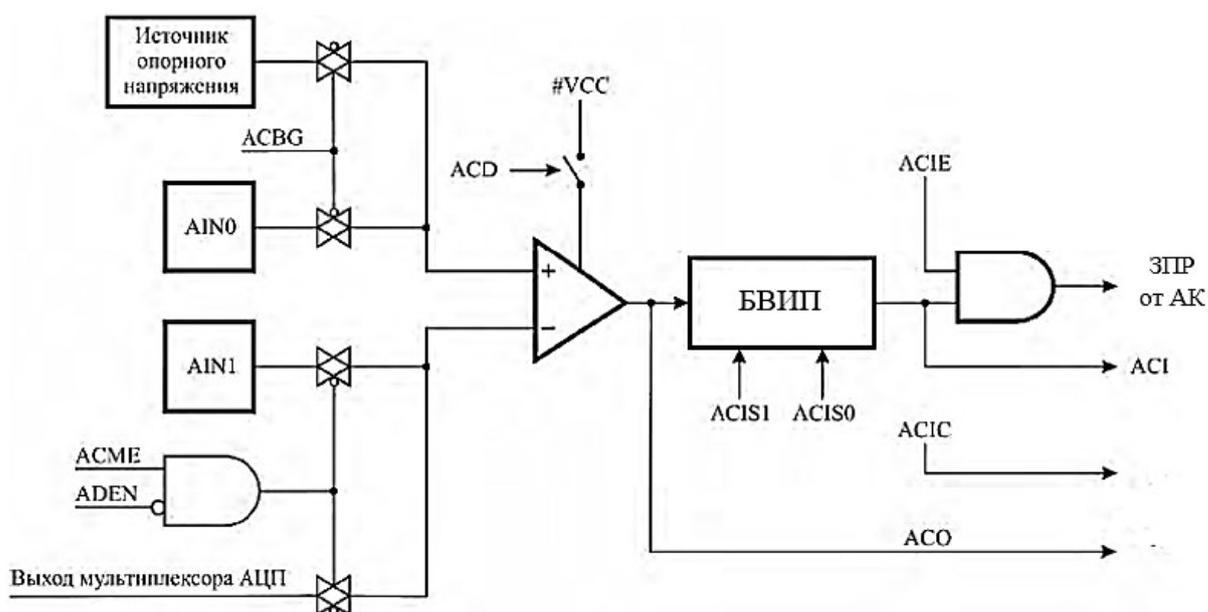
**10.2.2.1.** Показательными примерами структурно-архитектурных решений блоков АК, входящих в состав МК общего назначения, являются:

- блок АК микроконтроллеров подсемейства *ATmega* (см., например, [8]);

- блок АК микроконтроллеров семейства *ATxmega* [54, 55].

В совокупности, структура и архитектура данных блоков включает в себя все **основные решения**, характерные для блоков АК микроконтроллеров в целом.

**10.2.2.2.** Типовая структурная схема блока АК микроконтроллера подсемейства *ATmega* (на примере МК *ATmega128 / 1887BE7T* [8]) приведена на рис. 10.13.

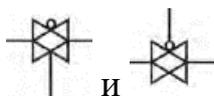


БВИП – блок выбора источника прерываний

ЗПР от АК – запрос на прерывание от АК

Остальные аббревиатуры – см. рис. 10.14 и текст

Символами «+» и «-» обозначены соответственно не инвертирующий и инвертирующий входы АК



Символы  и  являются, по стандартам ряда фирм-производителей МК, условными обозначениями аналогового ключа, замыкаемого соответственно единичным и нулевым уровнем напряжения на управляющем входе

**Рис. 10.13.** Типовая структурная схема блока АК микроконтроллера подсемейства *ATmega* (на примере МК *ATmega128 / 1887BE7T* [8])

Основными функциональными узлами блока АК являются:

- собственно АК;
- высокостабильный источник опорного напряжения (ИОН), реализованный по схеме *Bandgap Reference* [23]; его выходное напряжение (номинальное значение – 1,2 В) равно отношению ширины запрещенной зоны кремния (*Bandgap*) к заряду электрона; выход данного источника может также быть подключен, под управлением ПО, ко входу АЦП (см. подпункт 10.3.9.10) при его калибровке;
- регистр управления и статуса блока АК, *ACSR* (на рис. 10.13 не показан), формат которого представлен на рис. 10.14.

Бит	7	6	5	4	3	2	1	0	ACSR
	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	
Доступ	Ч/З	Ч/З	Ч	Ч/З	Ч/З	Ч/З	Ч/З	Ч/З	
Начальное значение	0	0	-	0	0	0	0	0	

**Рис. 10.14.** Формат регистра управления и статуса блока аналогового компаратора МК *ATmega128 / 1887BE7T* [8] (пояснения приведены в тексте)

Функцию входов *AIN0* и *AIN1* блока АК выполняют, как альтернативную, определенные выходы ПВВ МК. У МК *ATmega128 / 1887BE7T* ими являются соответственно 2-й и 3-й выходы ПВВ *E*. Для их использования в качестве *AIN0* и *AIN1* они, естественно, должны быть сконфигурированы на выполнение альтернативной функции аналогового входа (см. табл. 6.1).

Структура и архитектура блока АК микроконтроллеров подсемейства *ATmega* предоставляют **следующие функциональные возможности.**

АК может быть включены по схеме как **не инвертирующего**, так и **инвертирующего** компаратора. При **не инвертирующем** включении входной сигнал подается на вывод *AIN0*, который при этом должен быть отключен от выхода ИОН записью нуля в бит *ACBG* регистра *ACSR*. Опорное напряжение при этом подается с выхода некоторого внешнего источника, подключаемого к выводу *AIN1*. Более широкие функциональные возможности обеспечивает включение АК по схеме **инвертирующего** компаратора. При этом не инвертирующий вход АК подключается или к выводу внутреннего ИОН, или, при необходимости использования опорного напряжения, отличного от 1,2 В – к выводу внешнего ИОН, которое подается на вывод *AIN0*. В первом случае бит *ACBG* должен быть установлен в единицу, во втором – сброшен в ноль. На инвертирующий вход АК подается или напряжение с вывода *AIN1*, или выходной сигнал мультиплексора блока АЦП (см. рис. 10.33). Последнее возможно только при нулевом состоянии бита разрешения работы АЦП (*ADEN*), расположенного в его регистре управления статуса (см. рис. 10.35), и единичном состоянии бита *ACME* (*Analog Comparator Multiplexer Enable*) регистра *SFIOR*

(*Special Function IO Register*). В этом случае в качестве входного сигнала АК может быть выбран (посредством битового поля  $MUX[4:0]$  регистра управления мультиплексором АЦП, см. рис. 10.34) входной сигнал любого из 8-и каналов АЦП (см. рис. 10.33). Также возможна работа АК в режиме опроса (сканирования) входных напряжений по нескольким каналам (до 8-и). Естественно, при использовании мультиплексора АЦП в качестве источника входного сигнала АК, подача на вывод  $AIN1$  какого-либо сигнала, внешнего по отношению к МК, **недопустима**.

**Примечание 1.** АК может быть использован для сравнения **2-х напряжений** (в т. ч. переменных), одно из которых при этом используется в качестве внешнего опорного.

**Примечание 2.** При необходимости, инвертирующий компаратор может быть преобразован в не инвертирующий, **программной** инверсией состояния выхода, без каких-либо дополнительных аппаратурных затрат или изменений схемы включения.

**Текущее состояние** выхода АК отображается в программно-доступном для чтения бите  $ACO$  (*Analog Comparator Output*) регистра  $ACSR$  (см. рис. 10.14).

Блок АК может быть **источником прерываний**. Выбор события, формирующего запрос на прерывание, осуществляется 2-битовым полем  $ACIS$  (*Analog Comparator Interrupt Mode Select*) регистра  $ACSR$ . При  $ACIS = 00$  источником прерывания является любое изменение состояние выхода АК на противоположное, при  $ACIS = 10$  – переключение выхода АК из единичного в нулевое состояние, при  $ACIS = 11$  – из нулевого в единичное. Состояние 01 битового поля  $ACIS$  зарезервировано. Разрешение прерываний от блока АК осуществляется установкой в единицу бита  $ACIE$  (*Analog Comparator Interrupt Enable*) регистра  $ACSR$ . По наступлении события, выбранного битовым полем  $ACIS$ , устанавливается в единицу бит признака данного события,  $ACI$  (*Analog Comparator Interrupt*) регистра  $ACSR$ . Если прерывания запрещены, данный бит может использоваться для программного контроля наличия или отсутствия соответствующего события. Аналогично признакам событий – источников прерываний всех блоков МК семейства  $AVR$ ,

при переходе к подпрограмме обслуживания прерывания от АК бит *ACI* сбрасывается автоматически, а при запрете прерываний – записью в него **единицы** прикладным ПО.

Бит *ACIC* (*Analog Comparator Input Capture Enable*) регистра *ACSR* управляет входным мультиплексором **канала захвата** 16-битовых таймеров (см. рис. 9.32). При нулевом состоянии данного бита захват инициируется сигналом, поступающим на вывод *ICP*, а при единичном – выходным сигналом АК, что позволяет преобразовывать в код период или длительность аналоговых сигналов (см. пункт 9.4.3), за счет формирования из них, посредством АК, цифровых импульсов с периодом  $T_x$  или, соответственно, с длительностью  $\Delta t_x$  (см. рис. 9.28, а также рис. 10.10 и 10.11).

Если блок АК не используется, его питание может быть **отключено**. Отключение осуществляется установкой в единицу бита *ACD* (*Analog Comparator Disable*) регистра *ACSR* (см. рис. 10.13 и 10.14). Перед отключением питания блока АК прерывания от него должны быть **запрещены** (т. е. бит *ACIE* регистра *ACSR* должен быть сброшен), иначе отключение вызовет несанкционированное прерывание от блока АК.

**10.2.2.3.** Рассмотрим далее второй типовой пример структурно-архитектурных решений блока АК микроконтроллера общего назначения – структуру и архитектуру блока АК микроконтроллеров семейства *ATxmega* [55].

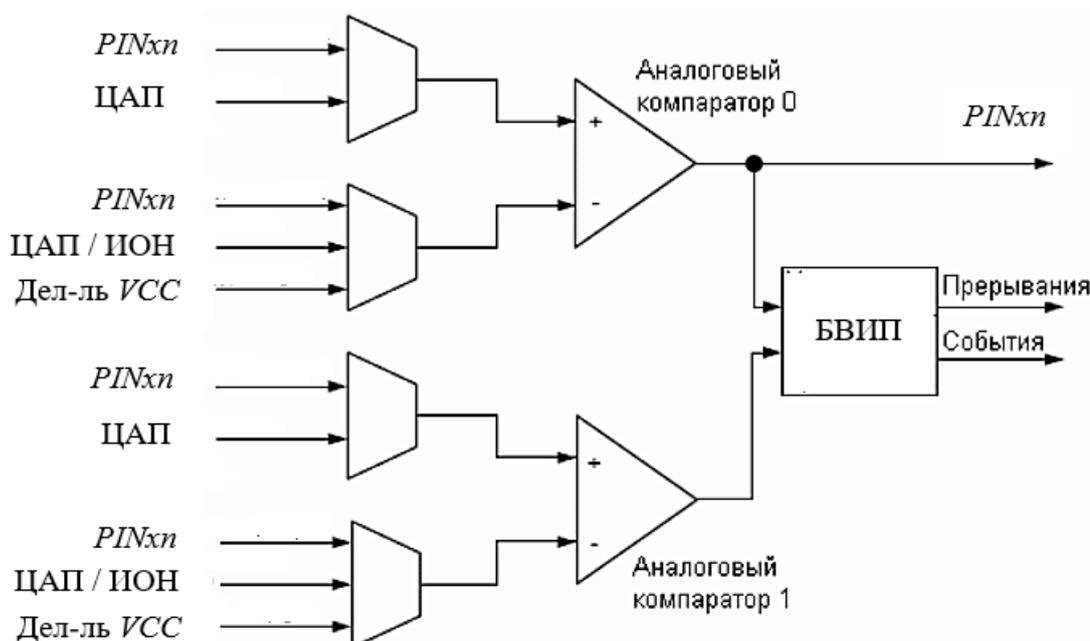
Типовой пример структурной схемы блока АК микроконтроллера семейства *ATxmega* приведен на рис. 10.15.

В состав большинства моделей МК семейства *ATxmega* входят два и более блока АК, реализованных по структурной схеме, аналогичной представленной на рис. 10.15. Как правило, каждый из блоков АК «приписан» к определенному ПВВ, т. е. для подачи на него внешних по отношению к МК сигналов, а также для выдачи выходного сигнала 0-го АК (см. рис. 10.15) могут использоваться только выводы некоторого определенного ПВВ.

Основными функциональными узлами блока АК микроконтроллера *ATxmega* являются:

- два АК (0-й и 1-й);

- входные программно-управляемые мультиплексоры, посредством которых осуществляется выбор сигналов, подаваемых на входы АК;
- программно-управляемый блок выбора источника прерываний (БВИП) от АК.
- регистры статуса и управления (на рис. 10.15 не показаны).



**Рис. 10.15.** Типовой пример структурной схемы блока АК микроконтроллера семейства *ATxmega* [55] (пояснения приведены в тексте)

Функциональные возможности, предоставляемые блоком АК микроконтроллеров семейства *ATxmega*, несколько шире, чем у блока АК подсемейства *Atmega* (см. подпункт 10.2.2.2).

АК микроконтроллеров семейства *ATxmega*, как и МК подсемейства *Atmega*, могут быть включены по схеме как **не инвертирующего**, так и **инвертирующего** компаратора. **Выбор сигналов**, подаваемых на плюс- и на минус-входы (не инвертирующий и инвертирующий) 0-го АК, осуществляется посредством мультиплексоров, управляемых битовыми полями *MUXPOS* и *MUXNEG* соответственно регистра *AC0MUXCTRL*, а на входы 1-го АК – битовыми полями *MUXPOS* и *MUXNEG* регистра *AC1MUXCTRL*. В качестве сигнала, подаваемого на плюс-вход (см. рис. 10.15), может быть выбрано или напряжение на некотором

выводе *PINxn* ПВВ, к которому «приписан» соответствующий блок (при не инвертирующем включении АК), или выходное напряжение встроенного ЦАП МК (служащее программно-управляемым опорным напряжением АК при его инвертирующем включении). На минус-вход АК, при его инвертирующем включении, подается напряжение на некотором выводе *PINxn* ПВВ, за которым закреплен блок АК, а при не инвертирующем включении АК, в качестве опорных – выходное напряжение ЦАП, или внутреннего *Bandgap*-ИОН МК, или программно-управляемого делителя напряжения питания, *VCC*. Его коэффициент деления задается 6-битовым полем *SCALEFAC* одного из регистров управления блоком АК, и может принимать значения от 1/64 до 63/64. Естественно, выводы *PINxn*, используемые для подачи внешних входных сигналов АК, должны быть сконфигурированы на выполнение альтернативной функции аналогового входа.

Текущее состояние **выхода** каждого из АК отображается в регистре статуса блока АК. Также выходной сигнал 0-го АК может быть подан на выделенный для данной цели вывод ПВВ, к которому «приписан» соответствующий блок АК (при условии, что установлен в единицу расположенный в одном из регистров управления бит *AC0OUT* разрешения подачи выходного сигнала 0-го АК на внешний вывод МК). Данная опция может быть полезна, например, при использовании выходного сигнала АК для управления ИУ.

**Гистерезис** АК микроконтроллеров семейства *ATxmega* является программно-управляемым (см. подпункт 10.2.1.8).

Блок АК микроконтроллеров семейства *ATxmega* может быть сконфигурирован на работу в режиме **оконного детектора** (подробнее - см. подпункт 10.2.1.16). Конфигурирование осуществляется установкой в единицу бита *WEN* регистра управления оконным режимом (*WINCTRL*). Текущее состояние оконного детектора отображается в битовом поле *WSTATE* регистра статуса блока АК. Если уровень входного сигнала превышает верхнюю границу «окна», содержимое данного поля равно 00; если он меньше нижней границы – 10; а если находится в пределах «окна» - 01; значение 11 битового поля *WSTATE* зарезервировано.

Блок АК микроконтроллеров семейства *ATxmega*, как и МК семейства *Atmega*, может быть источником **прерываний** (если они разрешены). В таблице векторов прерываний МК семейства *ATxmega* выделены по три позиции под прерывания от каждого из блоков АК: под прерывание от 0-го АК, от 1-го АК и от оконного детектора соответствующего блока АК. Соответственно, каждому из данных прерываний выделен начальный адрес подпрограммы его обслуживания. В свою очередь, каждое из перечисленных прерываний может вызываться различными событиями: прерывания от 0-го и 1-го АК – перепадом из 0 в 1, из 1 в 0 или любым перепадом сигнала на его выходе; события – источники прерываний от оконного детектора перечислены в подпункте 10.2.1.16. Задание конкретного события, являющегося источником прерывания от 0-го АК, осуществляется битовым полем *INTMODE* регистра управления 0-м АК (*AC0CTRL*), а события – источника прерывания от 1-го АК – аналогичным битовым полем регистра управления 1-м АК (*AC1CTRL*). Событие, являющееся источником прерываний от оконного детектора, назначается битовым полем *WINTMODE* регистра управления оконным детектором (*WINCTRL*), см. подпункт 10.2.1.16.

Поскольку для системы прерываний МК семейства *ATxmega* характерна многоуровневая статическая приоритезация (см. подпункт 7.2.2.2), каждому из 3-х прерываний от блока АК должен быть присвоен **уровень приоритета**. Прерываниям от 0-го и от 1-го АК он назначается битовым полем *INTLVL* регистра *AC0CTRL* и, соответственно, *AC1CTRL*; прерыванию от оконного детектора – битовым полем *WINTLVL* регистра *WINCTRL*. Записью кода 00 в какое-либо из названных битовых полей соответствующее прерывание **запрещается**; однако, факт наличия или отсутствия события, выбранного в качестве источника прерывания от 0-го и 1-го АК и от оконного детектора, всегда отображается в регистре статуса блока АК, в битах *AC0IF*, *AC1IF* и *WIF* соответственно. Как и в МК семейства *AVR*, если разрешено прерывание по событию, признаком которого является соответствующий бит, он автоматически сбрасывается при переходе к подпрограмме

обслуживания прерывания. При запрете прерывания бит сбрасывается записью в него единицы.

В заключение необходимо отметить, что для функционирования 0-го и 1-го компараторов блока АК их работа должна быть **разрешена** установкой в единицу бита *ENABLE* регистра *AC0CTRL* и, соответственно, *AC1CTRL*. Все процедуры конфигурирования блока АК должны быть выполнены **до** разрешения работы.

### **10.2.3. Пример программного модуля с использованием блока АК**

**10.2.3.1.** В качестве простого примера использования встроенного АК микроконтроллера в данном пункте рассмотрено применение АК микроконтроллера *Atmega128 / 1887BE7T* [8] для мониторинга выходного напряжения датчика температуры в рабочей камере некоторой технологической установки. В качестве ИУ, управляемых по результатам мониторинга, служат нагреватель, вентилятор и два светодиода, один из которых включается в режиме нагрева, другой – в режиме охлаждения. Если выходное напряжение датчика превышает напряжение уставки, нагреватель и светодиод-индикатор режима нагрева отключаются, и производится включение вентилятора, а также светодиода-индикатора режима охлаждения. По снижении выходного напряжения датчика до значения, меньшего напряжения уставки на величину гистерезиса, вентилятор и светодиод-индикатор режима охлаждения отключаются, и включаются нагреватель и светодиод-индикатор режима нагрева.

Контролируемое напряжение подается на не инвертирующий вход АК. Напряжение уставки, с которым сравнивается контролируемое напряжение в процессе мониторинга, задается 4-битовым кодом, посредством микропереключателей с фиксацией, подключенных по приведенной на рис. 6.7 схеме к выводам с 0-го по 3-й ПВВ С МК. Считывание кода уставки производится по нажатию клавиши, подключенной к 0-му выводу ПВВ D. Формирование напряжения уставки в соответствии с данным кодом осуществляется способом ШИМ. Сигнал ШИМ формируется на выходе канала В 3-го таймера МК, и через сглаживающий ФНЧ подается на

инвертирующий вход АК. Пределы изменения напряжения уставки – от  $2U_{\text{ВЫХ}}^1/16$  до  $15U_{\text{ВЫХ}}^1/16$ , с шагом  $U_{\text{ВЫХ}}^1/16$ , где  $U_{\text{ВЫХ}}^1$  – выходное напряжение лог. единицы ПВВ.

Напряжение гистерезиса равно  $U_{\text{ВЫХ}}^1/16$ .

Управление драйверами нагревателя и вентилятора осуществляется сигналами с 0-го и с 1-го выводов ПВВ В МК, управление светодиодами-индикаторами режимов нагрева и охлаждения – сигналами с 6-го и с 7-го выводов того же ПВВ. Включение нагревателя, вентилятора и светодиодов производится единичным уровнем на соответствующем выводе, отключение – нулевым.

МК тактируется ГТИ с внешним ПЭР. Частота тактовых импульсов – 8 МГц. Использование дополнительного низкочастотного ГТИ с ПЭР (см. рис. 4.14) не предусмотрено.

**10.2.3.2.** Алгоритм мониторинга и управления ИУ по его результатам следующий.

1. По включении питания:

- опорное напряжение АК устанавливается равным минимальному напряжению уставки,  $2U_{\text{ВЫХ}}^1/16$ ;
- в качестве события, генерирующего запрос на прерывание от АК, назначается перепад из 0 в 1 на его выходе (т. е. превышение напряжения уставки выходным напряжением датчика);
- включаются нагреватель и светодиод-индикатор режима нагрева, при отключенных вентиляторе и индикаторе режима охлаждения.

2. МК переходит в режим ожидания запросов на прерывания от АК или по линии *INT0* (т. е. по вводу нового кода уставки).

3. Прерывание от АК обрабатывается по следующему алгоритму.

3.1. Формируется интервал задержки длительностью 1 с, с целью надежного определения состояния выхода АК, с минимизацией влияния «дребезга» выходного сигнала АК на результат считывания;

3.2. По истечении интервала задержки считывается состояние выхода АК.

3.3. Если выход АК находится в единичном состоянии, а в качестве источника прерывания назначен перепад выходного

сигнала АК из 0 в 1 – произошло превышение напряжения уставки выходным напряжением датчика, и выполняются следующие операции:

- опорное напряжение АК уменьшается на значение гистерезиса, т. е. на  $U_{\text{ВЫХ}}^1/16$ ;

- нагреватель и светодиод-индикатор режима нагрева выключаются, после чего, с задержкой в 1 с, включаются вентилятор и светодиод-индикатор режима охлаждения;

- в качестве источника прерывания от АК назначается перепад выходного сигнала АК из 1 в 0, т. е. снижение выходного напряжения датчика до значения, меньшего уставки на напряжение гистерезиса;

- осуществляется выход из подпрограммы обслуживания прерывания.

3.4. Если выход АК находится в нулевом состоянии, а в качестве источника прерывания назначен перепад выходного сигнала АК из 1 в 0 – выходное напряжение датчика снизилось до значения, меньшего напряжения уставки на величину гистерезиса, и выполняются следующие операции:

- опорное напряжение АК увеличивается на значение гистерезиса, т. е. на  $U_{\text{ВЫХ}}^1/16$ ;

- вентилятор и светодиод-индикатор режима охлаждения выключаются, после чего, с задержкой 1 с, включаются нагреватель и светодиод-индикатор режима нагрева;

- в качестве источника прерывания от АК назначается перепад выходного сигнала АК из 0 в 1, т. е. превышение напряжения уставки выходным напряжением датчика;

- осуществляется выход из подпрограммы обслуживания прерывания.

3.5. Если не выполняется ни одно из условий, указанных в пунктах 3.3 и 3.4 – устойчивого изменения состояния выхода АК не произошло. Никаких действий по изменению опорного напряжения и состояния ИУ при этом не выполняется, и производится выход из подпрограммы обслуживания прерывания.

4. Прерывание по входу  $INT0$ , т. е. по вводу нового кода уставки, обрабатывается по следующему алгоритму.

4.1. Осуществляется считывание кода уставки с выводов *PC0* – *PC3* ПВВ С. Если считанное значение меньше минимально допустимого (0010<sub>2</sub>) – коду уставки присваивается значение 0010<sub>2</sub>, т. е. 2.

4.2. Если новое значение уставки больше предыдущего, и включен вентилятор:

- опорное напряжение АК устанавливается соответствующим коду уставки;

- вентилятор и светодиод-индикатор режима охлаждения выключаются, после чего, с задержкой 1 с, включаются нагреватель и светодиод-индикатор режима нагрева;

- в качестве источника прерывания от АК назначается перепад выходного сигнала АК из 0 в 1;

- осуществляется выход из подпрограммы обслуживания прерывания.

4.3. Если новое значение уставки меньше предыдущего, и включен нагреватель:

- опорное напряжение АК устанавливается соответствующим коду уставки, уменьшенному на единицу;

- нагреватель и светодиод-индикатор режима нагрева выключаются, после чего, с задержкой 1 с, включаются вентилятор и светодиод-индикатор режима охлаждения;

- в качестве источника прерывания от АК назначается перепад выходного сигнала АК из 1 в 0;

- осуществляется выход из подпрограммы обслуживания прерывания.

4.4. Если новое значение уставки больше предыдущего, и включен нагреватель:

- опорное напряжение АК устанавливается соответствующим коду уставки;

- осуществляется выход из подпрограммы обслуживания прерывания.

4.5. Если новое значение уставки меньше предыдущего, и включен вентилятор:

- опорное напряжение АК устанавливается соответствующим коду уставки, уменьшенному на единицу;

- осуществляется выход из подпрограммы обслуживания прерывания.

**Примечание.** Задержки длительностью 1 с между переключениями из режима нагрева в режим охлаждения и обратно введены во избежание перегрузок по питанию.

**10.2.3.3.** Параметры конфигурации 3-го таймера, формирующего (в режиме ШИМ) опорное напряжение АК, выбраны следующими.

Для минимизации времени установления сглаживающего ФНЧ, период ШИМ-сигнала выбран минимально возможным при заданном диапазоне и шаге изменения опорного напряжения (см. подпункт 10.2.3.1), и равным  $16/f_T$ , где  $f_T$  – частота тактирования МК. Поскольку  $f_T = 8$  МГц,  $16/f_T = 2$  мкс. При таком значении периода ШИМ-сигнала ФНЧ 1-го порядка (см. подпункт 9.3.2.2) с частотой среза, равной 200 Гц и временем установления до 0,999 от установившегося значения, равным 35 мс, обеспечивает размах пульсации менее 0,0003% от  $U_{\text{вых}}^1$  при коэффициенте заполнения ШИМ-сигнала, равном 50%, характеризуемом максимальным значением приведенной пульсации (см. табл. 9.5).

Реализация ШИМ с периодом сигнала, равным  $16/f_T$ , и шагом изменения коэффициента заполнения, равным 1/16 (см. подпункт 10.2.3.1) возможна только при работе 3-го таймера в режиме 14 или 15 (см. табл. 3.61 Руководства [8]) – «быстрая» (асимметричная) ШИМ с верхним пределом счета, равным содержимому регистров *ICR3* или *OCR3A* соответственно. В рассматриваемом примере выбран режим 15.

Тактирование счетчика 3-го таймера производится выходным сигналом ГТИ МК, коэффициент деления предделителя (см. табл. 9.2) равен 1. Код уставки записывается в регистр *OCR3B*.

Отметим, что использование 8-битовых таймеров МК *Atmega128* / *1887BE7T* для формирования ШИМ-сигнала с периодом  $16/f_T$  невозможно, т. к. верхний предел счета данных таймеров при работе в режиме ШИМ фиксирован и равен 255 [8].

**10.2.3.4.** Для формирования интервала задержки длительностью 1 с используется 1-й (16-битовый) таймер МК. Использование для данной цели 8-битовых таймеров при тактовой частоте МК, равной

8 МГц, и неприменении НЧ-ГТИ с ПЭР (см. подпункт 10.2.3.1) невозможно, т. к. при этом максимальная длительность задержки, которая может быть сформирована 8-битовым таймером МК применяемой модели, равна  $2^8 / (8 \text{ МГц} / 1024) = 32,768 \text{ мс}$  (здесь 1024 – максимальный коэффициент деления предделителя, см. табл. 9.2). В то же время максимальная длительность задержки, формируемой 16-битовым таймером при тех же тактовой частоте МК и коэффициенте деления предделителя, равна  $2^{16} / (8 \text{ МГц} / 1024) = 8,388608 \text{ с}$  (2,097152 с при коэффициенте деления, равном 256).

Формирование задержки реализуется по алгоритму, описанному в подразделе 9.2. Счетчик работает в режиме прямого счета, коэффициент деления предделителя выбран равным 256,  $f_{CNT} = 8 \text{ МГц} / 256 = 31,25 \text{ кГц}$ . В соответствии с выражением (9.1), учитывая, что  $N_{TOP} = 2^{16} - 1 = 65535$ , а  $\Delta t = 1 \text{ с}$ , загружаемое в счетчик стартовое содержимое,  $N$ , равно 34285.

**10.2.3.5.** Далее представлен текст программного модуля, реализующего алгоритм мониторинга и управления, приведенный в подпункте 10.2.3.2. *IDE – Atmel Studio 7*. Уровень программирования – регистровый, представление операндов – числовое (см. подпункт 2.6.1.14 и Приложение В).

```
//Подключение библиотеки моделей ПУ МК семейства AVR
```

```
#include <avr/io.h>
```

```
/*
```

```
Подключение библиотеки стандартных функций обработки прерываний МК семейства AVR
```

```
*/
```

```
#include <avr/interrupt.h>
```

```
/*
```

```
Объявление функции (подпрограммы) формирования интервала времени длительностью 1 с
```

```
*/
```

```
void tdel(void);
```

```
/*
```

```
Объявление 8-битовой переменной x, которой присваивается код уставки при его считывании
```

```
*/
```

```

char x;
/////////////////////////////////////////////////////////////////
/*
Подпрограмма формирования интервала времени длительностью 1 с по
алгоритму, приведенному в подразделе 9.2; см. также подпункт 10.2.3.4
*/
void tdel(void)
{
//Загрузка стартового содержимого в счетчик 1-го таймера
TCNT1 = 34285;
/*
Запуск счетчика 1-го таймера подачей на него счетных импульсов с частотой,
равной частоте тактирования МК, поделенной на 256 (см. табл. 9.2)
*/
TCCR1B = 0b00000100;
/*
Ожидание установки в единицу признака переполнения счетчика 1-го таймера
(2-го бита регистра TIFR)
*/
while (((TIFR)&(0b00000100))!=0b00000000);
/*
По установке бита признака переполнения счетчика 1-го таймера – сброс
данного бита и остановка счетчика
*/
TIFR = TIFR|0b00000100;
TCCR1B = 0b00000000;
}
/////////////////////////////////////////////////////////////////
//Код основного блока программы
int main(void)
{
//Инициализация используемых блоков МК (см. пункт 1 алгоритма)
//Конфигурирование используемых ПВВ
/*
Настройка выводов с 0-го по 3-й ПВВ С (к которым подключены
микрореле, задающие код уставки) на работу в режиме входов с
подтягивающими резисторами (см. табл. 6.1):
- содержимое регистра направления передачи ПВВ С (DDRC) оставлено
нулевым (по умолчанию), что соответствует работе в режиме входа;
- в разряды с 0-го по 3-й регистра данных ПВВ С записываются единицы, что,
в сочетании с нулевым («по умолчанию») состоянием бита PUD, вызывает
подключение подтягивающих резисторов к выводам с 0-го по 3-й ПВВ С

```

\*/

```
PORTC = 0b00001111;
```

/\*

Настройка 0-го вывода ПВВ *D* (к которому подключена клавиша ввода кода уставки) на работу в режиме входа с подтягивающим резистором. Настройка производится аналогично конфигурированию выводов с 0-го по 3-й ПВВ *C* (см. выше)

\*/

```
PORTD = PORTD|0b00000001;
```

/\*

Настройка 4-го вывода ПВВ *E* (к которому подключен выход канала *B* 3-го таймера, т. е. выход ШИМ-сигнала), а также 0-го, 1-го, 6-го и 7-го выводов ПВВ *B* (управляющих светодиодами-индикаторами режимов, нагревателем и вентилятором) на работу в режиме цифровых выходов. Настройка осуществляется установкой в единицу битов с соответствующими номерами в регистрах направления передачи ПВВ *B* и *E* (*DDRB* и *DDRE*)

\*/

```
DDRB = DDRB|0b11000011;
```

```
DDRE = DDRE|0b00010000;
```

/\*

**Примечание.** Параметры конфигурации 2-го и 3-го выводов ПВВ *E*, к которым подключены входы АК, оставлены «по умолчанию», что соответствует функции аналогового входа (см. табл. 3.41 Руководства [8]).

\*/

/\*

Конфигурирование 3-го таймера, формирующего (в режиме ШИМ) опорный сигнал АК

\*/

/\*

Задание режима асимметричной («быстрой») ШИМ с верхним пределом счета, равным содержимому регистра *OCR3A*, и с не инвертирующим режимом работы выхода канала *B* (см. пункт 3.10.10 Руководства [8], а также подпункт 9.5.1.9)

\*/

```
TCCR3A = 0b00100011;
```

```
TCCR3B = 0b00011000;
```

/\*

Запись в регистр *OCR3A* значения верхнего предела счета (TOP), при котором период ШИМ-сигнала равен 16-ти периодам счетных импульсов (см. выражение (9.5))

\*/

```
OCR3A = 15;
```

/\*

Запись в регистр *OCR3B* числа, задающего длительность ШИМ-импульса, формируемого на выходе канала *B* (см. выражение (9.5), а также пункт 1 реализуемого алгоритма)

\*/

*OCR3B* = 2;

/\*

Запуск счетчика 1-го таймера подачей на него счетных импульсов с частотой, равной частоте тактирования МК (см. табл. 9.2)

\*/

*TCCR3B* = *TCCR3B*|0b00000001;

/\*

Конфигурирование блока АК (см. рис. 10.13 и 10.14):

- биты 7-й («Отключение питания АК»), 6-й («Подключение внутреннего ИОН к не инвертирующему входу АК») и 2-й («Подключение выхода АК к каналам захвата 16-битовых таймеров») установлены в не активное, нулевое состояние;
- бит 3-й («Разрешение прерываний от АК») установлен в активное (единичное состояние);

- в качестве источника прерываний от АК выбран (записью кода 11 в 0-й и 1-й биты *ACSR*) перепад из 0 в 1 на его выходе.

При этом не инвертирующий вход АК подключен к выходу датчика температуры, на инвертирующий поступает опорное напряжение с выхода сглаживающего ФНЧ

\*/

*ACSR* = 0b00001011;

/\*

Конфигурирование блока внешних прерываний (см. пункты 3.8.1 – 3.8.3 Руководства [8])

\*/

/\*

Выбор перепада из 0 в 1 в качестве источника прерывания по входу *INT0*, к которому подключена клавиша ввода кода уставки

\*/

*EICRA*=*EICRA*|0b00000011;

//Разрешение прерываний по входу *INT0*

*EIMSK*=*EIMSK*|0b00000001;

/\*

Глобальное разрешение прерываний установкой в единицу бита *I* регистра статуса (см. рис. 2.24)

\*/

*sei*();

/\*

Включение нагревателя и индикатора режима нагрева, при отключенных вентиляторе и индикаторе режима охлаждения

\*/

```
PORTB = 0b01000001;
```

/\*

Инициализация окончена. Ожидание запросов на прерывания от АК и от блока внешних прерываний

\*/

```
while (1);
```

```
}
```

```
////////////////////////////////////
```

```
// Подпрограмма обслуживания запросов на прерывания от АК
```

```
SIGNAL (ANALOG_COMP_vect)
```

```
{
```

```
// Задержка на 1 с
```

```
tdel();
```

/\*

Если выход АК (5-й бит регистра *ACSR*) находится в единичном состоянии, а в качестве источника прерывания назначен перепад выходного сигнала АК из 0 в 1 (0-й и 1-й биты *ACSR* – в единичном состоянии) – выполнение пункта 3.3 алгоритма, приведенного в подпункте 10.2.3.2

\*/

```
if (((ACSR)&(0b00100011))==0b00100011)
```

```
{
```

```
OCR3BL = OCR3BL - 1;
```

```
PORTB = PORTB&0b10111110;
```

```
tdel();
```

```
PORTB = 0b10000010;
```

```
ACSR = 0b00001010;
```

```
}
```

/\*

Если выход АК (5-й бит регистра *ACSR*) находится в нулевом состоянии, а в качестве источника прерывания назначен перепад выходного сигнала АК из 1 в 0 (0-й бит *ACSR* – в нулевом состоянии, 1-й – в единичном) – выполнение пункта 3.4 алгоритма, приведенного в подпункте 10.2.3.2

\*/

```
if (((ACSR)&(0b00100011))==0b00000010)
```

```
{
```

```
OCR3BL = OCR3BL + 1;
```

```
PORTB = PORTB&0b01111101;
```

```
tdel();
```

```
PORTB = 0b01000001;
```

```

ACSR = 0b00001011;
}
}
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
/*
Подпрограмма обслуживания запроса на прерывание от клавиши ввода кода
уставки
*/
SIGNAL (INT0_vect)
{
/*
Считывание состояний выводов ПВВ C и присвоение считанного кода
значению переменной x
*/
x = PINC;
/*
Обнуление 4-х старших битов переменной x (кодом уставки являются только
ее младшие 4 бита, см. подпункт 10.2.3.1)
*/
x = x&0b00001111;
/*
Если считанное значение кода уставки меньше минимально допустимого (2) –
коду уставки присваивается значение 2.
*/
if (x<2) x = 2;
/*
Если включен вентилятор, и новое значение кода уставки больше
предыдущего (в режиме охлаждения содержимое регистра OCR3BL на
единицу меньше текущего значения кода уставки, см. пункт 3.3 алгоритма,
приведенного в подпункте 10.2.3.2) – выполнение пункта 4.2 алгоритма
*/
if((PORTB==0b10000010)&&(x>OCR3BL+1))
{
OCR3BL = x;
ACSR = 0b00001011;
PORTB = PORTB&0b01111101;
tdel();
PORTB = 0b01000001;
}
/*
Если включен нагреватель, и новое значение кода уставки меньше
предыдущего (в режиме нагрева содержимое регистра OCR3BL равно

```

текущему значения кода уставки) – выполнение пункта 4.3 алгоритма, приведенного в подпункте 10.2.3.2

```
*/  
if((PORTB==0b01000001)&&(x<OCR3BL))  
{  
OCR3BL = x-1;  
ACSR = 0b00001010;  
PORTB = PORTB&0b10111110;  
tdel();  
PORTB = 0b10000010;  
}  
/*
```

Если включен нагреватель, и новое значение кода уставки больше предыдущего – выполнение пункта 4.4 алгоритма, приведенного в подпункте 10.2.3.2

```
*/  
if((PORTB==0b01000001)&&(x>OCR3BL)) OCR3BL = x;  
/*
```

Если включен вентилятор, и новое значение кода уставки меньше предыдущего – выполнение пункта 4.5 алгоритма, приведенного в подпункте 10.2.3.2

```
*/  
if((PORTB==0b10000010)&&(x<OCR3BL+1)) OCR3BL = x-1;  
}
```

## **10.3 Типовые структурно-архитектурные решения и основы применения встроенных АЦП МК**

### **10.3.1. Определение, назначение и классы АЦП**

**10.3.1.1. Аналого-цифровым преобразователем (АЦП)**, в общем случае, называют устройство с аналоговым входом и цифровым выходом, числовой эквивалент выходного кода которого (т. е. двоичное число, которым является данный код) есть некоторая функция от какого-либо параметра входного аналогового сигнала.

В системах контроля и управления на основе МК АЦП выполняют **функции** преобразования значений аналоговых сигналов, несущих информацию о состоянии объекта контроля и управления, в цифровые коды, для последующей программной

обработки и формирования кодов управления исполнительными устройствами по ее результатам, а также, при необходимости, отображения состояния объекта и передачи информации о нем другим устройствам системы.

Наиболее распространенными являются следующие классы АЦП:

- АЦП **«мгновенных» значений** (узкоапертурные АЦП), числовой эквивалент выходного кода (в дальнейшем, для краткости – выходной код) которых, в идеале, является некоторой функцией от значения входного сигнала в определенный момент времени; реально – с некоторым отклонением как от данного момента, так и от значения сигнала в этот момент, ввиду чего слово «мгновенных» взято в кавычки (подробнее – см. пункт 10.3.4);

- **интегрирующие** АЦП, выходной код которых есть некоторая функция от среднего значения входного сигнала за определенный интервал времени.

У большинства распространенных на практике АЦП зависимость выходного кода от «мгновенного» или среднего значения входного сигнала является **линейной** (с точностью до погрешности от нелинейности, см. подпункт 10.3.2.5). Известны и АЦП с нелинейным характером данной зависимости (например, логарифмические АЦП), однако области их применения узкоспециализированы, а в составе МК общего назначения они практически не встречаются. Поэтому при дальнейшем рассмотрении структуры и архитектуры встроенных АЦП МК общего назначения, по умолчанию предполагается, что их характеристика преобразования является линейной.

## 10.3.2. Основные параметры АЦП

**10.3.2.1.** Важнейшим параметром АЦП является **разрядность** выходного кода, обычно называемая **разрядностью АЦП**. Она, вообще говоря, должна быть равна количеству достоверных двоичных разрядов результата АЦ-преобразования, обеспечиваемому принципом работы, схемотехникой и параметрами компонентов конкретного АЦП, и определяемому по выражению:

$$N = \lfloor \log_2(1/|\delta_{RFS\ max} - \delta_{RFS\ min}|) \rfloor; \quad (10.15)$$

где  $\lfloor \cdot \rfloor$  - оператор округления до ближайшего меньшего целого;  $\delta_{RFS\ min}$  и  $\delta_{RFS\ max}$  – предельные значения остаточной (*Residual*), т. е. не устраняемой ручной регулировкой или автоматической коррекцией погрешности АЦ-преобразования (см. подпункт 10.3.2.6), приведенной к полной шкале (*Full Scale*) в соответствии с выражением:

$$\delta_{RFS} = \Delta_R / (X_{max} - X_{min});$$

где  $\Delta_R$  – абсолютная остаточная погрешность преобразования, выраженная в единицах измерения значений входного сигнала (например, в вольтах);  $X_{min}$  и  $X_{max}$  – соответственно минимальное и максимальное допустимые «мгновенное» или среднее значение входного сигнала АЦП (у АЦП МК, как правило,  $X_{min} = 0$ ).

Например, если остаточная приведенная погрешность АЦ-преобразования находится в пределах  $\pm 0,2\%$  (т. е.  $\delta_{RFS\ min} = -0,002$ , а  $\delta_{RFS\ max} = +0,002$ ), число достоверных разрядов результата преобразования, в соответствии с выражением (10.15), равно 8-ми. Представлять данный результат, к примеру, 16-битовым двоичным числом не имеет смысла, т. к. его младшие 8 бит при этом будут недостоверны из-за погрешности преобразования.

Необходимо, однако, отметить, что в разрядность ряда промышленно выпускаемых АЦП (в т. ч. входящих в структуру МК) вводится некоторый «запас», т. е. она может быть на 1 – 2 бита больше значения, определяемого выражением (10.15). В частности, это позволяет снижать погрешности вычислений при обработке массивов результатов преобразования. Реальное число достоверных битов результата преобразования при этом вычисляется по выражению (10.15), на основании значений не устраняемых составляющих погрешности преобразования, приводимых в *datasheet*; см. пример в подпункте 10.3.2.7. Также следует отметить, что, при необходимости, разрядность результата АЦ-преобразования может быть уменьшена программным путем до значения, необходимого при решении конкретной задачи. В частности, если в состав МК входит 10-битовый АЦП, но собственная погрешность датчика, выходной сигнал которого

подвергается АЦ-преобразованию, находится в пределах  $\pm 0,5\%$ , разрядность результатов преобразования рационально уменьшать до 7-и или, по крайней мере, до 8-и бит, «отбрасывая» 2 или 3 заведомо недостоверных младших разряда.

**10.3.2.2.** При линейной зависимости между «мгновенным» или средним значением входного сигнала и выходным кодом АЦП (см. подпункт 10.3.1.1) **характеристика преобразования  $N$ -разрядного АЦП**, в общем случае, имеет следующий вид:

$$N_{ADC} = K_{ADC} X_{IN} + \Delta_Q + \Delta_{INS}; \quad (10.16)$$

где:

- $N_{ADC}$  – числовой эквивалент выходного кода АЦП;
- $K_{ADC}$  – номинальное значение **коэффициента преобразования АЦП**, равное:

$$K_{ADC} = K \times 2^N / X_{REF}; \quad (10.17)$$

где  $K$  – номинальное значение коэффициента масштабирования (усиления или ослабления) входного сигнала;  $X_{REF}$  – номинальное значение постоянного опорного сигнала (напряжения или тока), источник которого входит в структуру АЦП любого типа;

- $X_{IN}$  – «мгновенное» или, соответственно, среднее значение входного сигнала;
- $\Delta_Q$  - **погрешность квантования**;
- $\Delta_{INS}$  – **инструментальная погрешность АЦП**.

Погрешность **квантования** представляет собой **методическую погрешность АЦП** и обусловлена конечной разрядностью результата преобразования: даже если все элементы схемы АЦП идеальны, результат преобразования 2-х значений  $X_{IN}$ , различающихся между собой менее чем на  $X_{REF} / (K \times 2^N)$  (т. е на **аналоговый эквивалент МЗР**), будет одинаков. В зависимости от типа АЦП и алгоритма преобразования она может находиться в пределах или от 0 до  $LSB$ , или  $\pm LSB/2$ , где  $LSB$  – единица младшего значащего разряда (ЕМЗР) выходного кода АЦП.

**Инструментальная погрешность АЦП** обусловлена не идеальностью элементов его схемы (разбросом сопротивлений резисторов, емкостей конденсаторов, напряжениями смещения АК и т. п.). В общем случае, она описывается следующим выражением:

$$\Delta_{INS} = \Delta_{OFFS} + \Delta K_{ADC} X_{IN} + \Delta_{NL}(X_{IN}); \quad (10.18)$$

где:

-  $\Delta_{OFFS}$  – погрешность смещения (аддитивная погрешность, *offset error*), см. подпункт 10.3.2.3;

-  $\Delta K_{ADC} X_{IN}$  – мультипликативная погрешность, где  $\Delta K_{ADC}$  – отклонение коэффициента преобразования от его номинального значения, определяемого по выражению (10.17), см. подпункт 10.3.2.4;

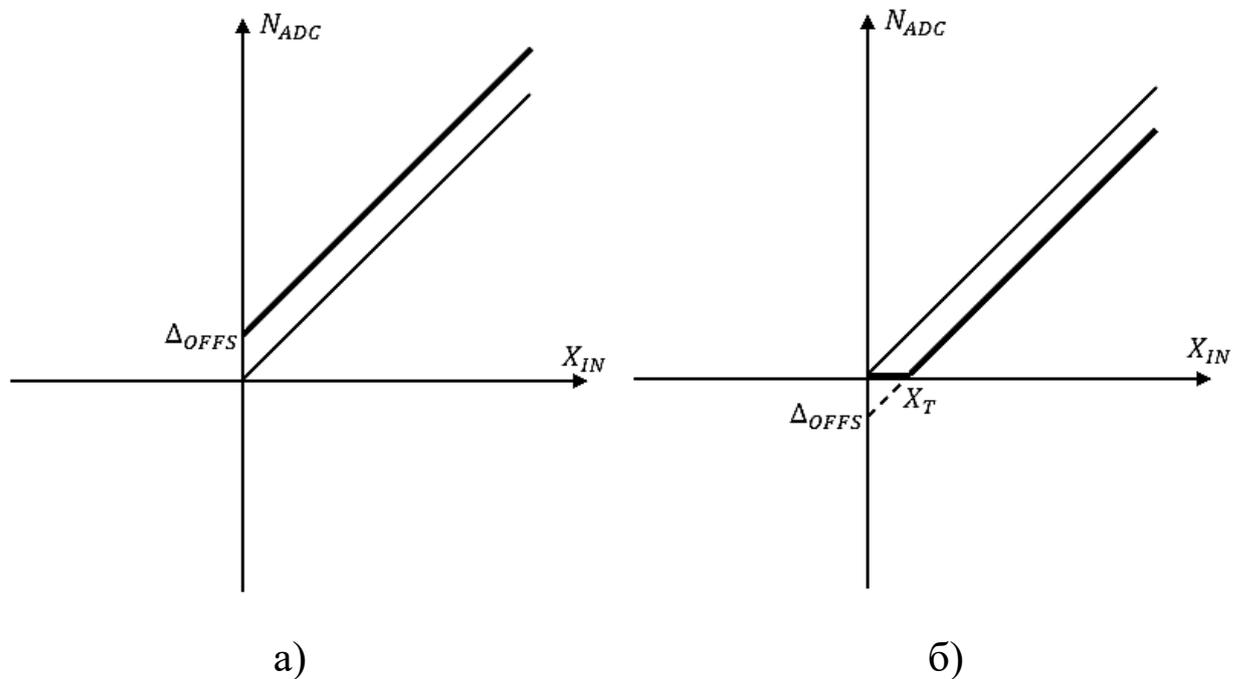
-  $\Delta_{NL}(X_{IN})$  – погрешность от нелинейности характеристики преобразования АЦП, см. подпункт 10.3.2.5.

Значения всех составляющих инструментальной погрешности АЦП выражаются и нормируются в ЕМЗР.

**10.3.2.3. Погрешность смещения ( $\Delta_{OFFS}$ )** не зависит от значения  $X_{IN}$ , постоянна во всем диапазоне его изменения и суммируется с результатом преобразования (откуда происходит другое ее название – аддитивная погрешность). Ее влияние на характеристику преобразования поясняют рис. 1.16а и 1.16б. Первый из них соответствует положительному значению  $\Delta_{OFFS}$ , второй – отрицательному. Более тонкой линией на данных рисунках изображена характеристика преобразования идеального АЦП, более утолщенной – характеристика преобразования при наличии  $\Delta_{OFFS}$  и отсутствии других составляющих погрешности. Для упрощения рисунка данные характеристики представлены прямыми линиями; реально они имеют ступенчатый вид из-за эффекта квантования (см. выше). Предполагается, что, как у большинства встроенных АЦП МК, допустимый диапазон изменения  $X_{IN}$  находится в пределах от 0 до некоторого  $X_{IN\ max}$ , а  $N_{ADC}$  может быть только положительным.

Из рис. 10.16 нетрудно заметить, что погрешность смещения равна результату преобразования при  $X_{IN} = 0$ . Если она отрицательна, а результат преобразования может быть только положительным (см. рис. 10.16б) –  $\Delta_{OFFS}$  равна значению, которое принял бы результат преобразования при нулевом  $X_{IN}$ , если бы характеристика преобразования включала в себя и отрицательные значения  $N_{ADC}$ . Заметим, что в данном случае результат преобразования будет нулевым при  $X_{IN}$ , меньшем порога,

обозначенного на рис. 10.16б как  $X_T$  и равного взятому с обратным знаком произведению погрешности смещения на аналоговый эквивалент МЗР, равный  $X_{REF}/(K \times 2^N)$  (строго говоря – с точностью до значения данного эквивалента).



**Рис. 10.16.** Пояснение влияния погрешности смещения на характеристику преобразования АЦП (см. текст)

**10.3.2.4. Мультипликативная погрешность АЦП** (см. выражение (10.18)) обусловлена отклонением коэффициента преобразования от его номинального значения, и равна произведению данного отклонения (т. е. абсолютной погрешности  $\Delta K_{ADC}$  коэффициента преобразования) на  $X_{IN}$  (откуда название этой составляющей погрешности). Основными источниками мультипликативной погрешности АЦП являются отклонения коэффициента масштабирования входного сигнала АЦП и опорного напряжения или тока от их номинальных значений. Вызванная ими абсолютная погрешность коэффициента преобразования может быть оценена по выражению:

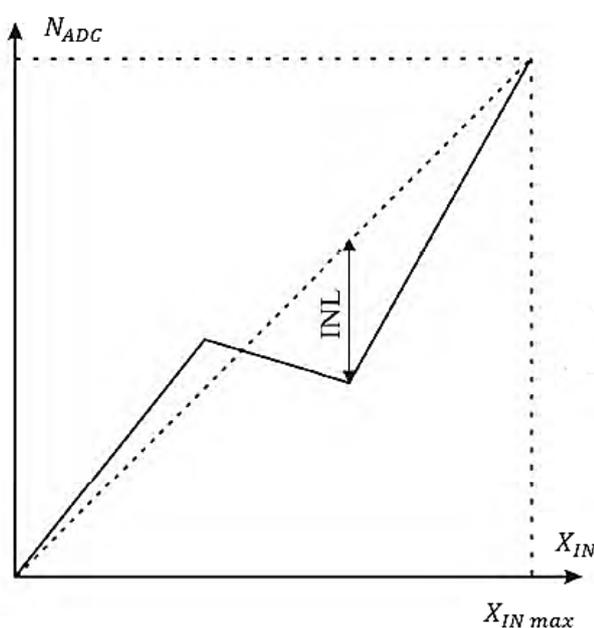
$$\Delta K_{ADC} \approx \frac{K \times 2^N}{X_{REF}} \times \left( \frac{\Delta K}{K} - \frac{\Delta X_{REF}}{X_{REF}} \right);$$

где  $\Delta K$  и  $\Delta X_{REF}$  – отклонения соответственно коэффициента масштабирования входного сигнала АЦП и опорного напряжения или тока от их номинальных значений. У АЦП МК, как правило, нормируется только составляющая мультипликативной погрешности, обусловленная ненулевым значением  $\Delta K$  и называемая ***Gain Error***.

**10.3.2.5. Погрешность от нелинейности** определяется как выраженное в ЕМЗР отклонение реальной характеристики преобразования АЦП от прямой линии **после устранения** аддитивной и мультипликативной погрешностей (на практике – сведения их суммы до уровня, меньшего ЕМЗР). Вообще говоря, данное отклонение зависит от значения  $X_{IN}$  (см. выражение (10.18)), причем характер зависимости достаточно сложен, и индивидуален для каждого конкретного экземпляра АЦП. Поэтому в технической документации на АЦП (в т. ч. встроенные в МК) нормируется **интегральная нелинейность** – максимальное (во всем диапазоне изменения  $X_{IN}$ ) отклонение реальной характеристики преобразования от прямой линии после устранения аддитивной и мультипликативной погрешностей. Смысл понятия интегральной нелинейности поясняет рис. 10.17 [8], на котором сплошной линией показана реальная характеристика преобразования после устранения аддитивной и мультипликативной погрешностей, а пунктирной линией – та же характеристика при отсутствии нелинейности (на практике интегральная нелинейность не столь велика, какой она, для наглядности, показана на рис. 10.17). Таким образом, можно считать, что погрешность от нелинейности находится в пределах  $\pm INL$ .

**10.3.2.6.** Из составляющих инструментальной погрешности, входящих в выражение (10.18), аддитивная и мультипликативная, в принципе, могут быть сведены до пренебрежимо малых значений (т. е. до уровня, меньшего ЕМЗР) регулировкой внешних по отношению к БИС АЦП (БИС МК) компонентов и / или программно-управляемой калибровкой АЦП (см. пункт 10.3.9, а также подпункты 10.3.11.22 и 10.3.11.23). В свою очередь, погрешность от нелинейности является основной составляющей остаточной погрешности АЦ-преобразования, определяющей число достоверных разрядов его результата (см. выражение (10.15)).

**10.3.2.7.** Как указано в подпункте 10.3.2.2, значения всех составляющих инструментальной погрешности АЦП выражаются и нормируются в ЕМЗР. Например, согласно [10], составляющие инструментальной погрешности 12-битового АЦП модельного ряда *STM32F103xx*, измеренные после **внутренней калибровки** (см. подпункт 10.3.11.22) находятся в следующих пределах: погрешность смещения (аддитивная) –  $\pm 1,5$  ЕМЗР, составляющая *Gain Error* мультипликативной погрешности (см. подпункт 10.3.2.4) –  $\pm 1,5$  ЕМЗР, интегральная нелинейность – также  $\pm 1,5$  ЕМЗР (типичное значение –  $\pm 0,8$  ЕМЗР).



**Рис. 10.17.** Пояснение понятия интегральной нелинейности [8]  
(см. пояснения в тексте)

Нетрудно при этом увидеть, что **относительная** погрешность АЦ-преобразования тем **меньше**, чем **больше** значение  $X_{IN}$ . Например, если допустимый диапазон изменения входного напряжения 10-битового АЦП находится в пределах от 0 до 2,56 В, аналоговый эквивалент ЕМЗР равен  $2,56 \text{ В} / 2^{10} \approx 2,5 \text{ мВ}$ , а предельные значения суммарной погрешности преобразования равны  $\pm 2$  ЕМЗР, то при  $X_{IN} = 2 \text{ В}$  относительная погрешность преобразования будет равна  $\pm 2 \times 2,5 \text{ мВ} / 2 \text{ В}$ , т. е. 0,25%, а при  $X_{IN} = 200 \text{ мВ}$  –  $\pm 2 \times 2,5 \text{ мВ} / 200 \text{ мВ}$ , т. е. 2,5%. Таким образом, **важно**, чтобы граничные значения диапазона преобразуемого сигнала были близки к граничным значениям допустимого диапазона входного

сигнала (**полной шкалы**, *Full Scale*) АЦП. На практике, естественно,  $X_{IN\ min}$  должно быть на несколько ЕМЗР больше  $X_{min}$ , а  $X_{IN\ max}$  – на несколько ЕМЗР меньше  $X_{max}$ , во избежание выхода  $X_{IN}$  за допустимые пределы. Данные требования обеспечиваются соответствующим выбором схемы и параметров **устройства сопряжения** источника преобразуемого сигнала с АЦП (см. пункт 10.5.1).

**Важно отметить**, что **недопустима** подача на входы АЦП МК напряжений, превышающих напряжение питания аналоговой части МК или меньших нуля. Если сигналы, подлежащие АЦ-преобразованию, не удовлетворяют данному требованию, их необходимо подавать на входы АЦП через устройства сопряжения (см. пункт 10.5.1).

**10.3.2.8.** Основным динамическим параметром АЦП является **время преобразования** (*conversion time*), обозначаемое  $t_c$  или  $t_{CONV}$ , и определяемое как длительность интервала времени от момента поступления на АЦП сигнала, инициирующего очередной цикл преобразования (старт-сигнала) до момента загрузки окончательного результата преобразования в регистр данных АЦП. Время преобразования современных быстродействующих АЦП «мгновенных» значений равно порядка единиц – десятков нс, интегрирующих АЦП – от десятков до сотен мс (подробнее – см. пункт 10.3.3).

К динамическим параметрам АЦП «мгновенных» значений относятся также:

- **время выборки** входного сигнала (*sampling time*),  $t_s$ ;
- **апертурное время** (*aperture time*),  $t_A$  или  $t_P$ ;
- **апертурная задержка** (*aperture delay*),  $t_{PP}$ ;
- **апертурная нестабильность** (*aperture uncertainty, aperture jitter*),  $t_J$  или  $\Delta t_P$ .

Физический смысл данных параметров пояснен в пункте 10.3.4.

Для АЦП «мгновенных» значений, как правило, также указывается **максимальная частота** входного сигнала, при которой погрешности преобразования не превышают нормируемых значений.

### 10.3.3. Основные типы АЦП и области их применения

Наиболее распространенными типами АЦП «мгновенных» значений являются [20, 23]:

- параллельные АЦП (*flash ADC*);
- конвейерные АЦП (*pipelined ADC*);
- АЦП последовательного приближения (*successive-approximation ADC*), называемые также АЦП поразрядного уравнивания.

В свою очередь, из интегрирующих АЦП в настоящее время наиболее распространены [20, 23]:

- АЦП двухтактного и многотактного интегрирования (*dual-slope and multi-slope ADC*) с промежуточным преобразованием среднего значения входного сигнала в интервал времени;
- АЦП с промежуточным преобразованием среднего значения входного сигнала в частоту, способом уравнивания заряда (*charge-balancing ADC*);
- дельта-сигма АЦП (*delta-sigma ADC*), называемые также сигма-дельта АЦП (*sigma-delta ADC*).

В целом, АЦП «мгновенных» значений характеризуются значительно меньшим временем преобразования (от единиц – десятков нс у параллельных и конвейерных АЦП до сотен нс – десятков мкс у АЦП последовательного приближения), чем интегрирующие, типовое время преобразования которых составляет от сотен мкс у дельта-сигма АЦП до десятков – сотен мс у АЦП двухтактного и многотактного интегрирования [20, 23]. С другой стороны, интегрирующие АЦП обладают более высокой помехоустойчивостью (за счет подавления помех при усреднении) и точностью (в частности, существенно меньшей нелинейностью, чем у АЦП «мгновенных» значений). Поэтому основной областью их применения является измерительная техника; дельта-сигма АЦП также используются в аппаратуре высококачественной звукозаписи. Область применения АЦП «мгновенных» значений существенно шире: системы инфокоммуникаций, цифровой обработки сигналов, средства измерений и контроля (кроме прецизионных).

Нетрудно увидеть, что массив результатов АЦ-преобразования, полученных посредством АЦП «мгновенных» значений, содержит более полную информацию о параметрах и характеристиках входного сигнала, чем результаты преобразования интегрирующего АЦП, для которого характерна потеря части информации о сигнале вследствие его усреднения. С другой стороны, вычисление среднего значения сигнала за некоторый интервал времени на основе массива его «мгновенных» значений, без проблем может быть выполнено в цифровом виде. Таким образом, АЦП «мгновенных» значений могут быть применены для решения значительно более широкого круга задач, чем интегрирующие, в т. ч. абсолютного большинства задач АЦ-преобразования, которые встречаются в типовых областях применения МК общего назначения. Поэтому АЦП, входящие в состав АЦИ большинства семейств / подсемейств / модельных рядов МК общего назначения, относятся к классу АЦП «мгновенных» значений [6, 7, 9, 17]. В то же время АЦП большинства семейств «аналоговых» МК [2], предназначенных, в основном, для использования в средствах измерений, относятся к классу интегрирующих.

В свою очередь, из перечисленных ранее типов АЦП «мгновенных» значений, в МК общего назначения, в основном, применяются **АЦП последовательного приближения**, т. к. они обладают наиболее приемлемым для данного класса МК сочетанием точности, быстродействия, аппаратных затрат и энергопотребления. Параллельные и конвейерные АЦП, отличающиеся значительно более высоким быстродействием, чем у АЦП последовательного приближения, но существенно большими, чем у них, аппаратными затратами и энергопотреблением, применяются, в основном, в «связных» МК (см., например, [1]), входные аналоговые сигналы блоков АЦИ которых характеризуются значительно более высокими частотами, чем типовые входные сигналы АЦП МК общего назначения.

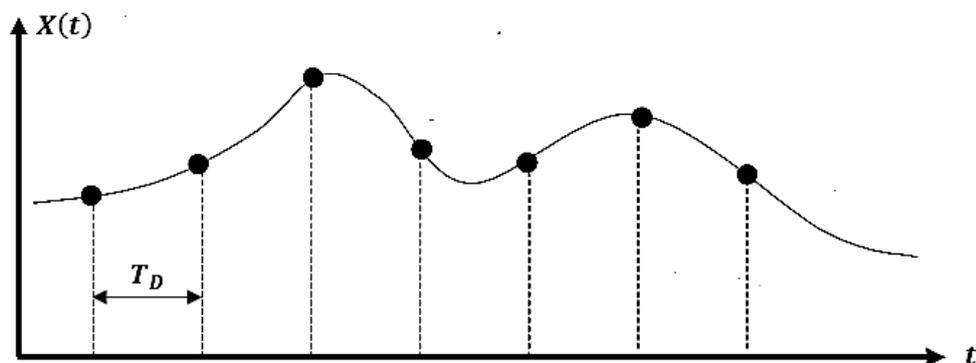
В частности, к АЦП последовательного приближения относятся встроенные АЦП МК семейства *AVR* и большинства МК семейства *ARM Cortex-Mx*, на примере которых в дальнейшем будут

рассматриваться типовые структурно-архитектурные решения блоков АЦП МК общего назначения.

Рассмотрим некоторые базовые вопросы АЦ-преобразования «мгновенных» значений аналоговых сигналов.

### 10.3.4. Дискретизация аналоговых сигналов. Блоки выборки и хранения

10.3.4.1. Процесс преобразования сигнала посредством АЦП «мгновенных» значений состоит в получении двоичных чисел (отсчетов), прямо пропорциональных (при линейной характеристике преобразования) значениям входного аналогового сигнала АЦП в определенные моменты времени. Данный процесс называется **дискретизацией** аналогового сигнала, и поясняется рисунком 10.18. Точками на нем обозначены значения дискретизируемого сигнала в соответствующие моменты времени.



$T_D$  – период дискретизации

**Рис. 10.18.** Пояснение понятия дискретизации аналогового сигнала

В соответствии с теоремой отсчетов [56], исходный (дискретизируемый) аналоговый сигнал может быть однозначно восстановлен по последовательности отсчетов, если удовлетворяется условие:

$$T_D < 1/(2f_M); \quad (10.19)$$

где  $f_M$  – верхняя граничная частота спектра исходного сигнала. При этом время преобразования АЦП, очевидно, должно быть меньше периода дискретизации. На практике период дискретизации,

естественно, должен удовлетворять условию (10.19) с некоторым запасом. Например, в телефонии (как в проводной, так и в беспроводной) спектр передаваемого речевого сигнала находится в пределах от 300 до 3400 Гц; поэтому теоретически период его дискретизации должен быть меньше  $1/(6800 \text{ Гц})$ . В реальных системах цифровой телефонии период дискретизации речевого сигнала равен  $1/(8000 \text{ Гц})$ , т. е. 125 мкс (на 15% меньше максимума, определяемого условием (10.19)). См. также пункт 10.3.6.

**10.3.4.2.** Для получения отсчетов реально **мгновенных** значений аналоговых сигналов в определенные моменты времени, очевидно, необходимо, соблюдение одного из трех **условий**:

- время АЦ-преобразования должно быть равно нулю, что, очевидно, не реализуемо физически;

- изменение сигнала за время преобразования должно быть пренебрежимо мало, т. е. меньше 0,25 аналогового эквивалента ЕМЗР АЦП, равного  $X_{REF}/(K \times 2^N)$  (см. пояснения к выражению (10.17));

- значение преобразуемого сигнала в соответствующий момент времени должно быть зафиксировано **блоком выборки-хранения** (БВХ, *Sample-and-Hold*), выходной сигнал которого при этом служит входным сигналом АЦП.

**10.3.4.3.** Второе из перечисленных в подпункте 10.3.4.2 условий математически выражается следующим образом:

$$|v_{max}|t_C < 0,25X_{REF}/(K \times 2^N); \quad (10.20)$$

где  $|v_{max}|$  – абсолютное значение (модуль) максимальной скорости изменения входного сигнала.

Выясним возможность удовлетворения условия (10.20) на следующем типовом примере. Пусть допустимый диапазон входного сигнала АЦП находится в пределах от 0 до  $X_{REF}$  (что характерно для большинства встроенных АЦП МК), а входной сигнал является гармоническим, описываемым выражением:

$$X(t) = X_m \sin(2\pi ft).$$

Модуль максимальной скорости его изменения (т. е. максимального значения его 1-ой производной) равен  $2\pi f X_m$ . В свою очередь, для

нахождения в диапазоне от 0 до  $X_{REF}$ , входной сигнал должен быть масштабирован с коэффициентом  $K$ , равным  $X_{REF}/(2X_m)$ , а его уровень должен быть смещен на  $0,5X_{REF}$ . С учетом сказанного, после соответствующих преобразований условие (10.20) приобретает вид:

$$t_c < 1/(\pi f \times 2^{N+2}). \quad (10.21)$$

Например, при весьма «скромных» значениях  $f$  и  $N$ , равных 1 кГц и 8 бит соответственно, условие (10.21) удовлетворяется, если время преобразования АЦП не превышает **310 нс**, т. е. только при использовании достаточно быстродействующего АЦП, который, согласно теореме дискретизации (см. выражение (10.19)) мог бы применяться для АЦ-преобразования сигналов с частотами до порядка сотен кГц.

**10.3.4.4.** Наиболее рациональным техническим решением для получения отсчетов входного сигнала, максимально близких к его реально мгновенным значениям в определенные моменты времени, является **фиксация** его значений в соответствующие моменты времени, посредством БВХ, выходной сигнал которого служит входным сигналом АЦП (см. третье из условий, перечисленных в подпункте 10.3.4.2). Такой подход применяется практически во всех промышленно выпускаемых (в т. ч. входящих в состав МК) АЦП последовательных приближений, а также параллельных и конвейерных АЦП.

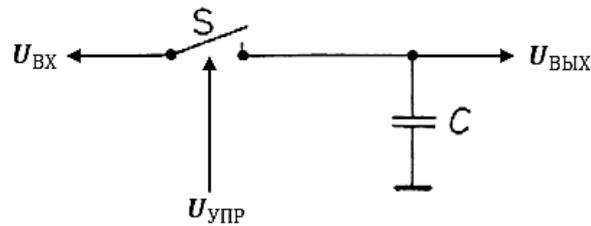
Функциональная схема простейшего БВХ приведена на рис. 10.19 [23]. Он представляет собой, по существу, аналоговый элемент памяти, состоящий из ключа и запоминающего конденсатора, напряжение на котором служит выходным напряжением БВХ.

При замкнутом ключе БВХ работает в режиме **выборки**, при разомкнутом – в режиме **хранения**. У идеального БВХ:

- в режиме выборки напряжение на конденсаторе и, соответственно, выходное напряжение повторяет (отслеживает) входное;

- при размыкании ключа на конденсаторе фиксируется (запоминается) значение входного напряжения в момент размыкания, т. е. его мгновенное значение в данный момент.

После размыкания ключа, т. е. перехода БВХ в режим хранения, напряжение, зафиксированное на конденсаторе, преобразуется в код посредством АЦП.



$U_{ВХ}$  и  $U_{ВЫХ}$  – соответственно входное и выходное напряжения  
 $U_{УПР}$  – управляющее напряжение

**Рис. 10.19.** Функциональная схема простейшего БВХ

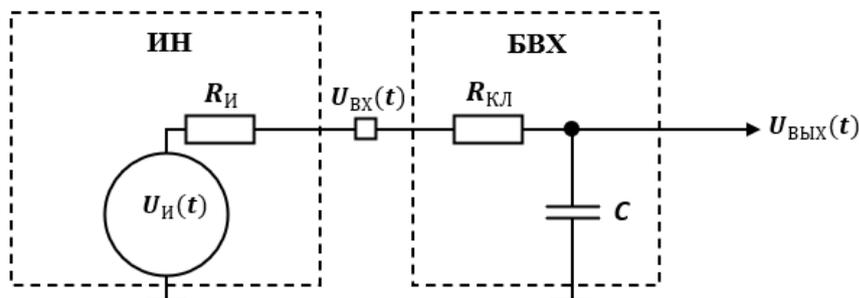
Схемы реальных БВХ могут отличаться от представленной на рис. 10.19 (см., например, [23]), однако их принцип работы полностью аналогичен принципу работы простейшего БВХ. Поэтому дальнейшее рассмотрение параметров и особенностей применения БВХ будет производиться на основе схемы, приведенной на рис. 10.19.

Для реального БВХ, независимо от его схемы, характерен ряд отличий от идеального, рассмотренных в подпунктах 10.3.4.5 – 10.3.4.8.

**10.3.4.5.** Реальный БВХ, в отличие от идеального, не способен мгновенно перейти из режима хранения в режим выборки (слежения), т. е. повторения входного напряжения напряжением на запоминающем конденсаторе, т. к. время перезаряда данного конденсатора не может быть нулевым. Это обусловлено ненулевыми значениями сопротивления замкнутого ключа и выходного сопротивления источника входного напряжения, которые формируют, в совокупности с запоминающим конденсатором, фильтр нижних частот (ФНЧ), т. е. инерционное звено. Упрощенная эквивалентная схема БВХ в режиме выборки приведена на рис. 10.20.

Время перехода БВХ из режима хранения в режим повторения напряжением на конденсаторе напряжения  $U_{и}(t)$  называется **временем выборки** (*sampling time* или *acquisition time*) и обычно обозначается  $t_s$ . Оно определяется [57] как длительность интервала

времени от момента перевода БВХ из режима хранения в режим выборки до момента установления напряжения на конденсаторе равным напряжению  $U_{И}(t)$  с точностью до 0,5 или 0,25 аналогового эквивалента ЕМЗР АЦП.



ИИ – источник напряжения  $U_{И}(t)$

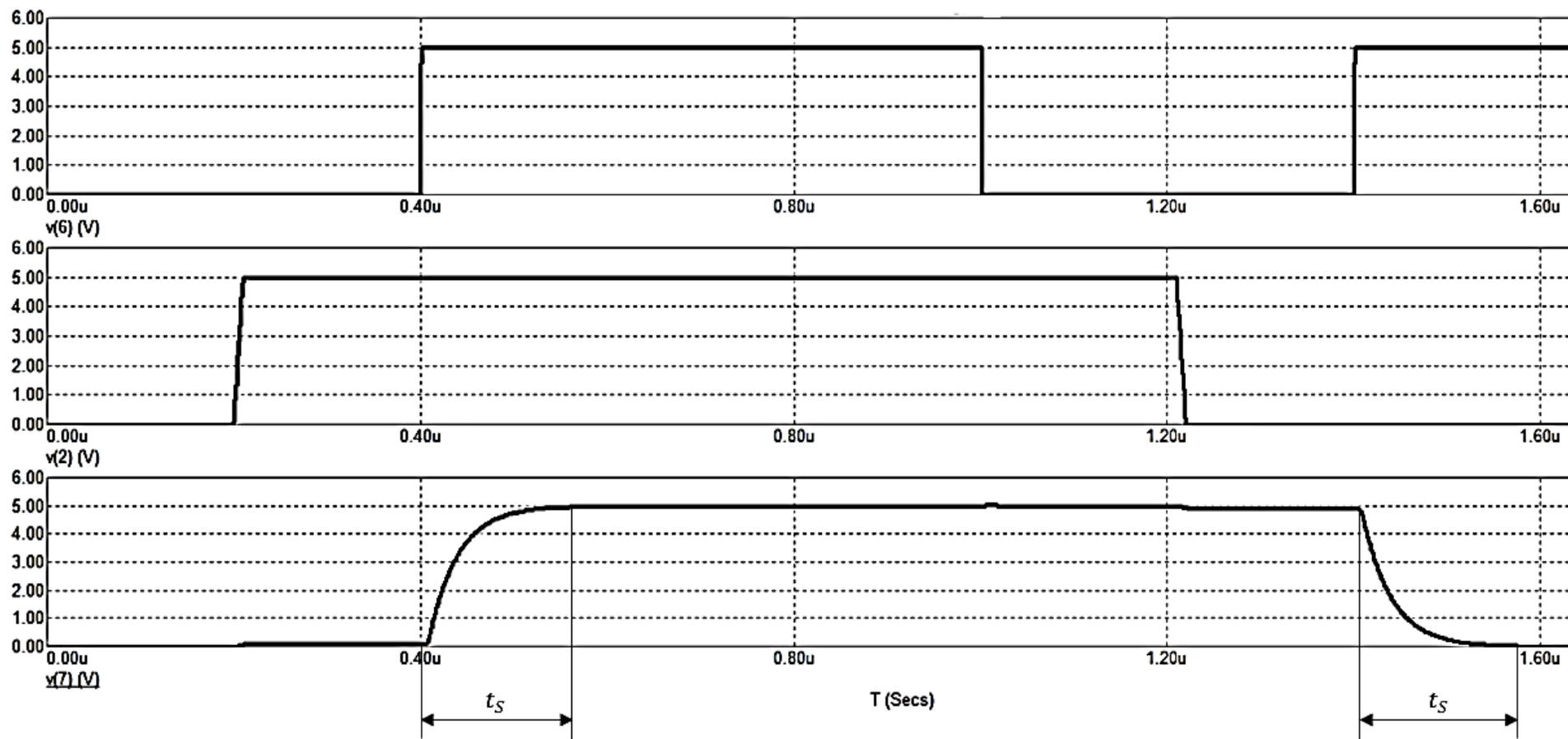
$R_{И}$  – выходное сопротивление ИИ

$R_{КЛ}$  – сопротивление замкнутого ключа

**Рис. 10.20.** Упрощенная эквивалентная схема БВХ в режиме выборки

Время выборки нормируется для случая, когда оно максимально, что имеет место, если напряжение на конденсаторе перед переводом БВХ в режим выборки и установившееся значение напряжения на конденсаторе в режиме выборки различаются между собой на ширину диапазона изменения напряжения  $U_{И}(t)$ . На рис. 10.21 представлены временные диаграммы, поясняющие смысл параметра «время выборки БВХ»; в данном примере нижнее и верхнее граничные значения диапазона изменения напряжения  $U_{И}(t)$  равны 0 В и 5 В соответственно.

Из рис. 10.21 нетрудно заметить, что время выборки БВХ фактически представляет собой время установления ФНЧ, образованного запоминающим конденсатором, сопротивлением ключа и выходным сопротивлением источника напряжения  $U_{И}(t)$  (см. рис. 10.20) при подаче на вход данного ФНЧ перепада напряжения с амплитудой, равной ширине диапазона напряжения  $U_{И}(t)$ . Точность установления, как указано ранее, определяется разрядностью АЦП; например, в *datasheet* на МК семейства *ARM Cortex-Mx* (см. [10, 26, 29]) время выборки БВХ нормируется для точности установления до 0,25 аналогового эквивалента ЕМЗР АЦП.



$v(6)$  – управляющее напряжение БВХ  
 $v(2)$  – напряжение  $U_{и}(t)$   
 $v(7)$  – напряжение на конденсаторе БВХ

*Рис. 10.21.* Временные диаграммы, поясняющие смысл параметра «время выборки БВХ»

Напряжение на конденсаторе цепи, схема которой представлена на рис. 10.2, при скачкообразном изменении напряжения  $U_{И}(t)$  от нуля до максимального значения,  $U_{max}$ , и при нулевом начальном напряжении на конденсаторе (см. рис. 10.21) описывается следующим выражением [56]:

$$U_C(t) = U_{max}(1 - e^{-t/\tau});$$

где  $\tau$  – постоянная времени, равная  $(R_{И} + R_{КЛ})C$ . Полностью установившееся напряжение на конденсаторе (которое достижимо только через бесконечно большой интервал времени) равно  $U_{max}$ . Напряжение, установившееся с точностью до 0,25 аналогового эквивалента ЕМЗР АЦП (в данном случае равного  $U_{max}/2^N$ ), будет равно  $U_{max} - 0,25 \times (U_{max}/2^N)$ , т. е.  $U_{max} - (U_{max}/2^{N+2})$ . Тогда время выборки, достаточное при  $N$ -разрядном АЦ-преобразовании, может быть определено из выражения:

$$U_{max} - (U_{max}/2^{N+2}) = U_{max}(1 - e^{-t_s/\tau}).$$

После соответствующих преобразований получаем, что при  $N$ -разрядном АЦ-преобразовании время, выделяемое для выборки преобразуемого напряжения, должно удовлетворять следующему условию:

$$t_s > \tau \times \ln(2^{N+2}) = (R_{И} + R_{КЛ})C \times \ln(2^{N+2}). \quad (10.22)$$

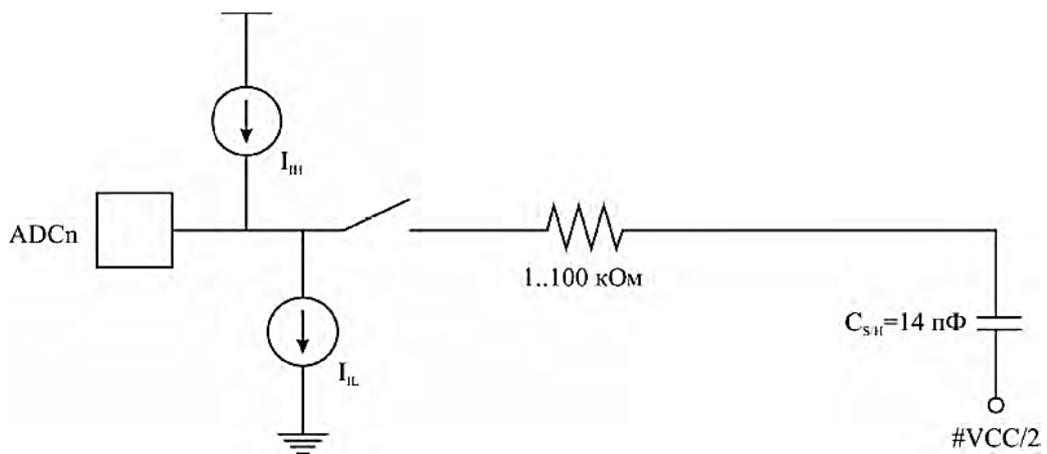
**Примечание.** В *datasheet* на МК семейства *ARM Cortex-Mx* (см., например, пункт 5.3.18 *datasheet* [10]) условие (10.22), как правило, приводится в следующем, полностью эквивалентном ему виде:

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}; \quad (10.23)$$

где  $T_s$  – число периодов тактового сигнала АЦП, выделяемых для выборки преобразуемого сигнала (т. е. для установления ФНЧ, образованного запоминающим конденсатором и сопротивлениями  $R_{И}$  и  $R_{КЛ}$ );  $f_{ADC}$  – частота тактирования АЦП. При этом емкость  $C$  обозначена как  $C_{ADC}$ ; сопротивления  $R_{И}$  и  $R_{КЛ}$  – как  $R_{AIN}$  и  $R_{ADC}$ . Максимальные значения емкости запоминающего конденсатора ( $C_{ADC}$ ) и сопротивления замкнутого ключа ( $R_{ADC}$ ) БВХ МК

семейства *ARM Cortex-Mx* приводятся в их *datasheet*; например, у МК модельного ряда *STM32F103xx* они равны 8 пФ и 1 кОм соответственно [10].

Типовая емкость запоминающего конденсатора БВХ АЦП, входящих в состав МК семейства *AVR*, равна 14 пФ [8]. Сопротивление замкнутого ключа явно не нормируется; указываются только минимальное значение суммы сопротивлений  $R_{И}$  и  $R_{КЛ}$ , 1 кОм, и ее максимально допустимое значение, 100 кОм (см. рис. 10.22), откуда можно сделать вывод, что значение  $R_{КЛ}$  равно 1 кОм.



**Рис. 10.22.** Эквивалентная схема входной цепи АЦП МК семейства *AVR* [8]

Сопротивление  $R_{И}$  ( $R_{AIN}$  в выражении (10.23)) является выходным сопротивлением источника напряжения  $U_{И}(t)$ , внешнего по отношению к БВХ. По возможности, его рационально минимизировать включением буфера (повторителя напряжения) между выходом источника напряжения  $U_{И}(t)$  и входом БВХ, что сведет сопротивление  $R_{И}$  к пренебрежимо малому значению по сравнению с  $R_{КЛ}$  ( $R_{ADC}$  в выражении (10.23)); см. пункт 10.5.1. Если включение буфера невозможно или нежелательно, следует выбирать источник напряжения  $U_{И}(t)$  с минимально возможным выходным сопротивлением из числа потенциально применимых.

Время выборки является одним из трех основных слагаемых времени преобразования ( $t_c$ ) АЦП «мгновенных» значений (см. подпункт 10.3.2.8), наряду с апертурным временем (т. е. временем перехода из режима выборки в режим хранения, см. подпункт

10.3.4.6) и временем преобразования напряжения, зафиксированного на конденсаторе БВХ, в код. Поэтому при использовании АЦП (в т. ч. АЦП МК) необходимо выбрать значение  $t_S$  таким образом, чтобы, с одной стороны, было удовлетворено условие (10.22), а с другой – время преобразования было меньше периода дискретизации (см. рис. 10.18), необходимого для решения конкретной задачи.

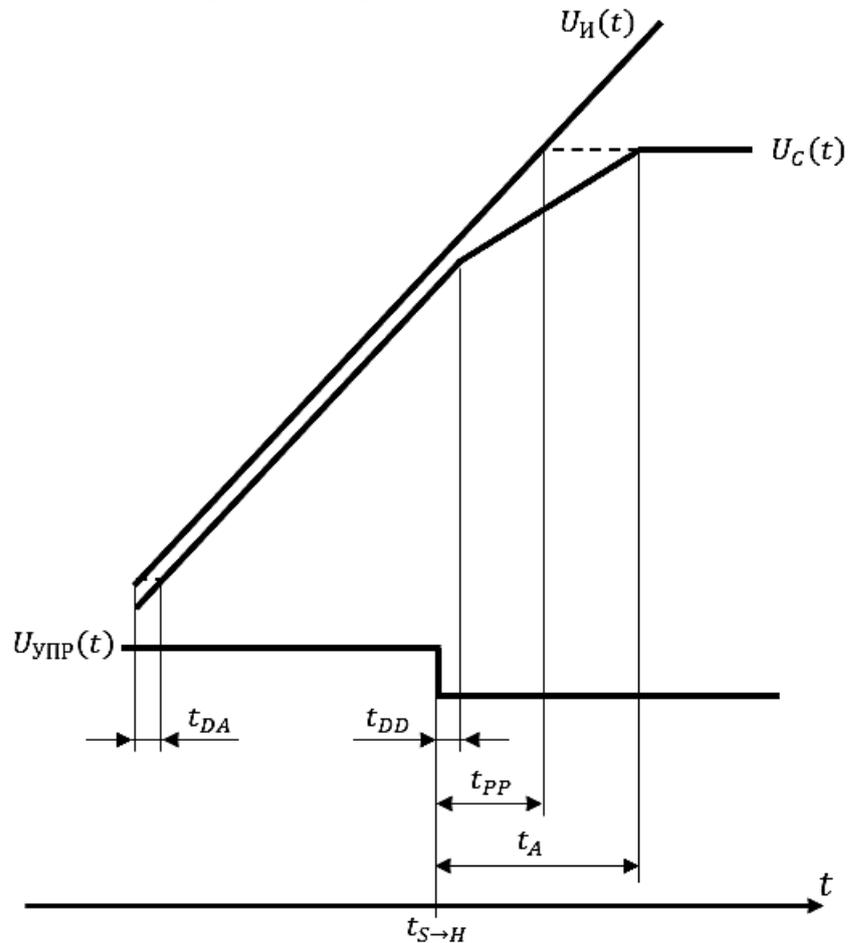
Архитектура АЦП МК семейства *ARM Cortex-Mx* предоставляет возможность программно-управляемого задания числа периодов тактового сигнала АЦП, выделяемых для выборки преобразуемого сигнала (см. выражение (10.23), а также подпункт 10.3.11.5). В АЦП МК семейства *AVR* под выборку преобразуемого напряжения выделяется фиксированное число тактов (1,5), гарантированно достаточное при сумме сопротивлений  $R_{И}$  и  $R_{КЛ}$  до 10 кОм [8]. При необходимости использования источника напряжения с выходным сопротивлением, превышающим 10 кОм, время выборки может быть увеличено путем снижения частоты тактирования АЦП (см. подпункт 10.3.8.5); однако при этом пропорционально увеличится и время преобразования в код напряжения, зафиксированного БВХ.

**10.3.4.6.** Еще одним отличием реального БВХ от идеального является невозможность мгновенного перехода из режима выборки в режим хранения. Параметрами БВХ (и снабженного им АЦП «мгновенных» значений), характеризующими данный источник не идеальности, являются (см. подпункт 10.3.2.8):

- апертурное время;
- апертурная задержка;
- апертурная нестабильность.

Физический смысл параметров «апертурное время» и «апертурная задержка» поясняет рис. 10.23 [57], на котором приведены детализированные временные диаграммы напряжения источника входного сигнала БВХ, напряжения на его конденсаторе и управляющего напряжения БВХ при переходе БВХ из режима выборки в режим хранения. Временная диаграмма напряжения на конденсаторе представлена с некоторыми упрощениями (см. [57]), не влияющими на сущность материала данного подпункта. Предполагается, что при единичном состоянии управляющего входа БВХ ключ замкнут, при нулевом – разомкнут.

**Апертурное время** БВХ (и снабженного им АЦП) равно длительности временного интервала от момента перевода управляющего входа БВХ в состояние, соответствующее режиму хранения, до реального перехода БВХ в данный режим (см. рис. 10.23), т. е. длительности переходного процесса при переводе БВХ из режима выборки в режим хранения.



$U_{\text{И}}(t)$  – напряжение источника входного сигнала БВХ (см. рис. 10.20)

$U_c(t)$  – напряжение на конденсаторе БВХ

$U_{\text{упр}}(t)$  – управляющее напряжение БВХ

$t_{DA}$  и  $t_{DD}$  – время задержки распространения соответственно аналогового и цифрового (управляющего) входных сигналов БВХ

$t_{PP}$  – апертурная задержка

$t_A$  – апертурное время

**Рис. 10.23.** Временные диаграммы, поясняющие смысл параметров «апертурное время» и «апертурная задержка» БВХ [57]

Апертурное время приближенно равно длительности временного интервала, требующегося для перехода ключа БВХ из полностью замкнутого в полностью разомкнутое состояние.

Естественно, преобразование в код напряжения, зафиксированного на конденсаторе БВХ, должно производиться только по истечении апертурного времени. Поэтому оно является одной из 3-х основных составляющих времени преобразования АЦП «мгновенных» значений, наряду с временем выборки и временем преобразования в код напряжения, зафиксированного на конденсаторе БВХ.

Если в некоторый момент времени  $t_{S \rightarrow H}$  управляющий вход БВХ переводится в состояние, соответствующее режиму хранения, то, из-за ненулевого апертурного времени, на конденсаторе БВХ фиксируется не напряжение  $U_{И}(t_{S \rightarrow H})$ , а напряжение  $U_{И}(t_{S \rightarrow H} + t_{PP})$ , где  $t_{PP}$  – **апертурная задержка** (см. рис. 10.23). В [57] показано, что она приблизительно равна  $(t_A/2) + t_{DD} - t_{DA}$ .

Если апертурная задержка **постоянна**, она не влияет на разность между моментами фиксации значений дискретизируемого сигнала (см. рис. 10.18), которая останется равной периоду дискретизации, независимо от значения апертурной задержки. Однако, ее нестабильность (что имеет место на практике) приводит к нестабильности периода дискретизации, т. е. к его флуктуациям от отсчета к отсчету, пределы которых равны пределам изменений апертурной задержки. Они характеризуются параметром БВХ (и АЦП в целом), называемым **апертурной нестабильностью**. В технической документации на БВХ и АЦП в ее качестве указывается типовое или максимальное значение среднеквадратического отклонения, амплитуды или размаха флуктуаций апертурной задержки [57]. Апертурная нестабильность не критична, если за время флуктуации значение дискретизируемого сигнала изменяется менее чем на 0,25 аналогового эквивалента ЕМЗР АЦП. Тогда, по аналогии с выражением (10.21), допустимое значение апертурной нестабильности должно удовлетворять следующему условию:

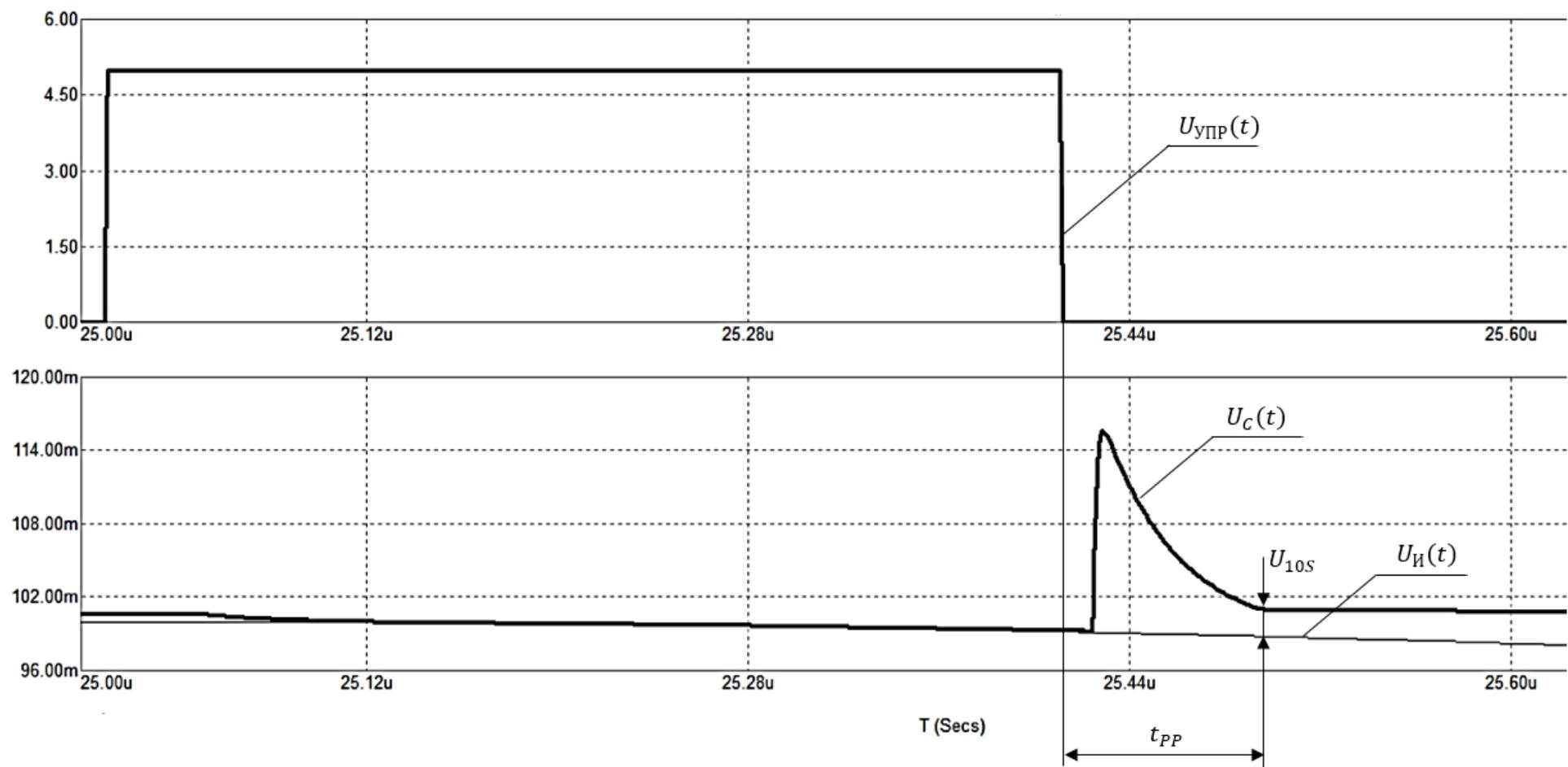
$$\Delta t_p < 1/(\pi f \times 2^{N+2}); \quad (10.24)$$

где  $\Delta t_p$  – размах (разность максимального и минимального значений) флуктуаций апертурной задержки. Его типовое значение – от единиц до десятков пс [57], поэтому условие (10.24), в отличие от (10.21), удовлетворяется на частотах до минимум десятков МГц даже при  $N$ , равном 12-ти битам. Именно благодаря весьма малым

значениям апертурной нестабильности БВХ АЦП возможно корректное АЦ-преобразование «мгновенных» значений сигналов с частотами до сотен МГц – единиц ГГц.

Следует отметить, что апертурное время и апертурная задержка БВХ как правило, нормируются только для быстродействующих параллельных и конвейерных АЦП, т. к. типовые значения данных параметров (от единиц до десятков нс [57]) сопоставимы с суммарным временем преобразования только АЦП данных типов, и пренебрежимо малы по сравнению с типовым временем преобразования АЦП МК общего назначения. Для них апертурное время и апертурная задержка не нормируются, и в *datasheet* МК не указываются. Также в них не нормируется и апертурная нестабильность БВХ, т. к. ее типовые значения позволяют с запасом удовлетворить требование (10.24) в частотном диапазоне входных сигналов АЦП МК общего назначения.

**10.3.4.7.** Еще одним подлежащим рассмотрению источником погрешностей АЦ-преобразования, вносимых БВХ, является **напряжение смещения в режиме хранения** вследствие переноса заряда из цепи управления БВХ (в англоязычной литературе – *sample-to-hold offset step* или *pedestal*). Оно обозначается  $U_{10S}$  и определяется как разность между значениями напряжения  $U_{И}(t)$  в момент времени  $t_{S \rightarrow H} + t_{PP}$  (см. рис. 10.23) и напряжения, реально зафиксированного на конденсаторе БВХ. Смысл данного параметра поясняет рис. 10.24. Причиной ненулевого напряжения  $U_{10S}$  является, как указано выше, перенос заряда из цепи управления на запоминающий конденсатор БВХ через паразитную емкость между управляющим и сигнальным электродами ключа при перепаде управляющего напряжения (см. рис. 10.24), и приблизительно равно  $\Delta Q / C$ , где  $\Delta Q$  – значение переносимого заряда.



**Рис. 10.24.** Пояснения смысла параметра «Напряжение смещения в режиме хранения»  
(см. текст)

В общем случае, напряжение  $U_{10S}$  включает в себя две составляющие, одна из которых не зависит от значения напряжения  $U_{И}(t)$  в момент его фиксации, а другая – зависит от него [57]. Первая из них проявляет себя как одна из составляющих аддитивной погрешности АЦП, а вторая – погрешности от нелинейности (см. подпункты 10.3.2.3 и 10.3.2.5). Для АЦП МК данные составляющие погрешности, как правило, отдельно не нормируются, а входят в состав нормируемых погрешности смещения и интегральной нелинейности соответственно (см. подпункт 10.3.2.7). Типовой вклад данных составляющих в погрешность смещения и в интегральную нелинейность составляет порядка десятых долей ЕМЗР [57].

Практически единственным способом снижения погрешности преобразования АЦП МК, обусловленной напряжением смещения в режиме хранения, является максимальное (естественно, в допустимых пределах) повышение уровня преобразуемого напряжения (см. подпункт 10.3.2.7). Следует отметить, что, если БВХ реализован на дискретных элементах (что редко практикуется в настоящее время) возможны и другие способы снижения данной погрешности [57].

**10.3.4.8.** При использовании АЦП, снабженных БВХ, необходимо учитывать, что в режиме хранения напряжение на конденсаторе реального БВХ **не постоянно** из-за неизбежного разряда конденсатора током утечки ключа, а также входным током собственно АЦП. Скорость изменения напряжения на конденсаторе, т. е. скорость его разряда равна  $I_{LS}/C$ , где  $I_{LS}$  – суммарный ток утечки (разряда конденсатора).

С учетом того, что емкость запоминающего конденсатора БВХ встроенных АЦП МК составляет порядка единиц пФ, даже при токе утечки, равном 1 нА, скорость разряда конденсатора будет равна порядка нескольких десятков – нескольких сотен мВ / мс. Поэтому для АЦП, снабженных БВХ, в т. ч. для АЦП МК общего назначения, всегда нормируется **максимально допустимое** время преобразования в код напряжения, зафиксированного на конденсаторе БВХ. При превышении данного времени нормируемые

точностные параметры АЦП не гарантируются, из-за разряда запоминающего конденсатора.

Например, максимально допустимое время преобразования 10-битового АЦП МК *Atmega128 / 1887VE7T* равно 260 мкс [8], и равно 13-ти периодам синхросигнала АЦП, из которых на преобразование в код напряжения, зафиксированного на конденсаторе БВХ, выделено 10 периодов. Следовательно, максимально допустимое время данного преобразования – 200 мкс. У 12-битового АЦП МК модельного ряда *STM32F030xx* на данное преобразование выделяется 12 периодов синхросигнала АЦП, минимально допустимая частота которого равна 0,6 МГц; таким образом, максимально допустимое время преобразования выходного напряжения БВХ в код равно 20 мкс.

**Примечание.** Задание времени преобразования АЦП практически всех распространенных семейств МК может осуществляться программным управлением частотой его тактирования (см подпункты 10.3.8.5, 10.3.7.2 и 10.3.11.4). Архитектура некоторых семейств МК, в частности, *ARM Cortex-Mx*, позволяет также управлять временем преобразования, выбирая разрядность его результата (см. подпункт 10.3.11.2).

Следует также отметить, что скорость изменения выходного напряжения БВХ АЦП МК в режиме хранения, как правило, **не нормируется** в явном виде.

### **10.3.5. Антиэлайзинговая фильтрация входных сигналов АЦП**

При дискретизации аналоговых сигналов посредством АЦП «мгновенных» значений (см. подпункт 10.3.4.1) обязательным является соблюдение условия (10.19). На практике, однако, в подлежащем АЦ-преобразованию сигнале, кроме информативных спектральных компонент, с известной максимальной частотой  $f_M$ , неизбежно будут присутствовать и составляющие, частота которых превышает  $f_M$  (в т. ч. шумы и наводки). Их наличие приведет к эффекту наложения спектров (элайзинга) [57]. Он состоит в появлении в спектре дискретизированного сигнала паразитных

составляющих с частотами, равными  $|\pm k f_D \pm f_{SIG}|$ ; где  $f_D = 1/T_D$ ,  $f_{SIG}$  – частота спектральной компоненты, большая, чем  $f_M$ ;  $k = 1, 2, 3 \dots$ . Следовательно, все спектральные компоненты входного сигнала АЦП с частотой, превышающей  $0,5/T_D$  (**частоту Найквиста**), в идеале, должны быть удалены, на практике – подавлены до уровня, меньшего половины ЕМЗР. Данная функция реализуется **антиэлайзинговым фильтром (АЭФ)** преобразуемого сигнала. В типовых областях применения АЦП МК общего назначения АЭФ, как правило, представляют собой ФНЧ (АЭ-ФНЧ), общепринятыми требованиями к АЧХ которых являются следующие:

- неравномерность нормированной (относительно нулевой частоты) АЧХ АЭФ в диапазоне частот от 0 до  $f_M$  не должна превышать половины ЕМЗР;

- на частотах выше частоты Найквиста нормированная АЧХ АЭФ не должна превышать половины ЕМЗР.

Математически данные требования выражаются следующим образом:

$$|1 - (|H_{АЭФ}(f)|/|H_{АЭФ}(0)|)| < 0,5/2^N \text{ при } f \leq f_M; \quad (10.25)$$

$$|H_{АЭФ}(f)|/|H_{АЭФ}(0)| < 0,5 \times K_{SPmin}/2^N \text{ при } f > 0,5f_D; \quad (10.26)$$

где  $|H_{АЭФ}(f)|$  – АЧХ АЭФ на частоте  $f$ ;  $N$  – разрядность АЦП;  $K_{SPmin}$  – минимально возможное отношение амплитуды спектральной составляющей, находящейся в пределах диапазона частот от 0 до  $f_M$ , к амплитуде спектральной составляющей с частотой выше частоты Найквиста.

Наиболее приемлемым для удовлетворения требования (10.25) и (10.26) является ФНЧ **Баттерворта**, характеризуемый максимальной равномерностью АЧХ в полосе пропускания при достаточно высокой скорости спада АЧХ в полосе заграждения, большей, при том же порядке, чем у фильтра Бесселя, но меньшей, чем у фильтров Чебышева [20, 23].

Нормированная относительно нулевой частоты АЧХ ФНЧ Баттерворта описывается следующим выражением [23]:

$$|H_{BT}(f)|/|H_{BT}(0)| = 1/\sqrt{1 + (f/f_c)^{2n}}; \quad (10.27)$$

где  $f_C$  – частота среза фильтра;  $n$  – его порядок.

Из выражения (10.27) получаем, что для удовлетворения требования (10.26) частота среза АЭ-ФНЧ Баттерворта  $n$ -го порядка должна соответствовать условию:

$$f_C \leq 0,5f_D \times \sqrt[n]{K_{SPmin}/2^{N+1}}. \quad (10.28)$$

В свою очередь, из выражений (10.25) и (10.27) следует, что максимальное значение верхней граничной частоты дискретизируемого сигнала ( $f_M$ ), при котором АЭ-ФНЧ Баттерворта  $n$ -го порядка удовлетворяют требованию (10.25), описывается выражением:

$$f_{Mmax} = f_{Cmax} \sqrt[2n]{1/(2^N - 1)}; \quad (10.29)$$

где  $f_{Cmax}$  – максимальное значение частоты среза, удовлетворяющее условию (10.28) и, очевидно, равное  $0,5f_D \times \sqrt[n]{K_{SPmin}/2^{N+1}}$ .

В табл. 10.1 представлены нормированные относительно частоты дискретизации значения  $f_{Cmax}$  и  $f_{Mmax}$  АЭ-ФНЧ Баттерворта 1-го, 2-го, 4-го и 8-го порядков, удовлетворяющие требованиям (10.25) и (10.26) при  $N$ , наиболее характерных для АЦП МК общего назначения, и при  $K_{SPmin}$ , равном 1. Для вычисления  $f_{Cmax}$  и  $f_{Mmax}$  при  $K_{SPmin}$ , отличных от единицы, приведенные в табл. 10.1 значения необходимо умножить на  $\sqrt[n]{K_{SPmin}}$ . Например, если амплитуды спектральных составляющих с частотой, превышающей частоту Найквиста, минимум в 10 раз меньше, чем амплитуды информативных компонент дискретизируемого сигнала (с частотами от 0 до  $f_M$ ), т. е.  $K_{SPmin} = 10$ , то при разрядности АЦП, равной 8-и битам, АЭ-ФНЧ Баттерворта 1-го порядка удовлетворит требования (10.25) и (10.26) при частоте среза до  $0,0098f_D$  и  $f_{Mmax}$  до  $0,0006f_D$ . При тех же условиях  $f_{Cmax}$  АЭ-ФНЧ Баттерворта 2-го порядка равна  $0,070f_D$ , а  $f_{Mmax}$  -  $0,017f_D$ .

Таблица 10.1

Значения  $f_{Cmax}$  и  $f_{Mmax}$  АЭ-ФНЧ Баттерворта, удовлетворяющие требованиям (10.25) и (10.26) при  $K_{SPmin} = 1$

N, бит	Порядок АЭ-ФНЧ							
	1		2		4		8	
	$\frac{f_{Cmax}}{f_D}$	$\frac{f_{Mmax}}{f_D}$	$\frac{f_{Cmax}}{f_D}$	$\frac{f_{Mmax}}{f_D}$	$\frac{f_{Cmax}}{f_D}$	$\frac{f_{Mmax}}{f_D}$	$\frac{f_{Cmax}}{f_D}$	$\frac{f_{Mmax}}{f_D}$
8	0,00098	0,00006	0,022	0,0055	0,105	0,053	0,229	0,163
10	0,00024	0,000007	0,011	0,0019	0,074	0,031	0,193	0,125
12	0,00006	0,000001	0,006	0,0007	0,053	0,019	0,162	0,096

**Примечание 1.** С учетом современной тенденции к минимальным аппаратным затратам на реализацию функциональных узлов, внешних по отношению к МК, применение АЭ-ФНЧ 1-го порядка, характеризуемых наименьшими аппаратными затратами, наиболее предпочтительно, естественно, при возможности удовлетворения требований (10.25) и (10.26). Во многих практических случаях приемлемы и аппаратные затраты на реализацию АЭ-ФНЧ 2-го порядка – один операционный усилитель, 2 конденсатора, 4 резистора [20]. При невозможности удовлетворения требований (10.25) и (10.26) фильтрами 1-го или 2-го порядка, в принципе, могут быть применены АЭ-ФНЧ 4-го или 8-го порядка в интегральном исполнении [58]. Реализация АЭ-ФНЧ более высоких порядков требует аппаратных затрат, не приемлемых в абсолютном большинстве практических случаев применения АЦП МК общего назначения. Поэтому использование АЭ-ФНЧ с порядком более 8-го не рассматривалось.

Естественно, рационально выбирать АЭ-ФНЧ с минимальным порядком, обеспечивающим соблюдение требований (10.25) и (10.26) при решении конкретной задачи.

**Примечание 2.** Из табл. 10.1 нетрудно увидеть, что при сопоставимых порядках амплитуд информативных спектральных составляющих, с частотами от 0 до  $f_M$ , и подлежащих подавлению спектральных компонент с частотами, превышающими частоту Найквиста, для обеспечения требований (10.25 и (10.26) частота дискретизации должна быть намного выше минимального значения, задаваемого теоремой отсчетов (см. условие (10.19)). Тот факт, что в

системах связи, а также звукозаписи и звуковоспроизведения частота дискретизации превышает значение  $2f_M$  только на 10 – 20 % (см. подпункт 10.3.4.1), объясняется менее жесткими требованиями к характеристикам АЭФ, чем задаваемые условиями (10.25) и (10.26), а также возможностью применения АЭФ более высоких порядков и / или с большей селективностью.

**Примечание 3.** Если информативные спектральные составляющие дискретизируемого сигнала находятся в частотном диапазоне от некоторой **ненулевой** частоты до  $f_M$ , в качестве АЭФ, в принципе, может служить не ФНЧ, а полосно-пропускающий фильтр (ППФ). Такой подход рационален, если информативный сигнал является высокочастотным и узкополосным, т. е. его центральная частота составляет от нескольких МГц и выше, а ширина частотного диапазона его спектральных компонент на 2 и более порядка меньше центральной частоты, что характерно для систем связи. В данном случае в качестве АЭФ может быть применен высокодобротный и относительно простой в реализации индуктивно-емкостной ППФ. В типовых областях применения МК общего назначения (системы контроля и управления техническими объектами) информативные сигналы являются низкочастотными (до десятков – сотен кГц, обычно – от десятков Гц до единиц кГц). ППФ таких диапазонов частот отличаются значительно большей сложностью, чем ФНЧ, при отсутствии существенного выигрыша в селективности (избирательности). Поэтому в типовых областях применения МК общего назначения в качестве АЭФ, как правило, применяются ФНЧ, а при неравенстве нулю нижней граничной частоты информативного сигнала его низкочастотные составляющие подавляются реализованным на МК цифровым ППФ.

### **10.3.6. Базовые требования к периоду (частоте) дискретизации входных сигналов АЦП МК общего назначения**

Необходимо также остановиться на **выборе периода / частоты** дискретизации входных аналоговых сигналов АЦП МК, а также на требованиях к его стабильности.

**10.3.6.1.** С одной стороны, частота дискретизации должна выбираться, исходя из возможности удовлетворения требований (10.25) и (10.26) при заданных верхней граничной частоте информативного сигнала и разрядности АЦП, а также из допустимых аппаратурных затрат на реализацию АЭФ при решении конкретной задачи. Естественно, желателен выбор минимальной частоты дискретизации, удовлетворяющей требованиям (10.25) и (10.26). Если в качестве АЭФ применяется ФНЧ Баттерворта, то, на основании выражений (10.28) и (10.29), минимальная частота дискретизации, удовлетворяющая данным требованиям, вычисляется по выражению:

$$f_{Dmin} = 2f_M \sqrt[n]{2^{N+1}/K_{SPmin}} \times \sqrt[2n]{2^N - 1}; \quad (10.30)$$

здесь  $n$  – допустимый при решении конкретной задачи порядок ФНЧ Баттерворта.

**10.3.6.2.** Вторым из основных критериев выбора частоты дискретизации является обеспечение допустимых погрешностей определения параметров входных сигналов АЦП по их отсчетам. Данные погрешности зависят, в том числе, и от частоты дискретизации.

Теоретически, для восстановления дискретизированного сигнала по его отсчетам с любой наперед заданной точностью, достаточно, чтобы период отсчетов удовлетворял условию (10.19), а спектр сигнала был ограничен частотами 0 и  $f_M$  [56]. Восстановление осуществляется по выражению [56]:

$$x(t) = \sum_{m=-M}^M \{x[mT_D] \times \sin(2\pi f_D t - m\pi)/(2\pi f_D t - m\pi)\}; \quad (10.31)$$

где  $M$  – целое положительное число, определяющее точность восстановления (для идеального восстановления  $M$  должно быть равно бесконечности). В свою очередь, по результатам восстановления могут быть определены любые параметры исходного сигнала.

Однако, восстановление сигнала по выражению (10.31), как нетрудно увидеть из него, достаточно сложно с вычислительной точки зрения. С другой стороны, система команд МК общего

назначения (в т. ч. относящихся к классу «*high performance*», см., например, [16]) не ориентирована на выполнение сложных вычислений. Вследствие этого восстановление сигнала по выражению (10.31) на МК общего назначения потребует существенных затрат процессорного времени, что нежелательно или неприемлемо для большинства задач контроля и управления техническими объектами в реальном времени (т. е. в основной области применения МК). Поэтому определение информативных параметров входных сигналов АЦП МК общего назначения посредством восстановления сигнала по его отсчетам редко применяется на практике. Как правило, данные параметры определяются способом непосредственной оценки по массиву отсчетов (см. далее).

Основными параметрами входных сигналов АЦП МК, задачи оценивания которых встречаются в типовых областях применения МК общего назначения, являются [38]:

- среднеквадратическое значение (СКЗ);
- среднее значение (СЗ);
- амплитудное значение (АЗ).

Оценивание данных параметров непосредственно по массиву отсчетов сигнала осуществляется по следующим выражениям:

$$X_{\text{СКЗ}} = \sqrt{\frac{1}{N_i} \times \sum_{i=0}^{N_i-1} x^2[iT_D]}; \quad (10.32)$$

$$X_{\text{СЗ}} = \frac{1}{N_i} \times \sum_{i=0}^{N_i-1} x[iT_D]; \quad (10.33)$$

$$X_{\text{АЗ}} = \max_{i=0,1,2,\dots,N_i-1} x[iT_D]; \quad (10.34)$$

где  $N_i$  – число отсчетов в массиве.

Очевидно, чем больше  $N_i$ , тем точнее оценка соответствующего параметра, т. е. конечное значение  $N_i$ , обусловленное, в свою очередь, конечным значением периода дискретизации, является

одним из источников погрешности оценивания параметров сигнала. Обозначим обусловленную данным фактором составляющую относительной погрешности как  $\delta_D$ .

Для корректного выбора частоты / периода дискретизации очевидно, имеет значение не число отсчетов как таковое, а число отсчетов **за период** дискретизируемого сигнала, т. е. отношение данного периода и  $T_D$ . При этом необходимо учесть, что [59]:

- погрешность  $\delta_D$  минимальна, если период дискретизируемого сигнала кратен  $T_D$ , и существенно возрастает при их не кратности;
- в общем случае, данная погрешность зависит от начальной фазы дискретизируемого сигнала, возрастая при не синхронизации с ней 1-го отсчета массива.

В типовых областях применения МК общего назначения частота / период дискретизируемого сигнала, как правило, известны (это, например, частота выходного сигнала датчика или частота сетевого напряжения). Поэтому выбор значения  $T_D$ , при котором период дискретизируемого сигнала кратен  $T_D$ , без проблем может быть выполнен на этапе проектирования системы контроля и управления. С другой стороны, синхронизация 1-го отсчета с начальной фазой входного сигнала требует дополнительных аппаратурных затрат, и во многих случаях нежелательна или невыполнима. Таким образом, анализ зависимости  $\delta_D$  от числа отсчетов дискретизируемого сигнала за его период, будем проводить в предположении, что период сигнала кратен  $T_D$ , но 1-й отсчет массива не синхронизирован с начальной фазой сигнала.

Вывод аналитических выражений для расчета погрешности  $\delta_D$  как функции от отношения периода сигнала определенной (например, гармонической) формы к периоду его дискретизации весьма сложен, а для произвольной формы сигнала – практически невозможен. Поэтому ограничимся оцениванием  $\delta_D$  способом численного моделирования, для случаев определения СКЗ и амплитуды гармонического сигнала, а также СЗ суммы гармонического и постоянного сигнала. Погрешность  $\delta_D$  будем оценивать как максимальное (при всех возможных сочетаниях момента 1-го отсчета и начальной фазы сигнала) относительное отклонение значения соответствующего параметра, вычисленного

по выражениям (10.32) – (10.34), от его действительного значения. Погрешности отсчетов сигнала и погрешности вычислений будем считать равными нулю.

Результаты оценивания приведены в табл. 10.2. Оценивание проводилось при произведении числа отсчетов в массиве на период дискретизации, равном одному периоду сигнала.

Таблица 10.2

*Зависимости погрешности  $\delta_D$  определения базовых параметров гармонического сигнала от числа отсчетов за период*

$T/T_D$	$\delta_D$ при определении:		
	СКЗ гармонического сигнала	СЗ суммы постоянного и гармонического сигналов*	Амплитуды гармонического сигнала
5	±8,5%	±16,7%	±13,5%
10	±4,6%	±9,1%	±3,3%
15	±3,2%	±6,3%	±1,4%
20	±2,4%	±4,8%	±0,8%
25	±1,9%	±3,8%	±0,5%
30	±1,6%	±3,2%	±0,3%
40	±1,2%	±2,4%	±0,09%
50	±1,0%	±2,0%	±0,13%
60	±0,8%	±1,6%	±0,07%
70	±0,7%	±1,4%	±0,07%
80	±0,6%	±1,2%	±0,02%
90	±0,55%	±1,1%	±0,04%
100	±0,5%	±1,0%	±0,03%
250	±0,2%	±0,4%	±0,005%
500	±0,1%	±0,2%	±0,001%
750	±0,07%	±0,13%	±0,001%
1000	±0,05%	±0,1%	±0,0002%
1500	±0,03%	±0,07%	±0,0001%
3000	±0,02%	±0,03%	≈ 0
5000	±0,01%	±0,02%	≈ 0

**Примечания.**

$T$  – период сигнала, параметры которого оцениваются.

$\delta_D$  – составляющая погрешности определения соответствующего параметра сигнала по выражениям (10.32) – (10.34), обусловленная конечным значением периода его дискретизации.

\*При равенстве постоянной составляющей и амплитуды гармонического сигнала.

Представленные в табл. 10.2 данные могут быть использованы не только при гармонической форме входных сигналов АЦП МК, но и, как ориентировочные, при других формах данных сигналов. Если существует необходимость более точного оценивания погрешности  $\delta_D$  при форме сигнала, отличной от гармонической, оно может быть выполнено также численным моделированием, с использованием распространенных программных средств (в принципе, возможно использование даже программных пакетов *Excel* или *Calc*).

В целом, при выборе частоты / периода дискретизации базовым требованием к погрешности  $\delta_D$  является ее пренебрежимо малое значение (на порядок меньше) по сравнению с суммарной погрешностью АЦП и источника его входного сигнала (например, датчика).

**10.3.6.3.** Собственно выбор частоты / периода дискретизации, в общем случае, производится следующим образом:

- определяется минимальная частота дискретизации, при которой могут быть удовлетворены требования (10.25) и (10.26) (см. подпункт 10.3.6.1);

- оценивается число отсчетов за период преобразуемого сигнала, необходимое для обеспечения допустимой погрешности  $\delta_D$  (см. подпункт 10.3.6.2, в т. ч. табл. 10.2); на его основе рассчитывается значения  $T_D$  и  $f_D$ , требуемые для получения данного числа отсчетов;

- из 2-х полученных в предыдущих пунктах значений частоты дискретизации выбирается наибольшее.

**10.3.6.4.** В свою очередь, при выбранном периоде дискретизации, временные параметры блока АЦП МК (и МК в целом), в общем случае, должны удовлетворять следующему условию:

$$\sum_{i=1}^{n_{CH}} (t_{CH} + t_{LAT} + t_{Si} + t_{CC} + t_{ID} + t_{RP}) < T_D; \quad (10.35)$$

где:

- $n_{CH}$  – число каналов, по которым производится преобразование;

- $t_{CH}$  – время выбора и переключения канала;

-  $t_{LAT}$  – задержка начала цикла АЦ-преобразования относительно момента запуска АЦП (*trigger conversion latency*, см. подпункт 10.3.6.6);

-  $t_{Si}$  – время выборки по  $i$ -му каналу (см. подпункты 10.3.4.5 и 10.3.11.5, а также рис. 8.24);

-  $t_{CC}$  – время преобразования выходного напряжения БВХ в код;

-  $t_{ID}$  – время идентификации окончания цикла АЦ-преобразования;

-  $t_{RP}$  – время считывания и первичной обработки текущего результата преобразования;

-  $T_D$  – период дискретизации по каждому из каналов (см., например, рис. 8.24).

При этом в условии (10.35) не учтено **апертурное время БВХ** (см. пояснения в подпункте 10.3.4.6).

Естественно, условие (10.35) должно соблюдаться с запасом (по крайней мере, на нестабильность входящих в него временных интервалов, см. подпункт 10.3.6.13).

Необходимо остановиться подробнее на входящих в условие (10.35) временных параметрах блока АЦП МК, не рассмотренных в пункте 10.3.4, на некоторых вопросах выбора временных параметров блока АЦП, а также на ряде распространенных на практике частных случаев, при которых некоторые из этих параметров могут не учитываться.

**10.3.6.5.** Время  $t_{CH}$  равно сумме времени выполнения команд выбора каналов и длительности переходных процессов при их переключении. Архитектура блоков АЦП ряда семейств МК (в т. ч. *AVR* и *ARM Cortex-Mx*) обеспечивает возможность выбора и переключения каналов **параллельно** с преобразованием выходного напряжения БВХ в код (см., например, подпункт 10.3.8.13); в семействе *ARM Cortex-Mx* – также автоматически, на аппаратном уровне (см. подпункты 10.3.11.10 – 10.3.11.12). При этом в условии (10.35) время  $t_{CH}$  может не учитываться, и данное условие принимает вид:

$$\sum_{i=1}^{n_{CH}} (t_{LAT} + t_{Si} + t_{CC} + t_{ID} + t_{RP}) < T_D.$$

**10.3.6.6. Задержка** начала цикла АЦ-преобразования относительно момента запуска АЦП (*trigger conversion latency,  $t_{LAT}$* ) определяется как длительность интервала времени между моментом поступления на АЦП сигнала, инициирующего запуск преобразования, и реальным началом цикла преобразования (включающего в себя время выборки и время преобразования в код выходного напряжения БВХ). В зависимости от режима синхронизации и режима работы АЦП,  $t_{LAT}$  может быть или постоянным, или изменяющимся случайным образом между некоторыми минимальным и максимальным значениями. Разность между ними известна под названием *ADC jitter on trigger conversion* (по аналогии с апертурной нестабильностью, см. подпункт 10.3.4.6). Значение  $t_{LAT}$  (в т. ч. пределы его изменения) нормируются *datasheet* на МК. Например, у АЦП МК модельного ряда *STM32F030xx* оно составляет [26]:

- 2,75 или 2,625 периодов тактовой частоты АЦП при его тактировании синхроимпульсами домена *APB* (см. рис. 4.1) и коэффициентах деления предделителя тактовой частоты АЦП, равных 1/2 и 1/4 соответственно;

- от 2,64 до 3,63 периодов тактовой частоты АЦП при его тактировании автономным генератором АЦП частотой 14 МГц (см. рис. 4.1).

Заметим, что при тактировании АЦП синхроимпульсами домена *APB* (формируемыми из общего синхросигнала МК) нестабильность (*jitter*) значения  $t_{LAT}$  практически отсутствует, а при синхронизации АЦП его собственным тактовым генератором – равна примерно одному периоду тактовой частоты АЦП [26] из-за не синхронизации тактовых генераторов АЦП и МК в целом.

При отсутствии нестабильности  $t_{LAT}$  необходимо только учитывать его значение, для соблюдения условия (10.35). Нестабильность (*jitter*)  $t_{LAT}$  ограничивает частотный диапазон преобразуемого сигнала (см. подпункт 10.3.6.13). Кроме того, условие (10.35) должно соблюдаться при **максимальном** значении  $t_{LAT}$ .

В ряде режимов работы АЦП задержка  $t_{LAT}$  не является составляющей периода дискретизации, и в условии (10.35) не входит (см. подпункты 10.3.6.11 и 10.3.6.12).

**10.3.6.7. Время выборки,  $t_{Si}$**  (см. подпункт 10.3.4.5, в т. ч. рис. 10.21) является одной из 2-х обязательных составляющих цикла преобразования АЦП «мгновенных» значений, наряду с временем преобразования выходного напряжения БВХ в код (см. подпункт 10.3.6.8). Физический смысл времени выборки, требования к нему, способы его назначения, а также его уменьшения рассмотрены в подпункте 10.3.4.5. Здесь необходимо только напомнить, что минимально допустимое время выборки по каждому из каналов определяется постоянной времени цепи, образуемой выходным сопротивлением источника преобразуемого напряжения соответствующего канала, сопротивлением ключа БВХ и емкостью запоминающего конденсатора (см. рис. 10.20 и выражение (10.22)). Поскольку выходные сопротивления источников напряжений каналов могут быть различны, то при возможности задания времени выборки индивидуально для каждого канала (что позволяет, например, архитектура блоков АЦП МК семейства *ARM Cortex-Mx*, см. подпункт 10.3.11.5),  $t_{Si}$  может различаться от канала к каналу. Если же индивидуальное назначение времени выборки по каналам невозможно (что характерно, например, для АЦП МК семейства *AVR*), оно должно быть выбрано таким образом, чтобы условие (10.22) удовлетворялось для канала с наибольшим выходным сопротивлением источника преобразуемого напряжения.

**10.3.6.8. Время преобразования** выходного напряжения БВХ в код ( $t_{CC}$ ) основного типа АЦП МК, АЦП последовательного приближения, равно  $N$  периодам тактового сигнала АЦП [23]. Оно не должно превышать значения  $N/f_{ADC\ min}$ , где  $f_{ADC\ min}$  – нормируемая документацией на МК минимальная допустимая частота тактирования АЦП. При **превышении** временем  $t_{CC}$  значения  $N/f_{ADC\ min}$  нормируемые точностные параметры АЦП не гарантируются, из-за разряда запоминающего конденсатора (см. подпункт 10.3.4.8). Следует, однако, отметить, что они не гарантируются и при  $t_{CC}$ , **меньшем**  $N/f_{ADC\ max}$ , где  $f_{ADC\ max}$  – максимально допустимая частота тактирования АЦП.

**10.3.6.9. Время идентификации** окончания цикла АЦ-преобразования,  $t_{ID}$ , равно длительности интервала времени от момента завершения цикла до момента реакции ЦП на данное событие. Значение  $t_{ID}$  зависит от способа идентификации. Если она осуществляется программным опросом признака завершения преобразования, значение  $t_{ID}$  равно времени считывания и проверки данного признака. При считывании результата АЦ-преобразования по прерыванию значение  $t_{ID}$  равно задержке перехода к подпрограмме обслуживания прерывания; при считывании в режиме ПДП – время перехода к обслуживанию запроса на ПДП (см. пункт 8.1.6). Важно **отметить**, что при всех способах идентификации время  $t_{ID}$  нестабильно, т. е. для него характерен *jitter*, значение которого составляет несколько периодов синхросигнала ЦП.

**10.3.6.10. Время считывания и первичной обработки** текущего результата преобразования,  $t_{RP}$ , определяется конкретной прикладной задачей, решаемой МК, а также тактовой частотой его ЦП.

**10.3.6.11.** При работе АЦП в режиме **непрерывного** преобразования, в котором процесс АЦ-преобразования запускается однократно, а затем по завершении очередного цикла преобразования автоматически начинается следующий (см. подпункты 10.3.8.8 и 10.3.11.12) задержка начала цикла АЦ-преобразования относительно момента запуска АЦП имеет место только перед первым циклом преобразования; у последующих она отсутствует (см., например, рис. 10.38 и 10.53). Также в режиме непрерывного преобразования идентификация окончания цикла АЦ-преобразования, считывание и первичная обработка его результата осуществляются параллельно во времени с последующим циклом преобразования. Если переключение каналов в процессе преобразования также происходит автоматически (что характерно, например, для АЦП МК семейства *ARM Cortex-Mx*, см. подпункт 10.3.11.12, в т. ч. рис. 10.44), условие (10.35) приводится к следующему виду:

$$\sum_{i=1}^{n_{CH}} (t_{si} + t_{cc}) = T_D.$$

В то же время следует отметить, что у ряда семейств МК, например, *AVR*, переключение каналов в режиме непрерывного преобразования не рекомендуется (см. подпункт 10.3.8.13). При этом, если необходимо АЦ-преобразование в непрерывном режиме по нескольким каналам, оно реализуется следующим образом: вначале снимается серия отсчетов по одному каналу, затем по следующему и т. д., причем для каждой серии отсчетов верно соотношение:

$$t_{Si} + t_{CC} = T_D.$$

**10.3.6.12.** Архитектура блока АЦП ряда семейств МК, в т. ч. *ARM Cortex-Mx*, предоставляет возможность автоматического **сканирования** каналов, т. е. последовательного АЦ-преобразования входных напряжений нескольких каналов, с предварительно заданными в соответствующих регистрах номерами каналов и очередностью преобразований по ним (см. подпункт 10.3.11.8). Процедура сканирования стартует по запуску АЦП, цикл преобразования по каждому каналу автоматически начинается по завершении цикла преобразования по предыдущему каналу. Идентификация окончания цикла АЦ-преобразования, считывание и первичная обработка его результата осуществляются параллельно во времени с последующим циклом преобразования (за исключением преобразования по последнему из сканируемых каналов). При этом условие (10.35) приобретает вид:

$$t_{LAT} + \left( \sum_{i=1}^{n_{CH}} (t_{Si} + t_{CC}) \right) + t_{ID} + t_{RP} < T_D.$$

**10.3.6.13.** В большинстве задач АЦ-преобразования сигналов посредством АЦП «мгновенных» значений важно обеспечение **стабильности** периода дискретизации. Его нестабильность, аналогично апертурной нестабильности, ограничивает частотный диапазон преобразуемого сигнала, см. подпункт 10.3.4.6 и выражение (10.24). По аналогии с данным выражением и на его основании, можно сделать вывод, что частота преобразуемого гармонического сигнала должна удовлетворять следующему условию:

$$f < 1/(\pi \times \Delta T_D \times 2^{N+2}); \quad (10.36)$$

где  $\Delta T_D$  – нестабильность (т. е. разность максимального и минимального значения) периода дискретизации; т. е. за время  $\Delta T_D$  изменение преобразуемого сигнала не должно превышать 0,25 аналогового эквивалента ЕМЗР (см. вывод выражения (10.24)).

Отметим, что, если типовые значения апертурной нестабильности (см. выражение (10.24)) равны порядка единиц – десятков пс, нестабильность периода дискретизации в ряде режимов запуска и работы АЦП может составлять один и более периодов синхросигнала АЦП (т. е. порядка сотен нс), что накладывает **серьезные ограничения** на частотный диапазон преобразуемого сигнала. Так, при нестабильности значения  $t_{LAT}$ , равной 1 периоду синхросигнала АЦП частотой 14 МГц (см. подпункт 10.3.6.6), т. е. 71,4 наносекундам, и при  $N$ , равном 12-ти битам, условие (10.36) удовлетворяется на частотах до примерно 270 Гц, а при  $N$ , равном 8-и битам – до примерно 4,3 кГц. Поэтому важно рассмотреть источники нестабильности периода дискретизации и возможные способы ее минимизации.

Значение  $\Delta T_D$  определяется способом **запуска** АЦП, а также **режимом его работы**.

Известны два основных способа запуска АЦП МК [6, 9]:

- запуск, инициируемый программной установкой некоторого старт-бита в одном из регистров управления АЦП (см., например, подпункты 10.3.8.7 и 10.3.11.9);

- автоматический запуск на аппаратном уровне сигналом, формируемым некоторым блоком МК (таймером, аналоговым компаратором и т. п.); данный режим известен под названиями *Auto Triggering* (см. подпункт 10.3.8.11) или *Conversion on external trigger* (см. подпункт 10.3.11.9).

В свою очередь, основными режимами работы АЦП МК являются [6, 9], см. также подпункты 10.3.8.7, 10.3.8.8 и 10.3.11.10 – 10.3.11.12:

- одиночное преобразование по одному каналу; в данном режиме АЦП, по программному или аппаратному запуску, выполняет один цикл преобразования по выбранному каналу, после чего

останавливается и ожидает следующей команды / сигнала запуска (см. рис. 10.37 и 10.54);

- непрерывное преобразование по одному каналу, при котором после однократного запуска АЦП он непрерывно осуществляет преобразования по выбранному каналу; по выполнении очередного цикла АЦ-преобразования без задержки начинается следующий (см. рис. 10.38 и 10.53); преобразования прекращаются только после программной остановки АЦП;

- программно-управляемое сканирование группы каналов, при котором последовательно выполняется однократное АЦ-преобразование по каждому из каналов; переключение каналов и запуск преобразования по каждому из них осуществляется под управлением ПО; по выполнении преобразования по последнему из каналов группы осуществляется переход к первому из каналов и т. д., до остановки АЦП;

- аппаратно-управляемое сканирование группы каналов с одиночным преобразованием по каждому из них; в данном режиме после запуска АЦП он последовательно выполняет однократное преобразование по каждому из выбранных каналов (без задержек между циклами преобразования), после чего останавливается и ожидает очередного запуска (см. подпункт 10.3.11.11, в т. ч. рис. 10.43);

- аппаратно-управляемое непрерывное сканирование группы каналов с поочередным преобразованием по каждому из них; данный режим отличается от предыдущего тем, что АЦ-преобразования по всем выбранным каналам осуществляются в цикле, до программной остановки АЦП (см. подпункт 10.3.11.12, в т. ч. рис. 10.44).

Последние два из перечисленных режимов реализуются не во всех семействах МК; в частности, архитектурой МК семейства *AVR* возможность их реализации не предоставляется.

В табл. 10.3 приведены выражения для оценки нестабильности периода дискретизации при основных режимах работы и способах запуска АЦП МК. Данные выражения получены на основе условия (10.35), а также его частных случаев, рассмотренных в подпунктах 10.3.6.11 и 10.3.6.12.

Таблица 10.3

Выражения для оценки нестабильности периода дискретизации при основных режимах работы и способах запуска АЦП МК

Вар.	Режим работы	Способ запуска	$\Delta T_D$
1.	Одинокое преобразование	Программный	$\Delta t_{START} + \Delta t_{LAT} + \Delta t_S + \Delta t_{CC} + \Delta t_{ID} + \Delta t_{RP} + \Delta t_{DELAY}$
2.	по одному каналу	Аппаратный ( <i>Triggering</i> )	$\Delta t_{TRIG} + \Delta t_{LAT}$
3.	Непрерывное преобразование по одному каналу <sup>1)</sup>	Программный	$\Delta t_S + \Delta t_{CC}$
4.		Аппаратный ( <i>Triggering</i> )	
5.	Программно-управляемое сканирование группы каналов с одноканальным преобразованием по каждому	Программный	$(\Delta t_{START} + \Delta t_{LAT} + \Delta t_S + \Delta t_{CC} + \Delta t_{ID} + \Delta t_{RP} + \Delta t_{DELAY}) n_{CH}$
6.	Аппаратно-управляемое сканирование группы каналов с одноканальным преобразованием по каждому	Программный	$\Delta t_{START} + \Delta t_{LAT} + \left( \sum_{i=1}^{n_{CH}} \Delta t_{Si} \right) + n_{CH} \Delta t_{CC} + \Delta t_{ID} + \Delta t_{RP} + \Delta t_{DELAY}$
7.		Аппаратный ( <i>Triggering</i> )	$\Delta t_{TRIG} + \Delta t_{LAT} + \left( \sum_{i=1}^{n_{CH}} \Delta t_{Si} \right) + n_{CH} \Delta t_{CC}$
8.	Аппаратно-управляемое непрерывное сканирование группы каналов <sup>1)</sup>	Программный	$\left( \sum_{i=1}^{n_{CH}} \Delta t_{Si} \right) + n_{CH} \Delta t_{CC}$
9.		Аппаратный ( <i>Triggering</i> )	

**Примечания.**

$\Delta t_{LAT}, \Delta t_S, \Delta t_{CC}, \Delta t_{ID}, \Delta t_{RP}$  – нестабильности интервалов времени, входящих в условие (10.35).

$\Delta t_{START}$  – нестабильность момента программного запуска АЦП.

$\Delta t_{DELAY}$  – нестабильность программно формируемой задержки между запусками АЦП.

$\Delta t_{TRIG}$  – нестабильность момента аппаратного запуска АЦП.

<sup>1)</sup> Выражения приведены без учета задержки старта 1-го цикла АЦ-преобразования после запуска АЦП.

Выражения, приведенные в табл. 10.3, необходимо дополнить следующими **пояснениями**.

1. Нестабильность времени выборки ( $\Delta t_S$  или  $\Delta t_{Si}$ ), а также времени преобразования выходного напряжения БВХ в код ( $\Delta t_{CC}$ ) определяется нестабильностью частоты тактирования АЦП, т. к. и время выборки, и время преобразования прямо пропорциональны периоду синхросигнала АЦП (см. подпункты 10.3.4.5 и 10.3.6.8). Если синхросигнал АЦП формируется предделением выходного сигнала ГТИ МК с ПЭР (см., например, рис. 4.1 и 4.14), то значения  $\Delta t_S$  ( $\Delta t_{Si}$ ) и  $\Delta t_{CC}$  **пренебрежимо малы**.

При тактировании АЦП синхроимпульсами, формируемым из выходного сигнала RC-ГТИ (в т. ч. собственного ГТИ АЦП, см. рис. 4.1), нестабильность  $\Delta t_S$  ( $\Delta t_{Si}$ ) и  $\Delta t_{CC}$  может составить до **единиц процентов** от номинальных значений  $t_S$  ( $t_{Si}$ ) и  $t_{CC}$ .

2. Нестабильность задержки начала цикла преобразования после запуска АЦП,  $\Delta t_{LAT}$ , зависит от архитектуры блока АЦП конкретного семейства МК, а также от способа запуска АЦП и от источника его тактирования; например:

- в МК семейства *AVR* при программном запуске АЦП значение  $\Delta t_{LAT}$  равно **1 периоду** синхросигнала АЦП (см. подпункт 10.3.8.7); при аппаратном запуске (*Auto Triggering*) – практически равно **нулю** (см. подпункт 10.3.8.11);

- в МК модельного ряда *STM32F030xx* семейства *ARM Cortex-Mx* в режиме запуска *External Triggering* значение  $\Delta t_{LAT}$  равно **нулю** при тактировании АЦП синхросигналом домена *APB*, и **1 периоду** тактового сигнала АЦП – при его синхронизации собственным ГТИ (см. подпункт 10.3.6.6).

Конкретные значения  $\Delta t_{LAT}$  в различных режимах запуска и тактирования АЦП указываются в *Datasheet* соответствующей модели / модельного ряда МК. В целом, практически для всех семейств МК  $\Delta t_{LAT}$  **минимальна** при аппаратном (*Triggering*) запуске АЦП и при его тактировании синхросигналом, формируемым предделением тактового сигнала МК.

3. Нестабильность момента аппаратного запуска АЦП,  $\Delta t_{TRIG}$ , зависит от того, какой блок МК инициирует запуск, а также от источника тактирования данного блока. Например, если запуск

осуществляется по переполнении некоторого таймера, тактируемого синхросигналом, формируемым из выходного сигнала ГТИ с ПЭР, значение  $\Delta t_{TRIG}$  пренебрежимо мало. Если же таймер тактируется синхроимпульсами, формируемым из выходного сигнала *РС-ГТИ*,  $\Delta t_{TRIG}$  составит порядка нескольких процентов от номинального значения  $t_{TRIG}$ .

4. Типовые значения  $\Delta t_{START}$ ,  $\Delta t_{ID}$ ,  $\Delta t_{RP}$ ,  $\Delta t_{DELAY}$  равны **нескольким периодам** тактовой частоты ЦП МК, и зависят от конкретного программного кода управления АЦП, контроля его состояния, считывания и обработки результатов преобразования. Необходимо отметить, что перечисленные составляющие нестабильности периода дискретизации **минимальны** при написании модуля управления АЦП на **ассемблере** МК.

На основании таблицы 10.3, а также вышеприведенных дополнений к ней можно сделать следующие **выводы**.

1. **Наименьшей** нестабильностью характеризуются **варианты 3, 4, 8 и 9** запуска и режима АЦП. При условии, что он тактируется синхросигналом, формируемым из выходного сигнала ГТИ с ПЭР, нестабильность практически равна **нулю**.

2. Практически **нулевая** нестабильность периода дискретизации может также быть обеспечена **вариантами 2 и 7**, при условии, запуска АЦП таймером, тактируемым синхросигналом, формируемым из выходного сигнала ГТИ МК с ПЭР, а также тактирования АЦП синхроимпульсами, формируемыми из выходного сигнала того же ГТИ.

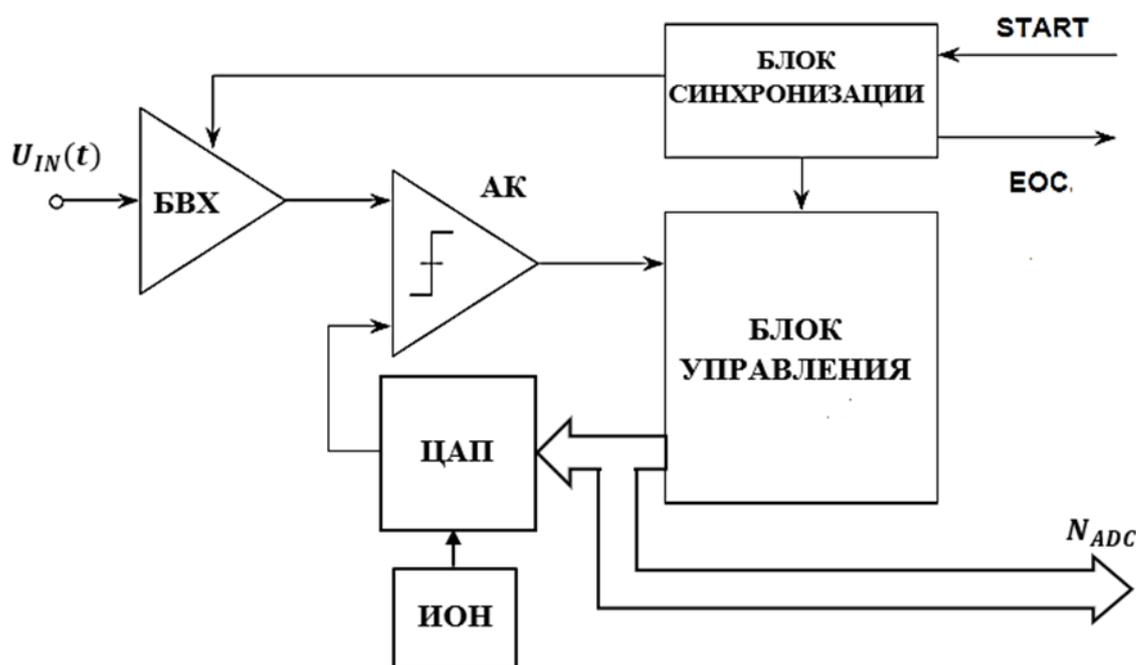
3. **Наибольшей** нестабильностью, при прочих равных условиях, характеризуются варианты 1, 5 и 6, **максимальной** – при тактировании АЦП и МК в целом синхросигналами, формируемыми из выходного сигнала *РС-ГТИ*. Тем не менее, данные варианты тоже могут применяться на практике при соблюдении условия 10.36, т. е. при преобразовании постоянных или медленно меняющихся сигналов.

4. В целом, режим запуска и работы АЦП, а также источник его тактирования должны выбираться, исходя из **удовлетворения условий (10.35) и (10.36)** при решении конкретной задачи контроля и управления техническим объектом.

### 10.3.7. Принципы реализации АЦП МК общего назначения

10.3.7.1. Как указано в пункте 10.3.3, в МК общего назначения применяются, в основном АЦП **последовательного приближения**, другое их название – АЦП **поразрядного уравнивания** (в англоязычных источниках – *Successive Approximation ADC, SA-ADC*). Рассмотрим принципы их реализации и работы.

10.3.7.2. Обобщенная структурная схема АЦП последовательного приближения приведена на рис. 10.25 [23].



$U_{IN}(t)$  – входное напряжение

$N_{ADC}$  – выходной код (результат преобразования)

EOC – сигнал-признак завершения преобразования (*End Of Conversion*)

**Рис. 10.25.** Обобщенная структурная схема АЦП последовательного приближения [23]

Принцип работы данного АЦП следующий. Подлежащее преобразованию напряжение фиксируется БВХ (см. пункт 10.3.4). После этого производится **уравнивание** выходного напряжения БВХ выходным напряжением ЦАП: блоком управления вырабатывается входной код ЦАП, при котором его выходное напряжение, с точностью до ЕМЗР, становится равным выходному напряжению БВХ. Разрядность ЦАП совпадает с разрядностью

АЦП. По окончании процедуры уравнивания входной код ЦАП представляет собой результат АЦ-преобразования. Формирование входного кода ЦАП осуществляется способом последовательного приближения, поразрядно, начиная со старшего разряда.

Алгоритм уравнивания следующий.

1. Указатель номера разряда ЦАП, который обозначим  $i$  устанавливается равным номеру старшего разряда, равному  $N-1$  у ЦАП  $N$ -разрядного АЦП (напомним, что нумерация разрядов производится, начиная с 0-го).

2.  $i$ -й разряд входного кода ЦАП устанавливается в единицу.

3. Если выходное напряжение АК указывает на превышение выходным напряжением ЦАП выходного напряжения БВХ –  $i$ -й разряд входного кода ЦАП сбрасывается в нулевое состояние, в противном случае – оставляется в единичном.

4. Если  $i = 0$  – процесс уравнивания завершается. В противном случае  $i$  уменьшается на единицу, и производится переход к пункту 2.

На рис. 10.26 представлен пример временных диаграмм уравнивания при разрядности ЦАП (и АЦП) 8 бит [23]. В данном примере результат АЦ-преобразования равен 10011010.

Важно заметить, что у АЦП последовательного приближения время уравнивания и, соответственно, время преобразования выходного напряжения БВХ в код ( $t_{CC}$  в выражении (10.35)) не зависит от преобразуемого напряжения, и всегда равно  $N$  периодам тактового сигнала АЦП (где  $N$  – разрядность АЦП).

**10.3.7.3.** Инструментальные погрешности АЦП последовательного приближения (см. выражение (10.18)) определяются параметрами **БВХ, ЦАП, ИОН и АК**.

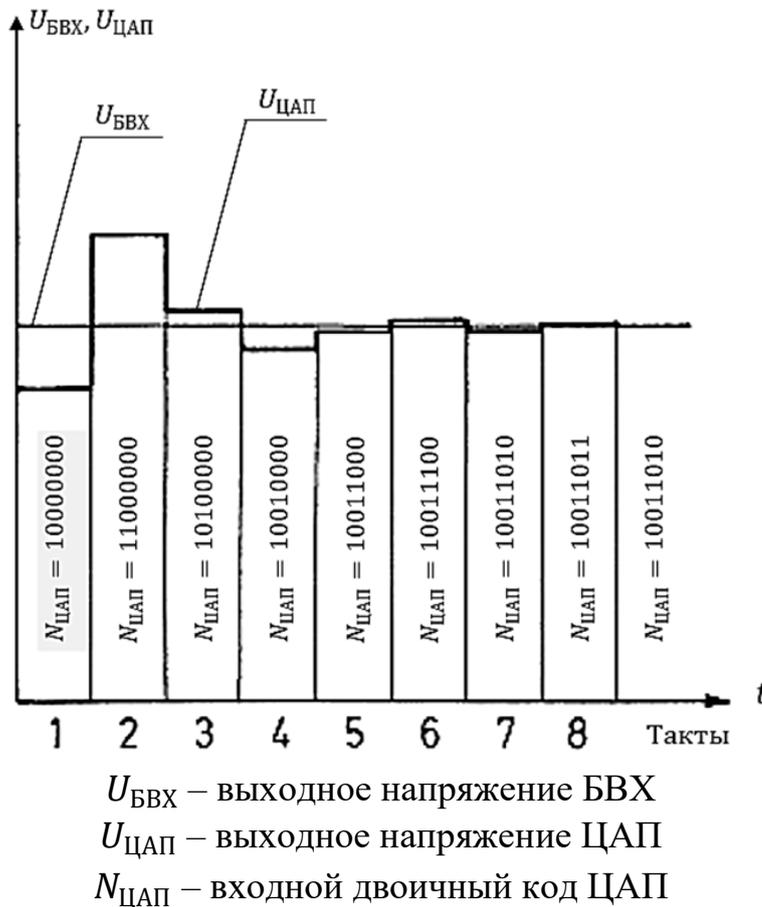
Погрешности, вносимые **БВХ**, а также способы их минимизации рассмотрены в пункте 10.3.4.

**ИОН** вырабатывает опорное напряжение для ЦАП. В качестве его может служить:

- встроенный ИОН МК;
- при повышенных требованиях к точности и стабильности выходного напряжения – внешний ИОН, реализованный по одной из

известных схем (см. [20, 23]); предпочтительно применение серийно выпускаемого ИОН в интегральном исполнении;

- если приемлема погрешность АЦ-преобразования порядка единиц процентов – в качестве опорного может использоваться напряжение питания **аналоговой** части МК (см. раздел 3).



**Рис. 10.26.** Пример временных диаграмм уравнивания выходного напряжения БВХ выходным напряжением ЦАП 8-битового АЦП последовательного приближения [23]

Погрешность, вносимая ИОН, имеет, в основном, мультипликативный характер (см. подпункт 10.3.2.4) и, в принципе, может быть минимизирована автоматической калибровкой АЦП под управлением ПО (в частности, см. подпункты 10.3.9.10 и 10.3.11.23).

**АК** вносит вклад, в основном, в погрешность смещения и в погрешность от нелинейности (см. выражение (10.18)). Погрешность смещения минимизируется автоматической калибровкой АЦП (см. пункт 10.3.9 и подпункт 10.3.11.22). Следует отметить, что

параметры АК АЦП, как правило, недоступны для изменения пользователем МК.

ЦАП является центральным функциональным узлом АЦП последовательного приближения, который в значительной мере определяет все составляющие его погрешности. Вкратце, он представляет собой устройство, которое реализует следующую функцию (без учета инструментальных погрешностей):

$$U_{\text{ЦАП}} = U_{\text{REF}} N_{\text{ЦАП}} / 2^N; \quad (10.37)$$

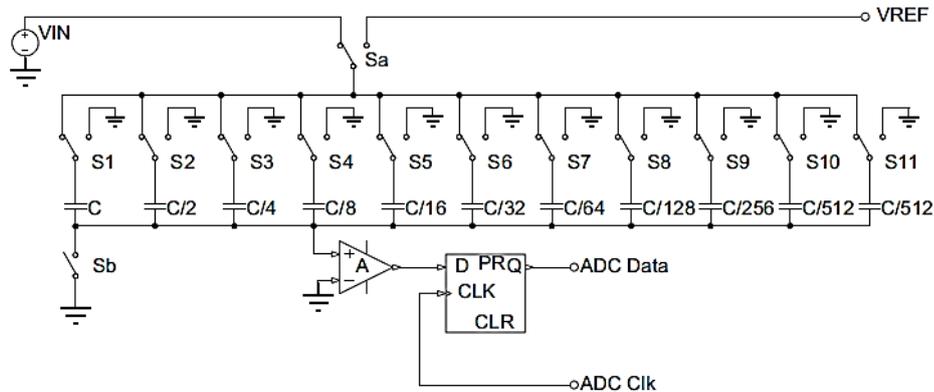
где  $U_{\text{REF}}$  – выходное напряжение ИОН.

В первом поколении интегральных АЦП последовательного приближения использовались ЦАП на основе управляемых кодом резистивных делителей тока типа  $R$ - $2R$  [20, 23]. Однако, данная разновидность ЦАП нежелательна для использования в АЦП современных КМОП-МК, т. к. изготовление по КМОП-технологии резисторов с заданными отношениями сопротивлений связано с существенными сложностями, а занимаемая ими площадь на кристалле сравнительно велика. Поэтому в АЦП последовательного приближения, входящих в структуру современных МК общего назначения, в основном, используются ЦАП на **переключаемых конденсаторах** (ПК-ЦАП). В данных ЦАП вместо управляемых кодом резистивных делителей тока используются кодоуправляемые емкостные делители напряжения. Реализация по КМОП-технологии конденсаторов с заданными соотношениями емкостей значительно проще, чем резисторов, и требует меньшей площади на кристалле. Функции конденсаторов при этом обычно выполняют емкости затвор-канал МОП-транзисторов. Важным преимуществом ПК-ЦАП также является возможность **совмещения** ими функций собственно ЦАП и БВХ (см. подпункт 10.3.7.4).

АЦП последовательного приближения на основе ПК-ЦАП обычно называют АЦП на переключаемых конденсаторах, ПК-АЦП (*switched-capacitor ADC*). Рассмотрим принцип их работы.

**10.3.7.4.** Принцип работы ПК-АЦП последовательного приближения будем рассматривать на примере ПК-АЦП МК семейства *ARM Cortex-Mx* [60].

Функциональная схема аналоговой части ПК-АЦП, применяемая в МК данного семейства, представлена на рис. 10.27 (на примере 10-битового АЦП). В схеме сохранены оригинальные условные графические обозначения.



$V_{IN}$  – входное напряжение

$V_{REF}$  – опорное напряжение

$A$  – аналоговый компаратор (АК)

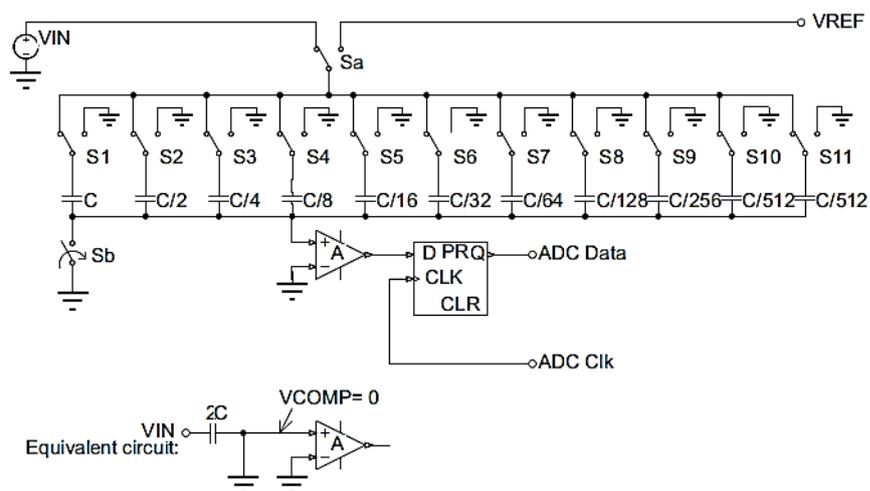
$ADC\ Data$  – передаваемое на блок управления состояние АК

$ADC\ Clk$  – тактовый сигнал АЦП

**Рис. 10.27.** Типовая функциональная схема аналоговой части ПК-АЦП последовательного приближения [60]

Основой АЦП является совмещающая функции БВХ и ЦАП матрица коммутируемых конденсаторов с емкостями, равными  $C/2^i, i = 0, 1, 2, \dots, N - 1$ , где  $C$  – емкость конденсатора старшего разряда. Значение данной емкости может иметь существенный разброс (порядка 10 – 15 %), однако он не практически не влияет на точность преобразования; важно лишь обеспечение (с погрешностью порядка нескольких десятых от  $1/2^N$ ) требуемых соотношений между емкостями конденсаторов (см. рис. 10.27), что выполнимо при реализации конденсаторов в интегральном исполнении.

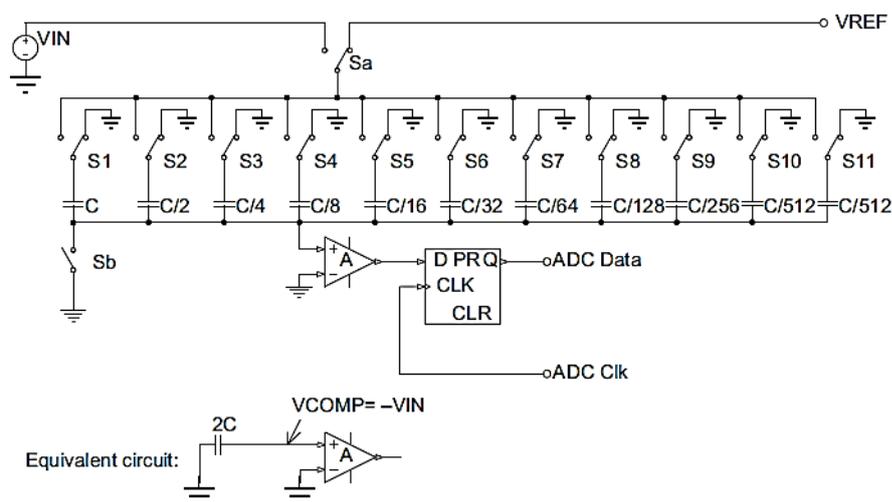
Состояния ключей ПК-АЦП и эквивалентная схема его аналоговой части в режиме выборки представлены на рис. 10.28. Все конденсаторы заряжаются до входного напряжения; не инвертирующий вход АК подключен к общей шине.



**Рис. 10.28.** Состояния ключей аналоговой части МК-АЦП и его эквивалентная схема в режиме выборки [60]

Состояния ключей МК-АЦП и эквивалентная схема его аналоговой части после перехода из режима выборки в режим хранения, но перед началом процесса уравнивания, представлены на рис. 10.29. Верхние по схеме выводы всех конденсаторов (которые в режиме выборки были подключены к источнику входного напряжения) подключаются к общей шине, а нижние по схеме выводы конденсаторов – отключаются от нее. При этом напряжения на конденсаторах остаются равными  $V_{IN}$ , но напряжения на их нижних по схеме выводах относительно общей шины становится равным минус  $V_{IN}$ . Такое же значение принимает напряжение  $V_{COMP}$  на не инвертирующем входе АК, к которому они подключены. При этом входной код ЦАП равен 0000000000, переключатели  $S1 \dots S11$  находятся в правом по схеме положении, а верхние по схеме выводы всех конденсаторов подключены к общей шине.

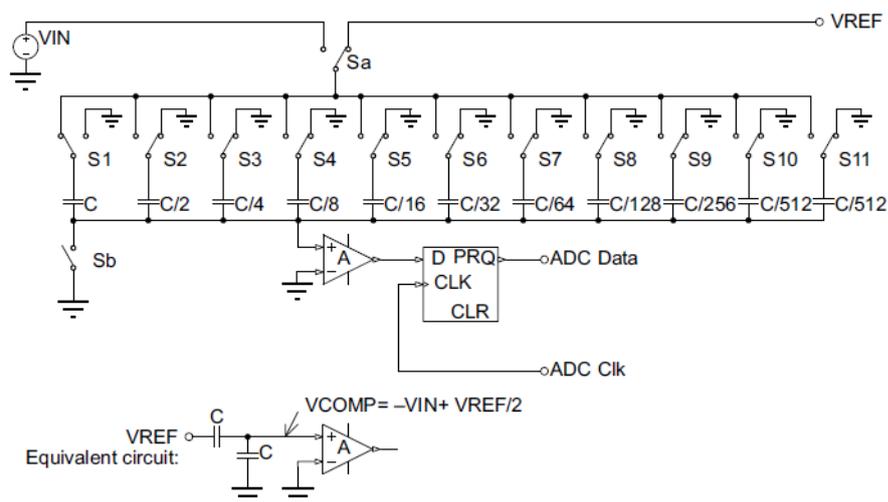
После перехода в режим хранения начинается процесс уравнивания по алгоритму, приведенному в подпункте 10.3.7.2, занимающий по времени 10 тактов, т. е. 10 периодов сигнала  $ADC\ Clk$  (см. рис. 10.27).



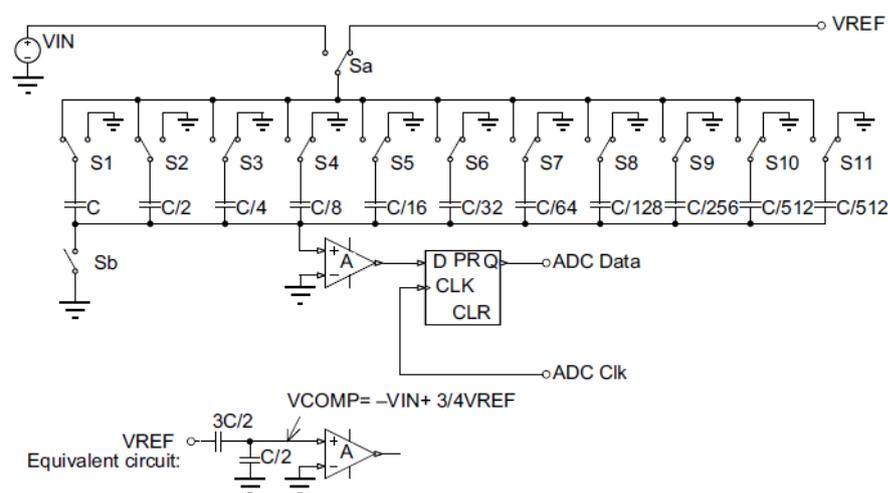
**Рис. 10.29.** Состояния ключей ПК-АЦП и эквивалентная схема его аналоговой части после перехода из режима выборки в режим хранения (перед началом процесса уравнивания) [60]

Состояния ключей и эквивалентная схема аналоговой части АЦП в 1-м такте уравнивания приведены на рис. 10.30. Старший (в данном примере – 9-й) бит входного кода ЦАП устанавливается в единицу, и переключатель *S1* переводится в левое по схеме положение, подключая верхний по схеме вывод конденсатора старшего разряда ЦАП к выходу ИОН. Напряжение *VCOMP* становится равным сумме напряжения на конденсаторах, подключенных к общей шине, равного минус *VIN*, и выходного напряжения емкостного делителя, сформированного подключенным к выходу ИОН конденсатором старшего разряда ЦАП (с емкостью *C*) и подключенными к общей шине всеми остальными конденсаторами, суммарная емкость которых также равна *C* (см. рис. 10.30). При этом входным напряжением емкостного делителя служит *VREF*. В результате  $V_{COMP} = (V_{REF}/2) - V_{IN}$ .

Если напряжение *VIN* больше  $V_{REF}/2$ , *VCOMP* будет отрицательным, а выход АК установится в нулевое состояние. При этом во 2-м такте уравнивания входному коду ЦАП будет присвоено значение 1100000000. Состояния ключей и эквивалентная схема аналоговой части АЦП при этом будут соответствовать рис. 10.31, а напряжение *VCOMP* будет равно  $(3V_{REF}/4) - V_{IN}$ .

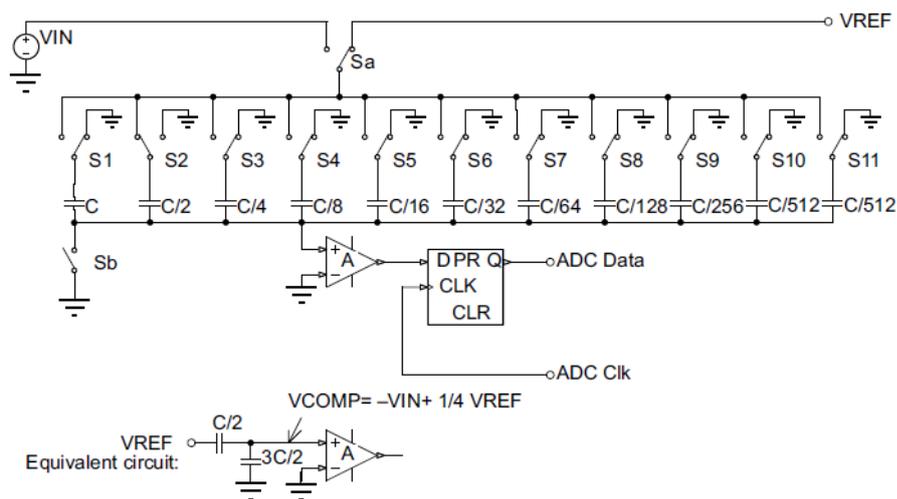


**Рис. 10.30.** Состояния ключей и эквивалентная схема аналоговой части ПК-АЦП в 1-м такте уравнивания [60]



**Рис. 10.31.** Состояния ключей и эквивалентная схема аналоговой части ПК-АЦП во 2-м такте уравнивания при  $V_{IN} > V_{REF}/2$  [60]

Если же  $V_{IN} < V_{REF}/2$ , выход АК установится в единичное состояние, и во 2-м такте уравнивания входному коду ЦАП будет присвоено значение 0100000000. Состояния ключей и эквивалентная схема аналоговой части АЦП при этом будут соответствовать рис. 10.32, а напряжение  $V_{COMP}$  будет равно  $(V_{REF}/4) - V_{IN}$ .



**Рис. 10.32.** Состояния ключей и эквивалентная схема аналоговой части ПК-АЦП во 2-м такте уравнивания при  $V_{IN} < V_{REF}/2$  [60]

**Примечание.** Необходимо пояснить, что коэффициент деления емкостного делителя напряжения равен отношению емкости **верхнего** плеча (на рис. 10.31 равной  $3C/2$ , а на рис. 10.32 –  $C/2$ ) к сумме емкостей верхнего и нижнего плеча (на обоих рисунках равной  $2C$ ).

Далее, если, например, во 2-м такте уравнивания входной код ЦАП был установлен равным 1100000000 (см. рис. 10.31), а выход АК оказался в единичном состоянии (т. е.  $V_{IN} < 3V_{REF}/4$ ), 8-й (следующий после старшего) бит входного кода ЦАП сбрасывается в нулевое состояние. В противном случае 8-й бит остается в единичном состоянии.

В 3-м такте уравнивания в единицу устанавливается 7-й бит входного кода ЦАП, и к выходу ИОН подключается верхний по схеме вывод конденсатора емкостью  $C/4$ . Напряжение  $V_{COMP}$  при этом становится равным  $(V_{REF}/2C) \times (b_9C + b_8(C/2) + (C/4)) - V_{IN}$ , где  $b_9$  и  $b_8$  – состояния 9-го и 8-го битов входного кода ЦАП по результатам 1-го и 2-го тактов. Если напряжение  $V_{COMP}$  положительно (выход АК установился в единичное состояние) – 7-й бит сбрасывается в нулевое состояние, в противном случае – остается в единичном. Затем осуществляется переход к 4-му такту и т. д., в соответствии с приведенным в подпункте 10.3.7.2 алгоритмом поразрядного уравнивания.

По окончании процесса уравнивания достигается (с точностью до ЕМЗР и без учета инструментальных погрешностей преобразования) следующее равенство:

$$VIN = VREF \sum_{i=0}^{N-1} (b_i 2^i / 2^N);$$

где  $b_i$  – состояние  $i$ -го бита входного кода ЦАП по результатам уравнивания;  $N$  – разрядность АЦП, в рассматриваемом примере равная 10-и битам. Входной код ЦАП при этом является результатом преобразования.

В заключение следует заметить, что все сказанное в данном подпункте справедливо только **при условии**, что за время уравнивания потери напряжения на конденсаторах будут пренебрежимо малы по сравнению с ЕМЗР. Поэтому важно, чтобы время преобразования не превышало максимально допустимое (см. подпункт 10.3.4.8).

**10.3.7.5.** В целом, блоки АЦП МК общего назначения характеризуются следующими базовыми структурно-архитектурными решениями, **общими** для большинства современных семейств МК данного класса:

- АЦП большинства семейств / модельных рядов МК общего назначения реализуют способ **последовательного приближения**, см. подпункт 10.3.7.2 (исключение составляют немногие модели / модельные ряды МК, в составе которых используются интегрирующие АЦП [9, 17]);

- **цикл преобразования** АЦП последовательного приближения, входящих в состав МК, включает в себя два основных временных интервала – время выборки преобразуемого напряжения (см. подпункт 10.3.4.5) и время уравнивания выходного напряжения БВХ (см. рис. 10.26 и пояснения к нему); под время выборки выделяется определенное количество периодов синхросигнала АЦП (в ряде семейств – программно-назначаемое, см. подпункт 10.3.11.5);

- как правило, имеется возможность программного управления **частотой** сигнала синхронизации АЦП МК и, следовательно,

длительностью цикла преобразования (в зависимости от требований конкретной прикладной задачи);

- АЦП МК являются **многоканальными**, с возможностью программного выбора каналов, по которым осуществляется выборка и преобразование напряжения, а также порядка опроса данных каналов;

- АЦП МК могут работать в **режимах** иницируемого программно одиночного или непрерывного преобразования, а также автоматического запуска сигналами, вырабатываемыми другими блоками МК; при этом выбор режима и источника запуска осуществляется программно;

- блок АЦП МК может быть источником **прерываний** (при условии, что они разрешены); к событиям, вызывающим прерывания, относятся окончание очередного цикла АЦ-преобразования, у МК класса «*high performance*» – также некоторые другие события (см. подпункт 10.3.11.25);

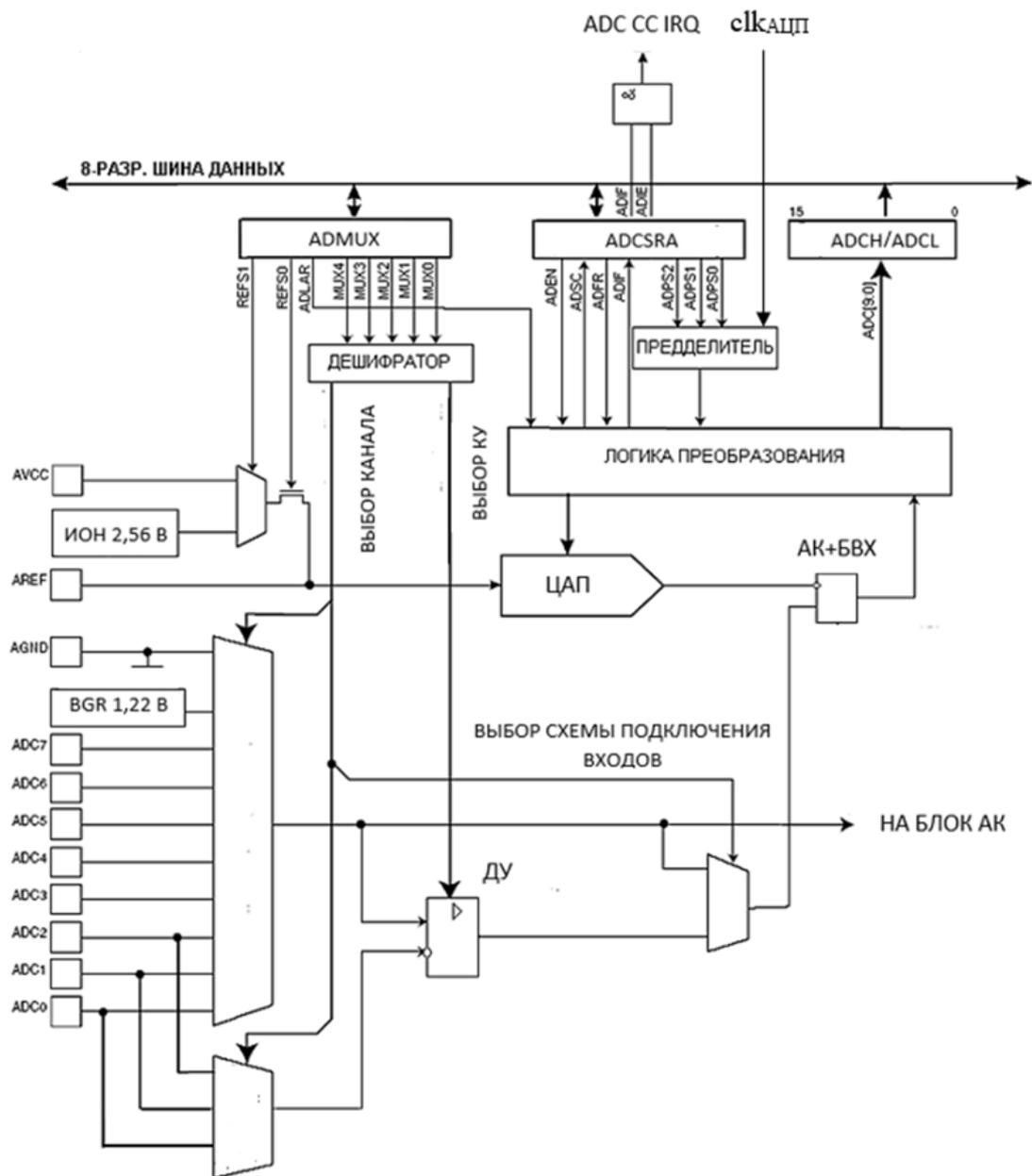
- АЦП ряда семейств МК могут также работать в режиме ПДП (см. подпункт 10.3.11.24, а также подпункт 8.4.1).

**10.3.7.6.** Типовые структурно-архитектурные решения блоков АЦП МК общего назначения будут рассматриваться на примере АЦП МК семейств *AVR* и *ARM Cortex-Mx*.

### **10.3.8. Базовые структурно-архитектурные решения блоков АЦП МК семейства *AVR***

**10.3.8.1.** В состав большинства моделей подсемейства *ATmega* МК и ряда моделей подсемейства *Attiny* семейства *AVR* входит 10-разрядный АЦП последовательного приближения [6]. Его типовым примером является АЦП МК *ATmega128 / 1887BE7T* [8], структурная схема которого приведена на рис. 10.33.

АЦП реализован в соответствии с обобщенной структурной схеме, приведенной на рис. 10.25. Его основой являются: 10-битовый ЦАП; АК, схемотехнически совмещенный с БВХ; и блок управления преобразованием, в технической документации на МК семейства *AVR* называемый логикой преобразования.



*AVCC, AGND* – напряжение питания и общая шина аналоговой части МК

*AREF* – вывод для подключения внешнего ИОН

*ADC0 – ADC7* – входы АЦП

*AD CC IRQ* – запрос на прерывание по завершении АЦ-преобразования  
*ADMUX, ADCSRA, ADCH, ADCL* – регистры АЦП (см. подпункт 10.3.8.2)

*BGR* – *Bandgap Reference* (см. подпункт 10.2.2.2)

*КУ* – коэффициент усиления

*ДУ* – дифференциальный усилитель

**Рис. 10.33.** Структурная схема блока АЦП МК *ATmega128 / 1887BE7T* [8]

Следует отметить, что в доступных источниках информации отсутствуют данные о том, реализован ли ЦАП на резистивной матрице или на ПК.

**10.3.8.2.** Регистровая модель блока АЦП МК *ATmega128 / 1887BE7T* включает в себя (см. рис. 10.33):

- регистр управления мультиплексорами (*ADMUX*), формат которого приведен на рис. 10.34;

- регистр управления и статуса (*ADCSRA*); его формат представлен на рис. 10.35;

- доступные только для чтения регистры старшего и младшего байтов результата преобразования (*ADCH* и *ADCL* соответственно); форматы размещения результата, в зависимости от состояния бита *ADLAR* регистра *ADMUX* (см. рис. 10.34) приведены на рис. 10.36.

**Примечание.** На рис. 10.34 и 10.35 аббревиатура «Ч/З» означает, что бит доступен как для чтения, так и для записи. Под начальным значением понимается состояние битов после сброса.

Бит	7	6	5	4	3	2	1	0	
	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	ADMUX
	Ч/З	Ч/З	Ч/З	Ч/З	Ч/З	Ч/З	Ч/З	Ч/З	
Начальное значение	0	0	0	0	0	0	0	0	

*REFS0* и *REFS1* – биты выбора ИОН АЦП

*ADLAR* – бит разрешения «выравнивания влево» результата преобразования (см. рис. 10.36б)

*MUX0* – *MUX4* – биты управления мультиплексорами входных сигналов и коэффициентом усиления ДУ

**Рис. 10.34.** Формат регистра *ADMUX* блока АЦП МК *ATmega128 / 1887BE7T* [8]

Бит	7	6	5	4	3	2	1	0	
	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
	Ч/З	Ч/З	Ч/З	Ч/З	Ч/З	Ч/З	Ч/З	Ч/З	
Начальное значение	0	0	0	0	0	0	0	0	

*ADEN* – бит разрешения работы АЦП

*ADSC* – бит запуска АЦ-преобразования

*ADFR* – бит разрешения работы в режиме непрерывного преобразования (см. подпункт 10.3.8.8)

*ADIF* – бит признака окончания очередного цикла АЦ-преобразования и наличия его результата в регистрах *ADCH* и *ADCL*

*ADIE* – биты разрешения прерываний по окончании цикла АЦ-преобразования

*ADPS0* – *ADPS2* – биты управления коэффициентом деления делителя (см. подпункт 10.3.8.5)

**Рис. 10.35.** Формат регистра *ADCSRA* блока АЦП МК *ATmega128 / 1887BE7T* [8]

Бит	15	14	13	12	11	10	9	8	
	-	-	-	-	-	-	ADC9	ADC8	ADCH
	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
	7	6	5	4	3	2	1	0	

а)

Бит	15	14	13	12	11	10	9	8	
	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH
	ADC1	ADC0	-	-	-	-	-	-	ADCL
	7	6	5	4	3	2	1	0	

б)

*ADC0* – *ADC9* – биты результата АЦ-преобразования

**Рис. 10.36.** Форматы размещения битов результата АЦ-преобразования в регистрах *ADCH* и *ADCL* блока АЦП МК семейства *AVR* при нулевом (а) и единичном (б) состоянии бита *ADLAR* регистра *ADMUX* (см. рис. 10.34)

**Примечание.** Представленный на рис. 10.36 формат рационально использовать, если для решения некоторой конкретной

задачи достаточно представлять результат АЦ-преобразования с 8-битовой точностью. При этом достаточно считывать только содержимое регистра *ADCH*; младшие 2 бита результата преобразования, содержащиеся в регистре *ADCL*, могут игнорироваться.

**10.3.8.3.** Архитектура блока АЦП МК семейства *AVR*, как и абсолютного большинства современных семейств МК общего назначения, предоставляет возможность программно-управляемого выбора ИОН. В его качестве может служить (см. рис. 10.33):

- источник напряжения питания аналоговой части МК (*AVCC*);
- внутренний ИОН с номинальным выходным напряжением 2,56 В (его реальное значение у конкретных экземпляров ИС МК находится в пределах от 2,3 до 2,7 В [8]);
- внешний ИОН, подключаемый к выводу *AREF* ИС МК; допустимые пределы выходного напряжения – от 2 В до *AVCC* (*AVCC* – 0,5 В при преобразовании дифференциальных напряжений, см. подпункт 10.3.8.4).

Выбор ИОН осуществляется битами *REFS0* и *REFS1* регистра *ADMUX* (см. рис. 10.34): при значении битового поля *REFS*, равном 00, ко входу опорного напряжения ЦАП подключается внешний ИОН; при *REFS* = 01 – напряжение питания аналоговой части МК; при *REFS* = 11 – внутренний ИОН; значение 10 *REFS* зарезервировано.

Ситуации, в которых возможно или предпочтительно применение того или иного ИОН из вышеперечисленных, указаны в подпункте 10.3.7.3.

Следует отметить, что отклонение выходного напряжения внутреннего ИОН от его номинального значения (см. выше) может быть скомпенсировано программно-управляемой автокалибровкой АЦП (см. подпункт 10.3.9.10).

Важно отметить, что использование внутреннего ИОН или напряжения питания аналоговой части МК в качестве ИОН при подключенном к выводу *AREF* внешнем ИОН **недопустимо**.

**10.3.8.4.** АЦП МК семейства *AVR*, как и абсолютного большинства современных семейств МК общего назначения, являются **многоканальными**, у большинства моделей

подсемейства *ATmega* – 8-канальными [6]. У МК *ATmega128 / 1887BE7T* в качестве преобразуемого в код может служить (см. рис. 10.33):

- напряжение на одном из входов *ADC0 – ADC7* ИС МК относительно общей шины (*Single Ended Input Mode*);
- разность напряжений на одном из входов *ADC0 – ADC7* и на одном из входов *ADC0 – ADC2*, для ряда сочетаний входов (см. табл. 3.98 в [8]) – усиленная ДУ в 10 или 200 раз (*Differential Input Mode*);
- напряжение на общей шине и выходное напряжение *Bandgap-ИОН* (преобразование данных напряжений производится в процессе калибровки АЦП).

В качестве входов *ADC0 – ADC7* служат выводы ПВВ МК, зарезервированные под данную функцию как альтернативную (см. табл. 3.43 в руководстве [8], а также рис. 6.30 и табл. 6.1).

Выбор источников преобразуемого напряжения и схем их подключения (*Single Ended* или *Differential*) осуществляется посредством аналоговых мультиплексоров, управляемых битовым полем *MUX0 – MUX4* регистра *ADMUX* (см. рис. 10.34). Данное поле также управляет коэффициентом усиления ДУ. Подробнее – см. табл. 3.98 в руководстве [8].

**Примечание.** Блок АЦП ряда моделей МК семейства *AVR* [6], в частности, *ATmega328*, не содержит ДУ (и каких-либо входных усилителей), и позволяет преобразовывать только напряжения на входах относительно общей шины.

Напряжения со входов *ADC0 – ADC7* также поступают (через мультиплексор) на блок АК, и могут служить входными сигналами АК (см. подпункт 10.2.2.2, в т. ч. рис. 10.13).

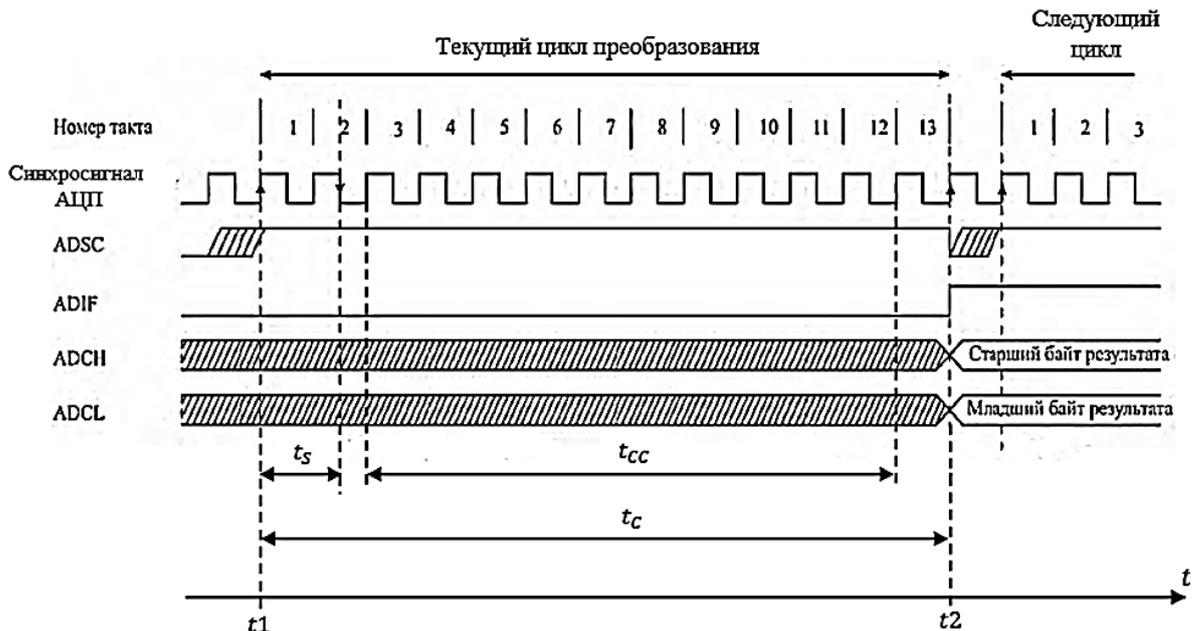
**10.3.8.5. Тактирование** блока АЦП осуществляется сигналом  $clk_{АЦП}$  (см. рис. 4.14), частота которого совпадает с частотой ГТИ МК в целом. Сигнал  $clk_{АЦП}$  разделен физически с синхросигналами других ПУ и ЦП для возможности независимого разрешения или запрета тактирования соответствующих подсистем МК в различных энергосберегающих режимах (см. табл. 3.1), в том числе в режиме АЦ-преобразования с пониженным уровнем шумов (см. подпункт 10.3.8.15).

Сигнал  $clk_{АЦП}$  поступает на программно-управляемый предделитель (см. рис. 10.33), выходной сигнал которого служит синхросигналом АЦП. Запуск предделителя происходит по установке в единицу бита  $ADEN$  регистра  $ADCSRA$  (см. рис. 10.35), остановка предделителя – по сбросу бита  $ADEN$ . Коэффициент деления предделителя задается битовым полем  $ADPS0 – ADPS2$  регистра  $ADCSRA$  (см. рис. 10.35), и может принимать значения 2, 4, 8, 16, 32, 64 и 128 (см. табл. 3.99 в руководстве [8]). Допустимые пределы частоты синхросигнала АЦП МК  $ATmega128 / 1887BE7T$  – от 50 кГц до 1 МГц [8]. При частоте синхронизации, меньшей, чем 50 кГц (и, соответственно, периоде синхросигнала, превышающем 20 мкс), за время уравнивания, равное 10-ти периодам синхросигнала, потери напряжения на конденсаторе БВХ из-за его разряда превысят предельно допустимые (см. подпункт 10.3.4.8). С другой стороны, при частоте синхронизации, превышающей 1 МГц, время выборки, под которую выделяется 1,5 периодов синхросигнала, недостаточно для установления напряжения на конденсаторе БВХ (см. подпункт 10.3.4.5). Также при частоте синхронизации более 1 МГц не гарантируется корректная работа логики преобразования (см. рис. 10.33). Для достижения максимальной точности преобразования рекомендуется частота синхронизации АЦП, равная примерно 200 кГц [8].

**10.3.8.6.** АЦП МК  $ATmega128 / 1887BE7T$  может работать в режиме **одинокного** или **непрерывного** преобразования. Перед запуском преобразования работа АЦП должна быть **разрешена** установкой в единицу бита  $ADEN$  ( $AD\ ENABLE$ ) в регистре  $ADCSRA$  (см. рис. 10.35).

**10.3.8.7.** В режиме **одинокного** преобразования (в англоязычных источниках – *Single Conversion*) запуск каждого цикла АЦ-преобразования осуществляется программной записью единицы в бит  $ADSC$  ( $AD\ Start\ Conversion$ ) регистра  $ADCSRA$  (см. рис. 10.35), при **установленном в единичное состояние** бите  $ADEN$ . По окончании цикла преобразования данный бит автоматически сбрасывается, и для запуска очередного преобразования должен быть заново программно установлен в единицу.

Временные диаграммы работы АЦП МК семейства AVR в режиме одиночного преобразования представлены на рис. 10.37.



$t_1, t_2$  – моменты начала и окончания цикла преобразования

$t_c$  – время преобразования

$t_s$  – время выборки

$t_{cc}$  – время уравнивания

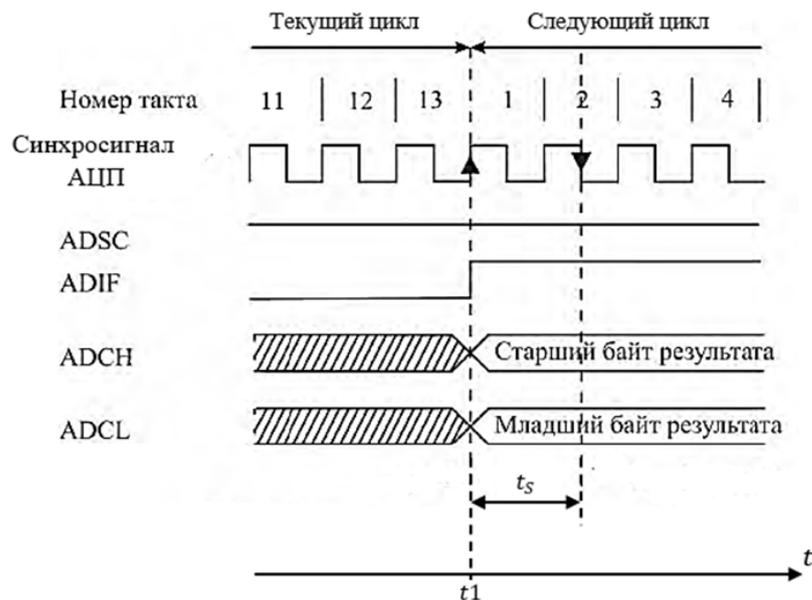
(преобразования выходного напряжения БВХ в код)

**Рис. 10.37.** Временные диаграммы работы АЦП МК семейства AVR в режиме одиночного преобразования [8]

Цикл преобразования начинается по первому перепаду синхросигнала АЦП из нуля в единицу после установки в единичное состояние бита *ADSC*. Таким образом, для режима одиночного преобразования характерна **задержка** между моментом запуска и моментом реального начала цикла преобразования, т. е. *trigger conversion latency* (см. подпункт 10.3.4.7). Поскольку моменты программного запуска АЦП не синхронизированы с тактовым сигналом АЦП, значение данной задержки не постоянно, и может изменяться случайным образом в пределах от 0 до одного периода синхросигнала АЦП, т. е. ее нестабильность (*ADC jitter on trigger conversion,  $\Delta t_{JTC}$* , см. подпункт 10.3.4.7) равна длительности одного периода сигнала синхронизации АЦП. Поэтому в режиме одиночного преобразования максимальная частота преобразуемого сигнала ограничивается условием (10.25).

Например, при рекомендуемой частоте синхронизации, равной 200 кГц, и, соответственно, периоде синхросигнала, равном 5 мкс (см. подпункт 10.3.8.5), условие (10.25) удовлетворяется на частотах до примерно 30-и Гц при 10-битовом преобразовании, и до 125-и Гц – при 8-битовом. По данной причине для АЦ-преобразования переменных сигналов в большинстве практических случаев предпочтителен режим непрерывного преобразования (см. подпункт 10.3.8.8).

**10.3.8.8.** Выбор режима **непрерывного** преобразования (в англоязычных источниках – *Free Running*) в АЦП МК *ATmega128 / 1887BE7T* производится записью единицы в бит *ADFR* (*AD Free Running*) регистра *ADCSRA* (см. рис. 10.35). В данном режиме запуск процесса АЦ-преобразования осуществляется однократной установкой в единицу бита *ADSC* (естественно, при единичном состоянии бита *ADEN*). При этом по окончании каждого очередного цикла АЦ-преобразования бит *ADSC* не сбрасывается, и начинается следующий цикл преобразования. Временные диаграммы работы АЦП МК семейства *AVR* в режиме непрерывного преобразования приведены на рис. 10.38.



**Рис. 10.38.** Временные диаграммы работы АЦП МК семейства *AVR* в режиме непрерывного преобразования [8]

По приведенным на рис. 10.38 диаграммам нетрудно заметить, что в режиме непрерывного преобразования отсутствует

нестабильность периода дискретизации, характерная для режима одиночного преобразования и обусловленная ненулевым значением *ADC jitter on trigger conversion* (см. табл. 10.3, а также подпункт 10.3.8.7). Поэтому режим непрерывного преобразования предпочтителен при переменных преобразуемых сигналах.

**10.3.8.9.** Как в режиме одиночного, так и непрерывного преобразования в код напряжений **относительно общей шины** (*Single Ended Input Mode*), время преобразования равно 13-ти периодам синхросигнала АЦП (например, при частоте сигнала  $clk_{АЦП}$ , равной 8 МГц, и коэффициенте деления предделителя АЦП, равном 32-м, время преобразования составляет 52 мкс). При этом (см. рис. 10.37 и 10.38): 1,5 периода синхросигнала АЦП выделяются под выборку сигнала (т. е. на заряд конденсатора БВХ); 0,5 периода – для перехода от выборки к уравниванию; 10 периодов – под процесс уравнивания (т. е. преобразования выходного напряжения БВХ в код); 1 период – для заключительных операций, в т. ч. обновления настроек ИОН и мультиплексов (см. подпункт 10.3.8.13).

**10.3.8.10.** При АЦ-преобразования **разности** напряжений (*Differential Input Mode*) работа АЦП синхронизирована с внутренним, «не подконтрольным» ПО тактовым сигналом, частота которого равна половине частоты выходного сигнала предделителя. В режиме **одиночного** преобразования время выборки равно:

- 1,5 периодам основного синхросигнала АЦП (т. е. выходного сигнала предделителя), если бит *ADSC* был установлен в единицу при нулевом состоянии внутреннего тактового сигнала;

- 2,5 периодам основного синхросигнала, если бит *ADSC* был установлен при единичном состоянии внутреннего сигнала тактирования.

Соответственно, в первом случае время преобразования составит 13 периодов основного синхросигнала АЦП, а во втором – 14 периодов. Таким образом, в режиме одиночного преобразования дифференциальных напряжений нестабильность периода дискретизации увеличивается еще на один период основного синхросигнала АЦП, и, в целом (см. также подпункт 10.3.8.7) будет равна 2-м периодам данного сигнала.

В режиме **непрерывного** преобразования дифференциальных напряжений время выборки и время преобразования постоянны, и равны соответственно 2,5 периодам и 14-ти периодам основного синхросигнала АЦП.

**10.3.8.11.** Как указано в подпункте 10.3.8.6 АЦП МК *ATmega128* / 1887BE7T может работать или в режиме непрерывного преобразования (см. подпункт 10.3.8.8), или в режиме одиночного преобразования (см. подпункт 10.3.8.7), с запуском очередного цикла АЦ-преобразования программной установкой в единицу бита *ADSC* в регистре *ADCSRA*. Однако, АЦП ряда других моделей МК семейства *AVR* также могут работать еще в одном режиме – **автоматического запуска** (*Auto Triggering*) очередного цикла преобразования сигналами, вырабатываемыми какими-либо функциональными блоками МК по определенным событиям, например:

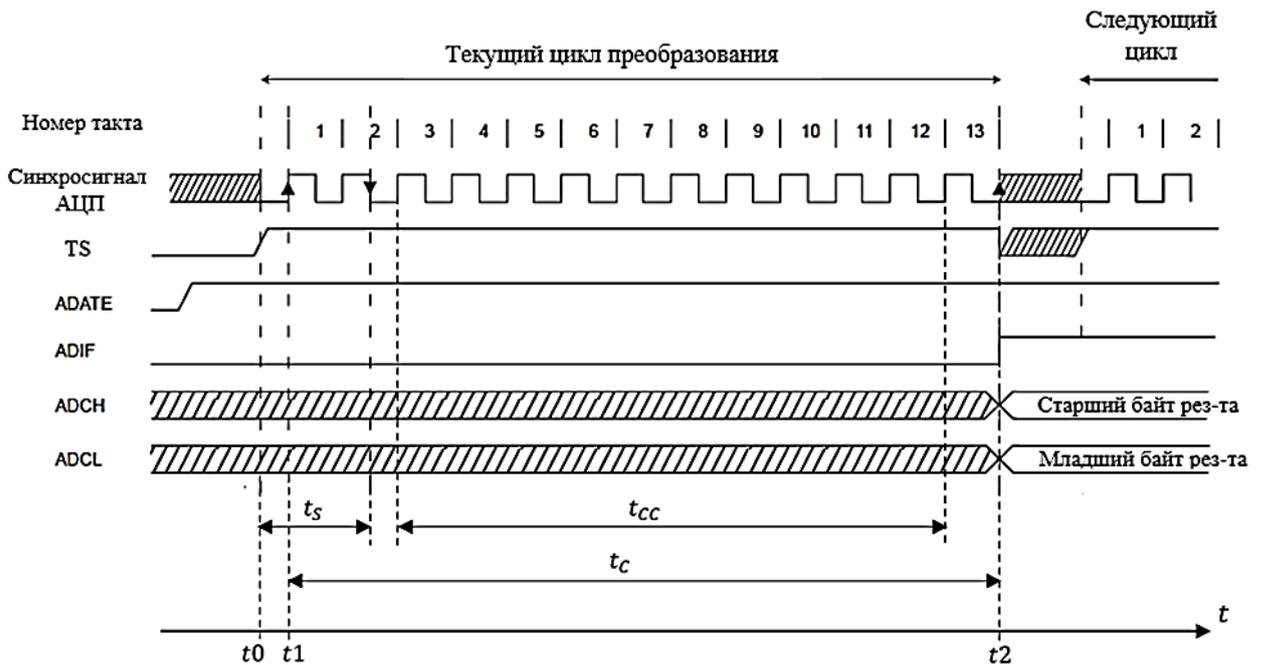
- АК по его срабатыванию;
- таймерами по переполнении счетчика или по совпадении его содержимого с содержимым регистра сравнения;
- блоком внешних прерываний по поступлении сигнала запроса на прерывание на какой-либо из его входов и т. п.

Выбор конкретного сигнала, инициирующего запуск, осуществляется программно. Например, в популярном МК *ATmega328PB* [6, 61] данный выбор осуществляется битовым полем *ADTS0 – ADTS2* (*AD Trigger Source*) регистра *ADCSRБ*. В частности, при *ADTS = 001* запуск АЦП осуществляется по срабатывании АК; при *ADTS = 010* – по поступлении сигнала запроса на прерывание на вход *INT0* блока внешних прерываний; при *ADTS = 100* – по переполнении счетчика 0-го таймера и т. д. (подробнее – см. описание регистра *ADCSRБ* в *datasheet* МК *ATmega328PB* [61]). Значению *ADTS*, равному 000, соответствует режим непрерывного преобразования, *Free Running* (см. подпункт 10.3.8.8), который, фактически, является одним из вариантов режима автоматического запуска (*Auto Triggering*).

Разрешение работы АЦП в режиме автоматического запуска осуществляется установкой в единицу бита *ADATE* (*AD Auto Triggering Enable*), который расположен в регистре *ADCSRA* МК,

АЦП которых поддерживают режим автозапуска. Бит *ADATE* занимает в регистре *ADCSRA* позицию, в которой расположен бит *ADFR* в том же регистре АЦП, не поддерживающих ни один из вариантов режима автозапуска, кроме непрерывного преобразования (см. рис. 10.35).

Временные диаграммы работы АЦП в режиме автозапуска приведены на рис. 10.39.



*TS* – сигнал запуска АЦП (*Trigger Signal*)

$t_0$  – момент поступления активного перепада (из 0 в 1) сигнала запуска

Остальные условные обозначения аналогичны приведенным на рис. 10.37

**Рис. 10.39.** Временные диаграммы работы АЦП МК семейства AVR в режиме автозапуска [61]

Запуск цикла преобразования осуществляется по фронту (перепаду из 0 в 1) инициирующего его сигнала (см. рис. 10.39) Важной особенностью режима автозапуска АЦП является **отсутствие нестабильности** задержки начала цикла преобразования относительно момента поступления сигнала запуска [6, 61]. Данная задержка постоянна, за счет того, что в момент поступления перепада сигнала запуска из 0 в 1 ( $t_0$  на рис. 10.39) делитель синхросигнала АЦП сбрасывается, и начинает счет с нуля. В свою очередь, цикл преобразования начинается с первого, после поступления сигнала запуска, перепада из 0 в 1 сигнала

синхронизации АЦП (момент времени  $t_1$  на рис. 10.39). С учетом того, что скважность выходного сигнала предделителя всегда равна 2-м, задержка между моментами времени  $t_0$  и  $t_1$  постоянна, и равна половине периода синхросигнала АЦП. Следовательно, режим автозапуска, при условии, что период сигнала запуска стабилен, предпочтительнее режима однократного преобразования при переменных преобразуемых сигналах (см. подпункты 10.3.8.7 и 10.3.8.8).

Следует также отметить, что в режиме автозапуска БВХ переходит в режим выборки в момент времени  $t_0$ , а не  $t_1$  (см. рис. 10.39), а время выборки равно 2-м периодам синхросигнала АЦП [6, 61]. Все остальные временные параметры цикла преобразования при работе АЦП в режиме автозапуска такие же, как и в режиме одиночного преобразования (см. рис. 10.37, подпункты 10.3.8.9 и 10.3.8.10).

Необходимо отметить, что режим автозапуска по определенным событиям поддерживается также архитектурой АЦП МК семейства *ARM Cortex-Mx* (см. подпункт 10.3.11.9) и большинства других распространенных семейств МК общего назначения.

**10.3.8.12.** Длительность **первого** цикла преобразования АЦП после разрешения работы АЦП, т. е. установки в единицу бита *ADEN* регистра *ADCSRA* (см. рис. 10.35), равна **25-и** периодам синхросигнала АЦП [6, 8] у всех МК семейства AVR во всех режимах работы. В первом цикле преобразования на выборку входного напряжения (т. е. на заряд конденсатора БВХ) выделяется не 1,5, 2 или 2,5 периода синхросигнала (см. подпункты 10.3.8.9 – 10.3.8.11), а 13,5 периодов. Необходимость в таком времени выборки обусловлена тем, что при переходе АЦП из неактивного состояния в активное, напряжение на конденсаторе БВХ может весьма существенно отличаться от напряжения, подлежащего преобразованию. За время выборки, равное 13,5 периодам синхросигнала АЦП, конденсатор БВХ гарантированно зарядится до уровня преобразуемого напряжения при любом начальном значении напряжения на конденсаторе.

**10.3.8.13.** Необходимо остановиться также на некоторых особенностях задания / изменения **настроек** ИОН и мультиплексоров АЦП при его конфигурировании и в процессе его работы [6, 8]. Данные настройки задаются битовыми полями *REFS* и *MUX* соответственно регистра *ADMUX* (см. рис. 10.34). Он снабжен **буферным** регистром. Данные, записываемые в *ADMUX*, вначале загружаются в его буфер. От начала цикла преобразования (момент времени  $t_1$  на рис. 10.37 и 10.38) до окончания процесса уравнивания их перезапись в собственно регистр *ADMUX* **блокирована**. Это позволяет избежать изменений настроек ИОН и мультиплексоров во время выборки и уравнивания преобразуемого напряжения. В 13-м такте текущего цикла преобразования данные, записанные в буфер регистра *ADMUX*, перезагружаются в него, и, если они не совпадают с ранее записанными, происходит обновление настроек ИОН и мультиплексоров. С началом очередного цикла преобразования (момент времени  $t_1$  на рис. 10.37 и 10.38) настройки фиксируются до окончания процесса уравнивания.

С 13-го такта и до начала нового цикла преобразования буфер регистра *ADMUX* «прозрачен», т. е. записываемые в него данные с пренебрежимо малой задержкой загружаются в *ADMUX*, вызывая изменение настроек ИОН и мультиплексоров. Однако, при этом не гарантируется (особенно в режиме непрерывного преобразования), что до начала следующего цикла АЦ-преобразования установятся (с точностью до ЕМЗР) переходные процессы в цепях ИОН и мультиплексоров. Поэтому запись параметров настройки в регистр *ADMUX* (фактически – в его буфер) **рекомендуется производить** [6, 8, 61]:

- во время цикла преобразования, до начала 12-го такта, и по истечении минимум одного периода синхросигнала АЦП с момента установки в единицу бита *ADSC* (см. рис. 10.35) или наступления события, по которому производится автозапуск (см. рис. 10.39);

- в режиме одиночного преобразования – также в интервале времени от окончания очередного цикла преобразования (т. е. от установки в единицу бита *ADIF*, см. рис. 10.35) до запуска

следующего цикла преобразования (установки в единицу бита *ADSC*);

- в режиме автозапуска (кроме непрерывного преобразования) – также в интервале времени от окончания очередного цикла преобразования до наступления события, по которому производится автозапуск;

при этом обновление настроек произойдет «штатно», или во время 13-го такта, или до перехода БВХ в режим выборки.

**Не рекомендуется** изменять параметры настроек ИОН и мультиплексоров в течение одного периода синхросигнала АЦП после запуска преобразования, т. е. записи единицы в бит *ADSC* регистра *ADCSRA* [8]. Данная рекомендация обусловлена тем, что задержка реального начала цикла преобразования относительно момента установки данного бита может составлять до одного периода синхросигнала (см. подпункт 10.3.8.7). Поэтому при несоблюдении данной рекомендации не гарантируется, что изменение параметров настройки не произойдет непосредственно перед циклом преобразования, что может привести к некорректным результатам.

В режиме **непрерывного преобразования** настройки ИОН и мультиплексоров должны быть записаны в регистр *ADMUX* до запуска 1-го цикла преобразования (см. подпункт 10.3.8.8). Изменение настроек в процессе преобразования в данном режиме не рекомендуется. При возникновении необходимости в таких изменениях результаты нескольких циклов преобразования после них могут быть некорректны, и их рекомендуется игнорировать.

То же относится и к результату первого преобразования после изменения настроек ИОН в режиме **одиночного** преобразования.

Также необходимо учитывать, что при АЦ-преобразовании **дифференциальных напряжений** (*Differential Input Mode*) для установления переходных процессов после изменения настроек ИОН или коэффициента усиления требуется до 125-ти мкс [8]. Следовательно, в течение 125-ти мкс после данных изменений или не должно производиться АЦ-преобразований, или их результаты должны игнорироваться.

**10.3.8.14.** Блок АЦП может быть источником **прерываний** по завершении очередного цикла преобразования и записи его результатов в регистры *ADCH* и *ADCL* (см. рис. 10.36). Прерывания генерируются при установленных в единичное состояние бите разрешения прерываний от АЦП, *ADIE* (см. рис. 10.35) и бите *I* глобального разрешения прерываний в регистре статуса (см. рис. 2.24). Факт завершения очередного цикла преобразования может также контролироваться по состоянию бита *ADIF* (см. рис. 10.35) с активным единичным состоянием. При переходе к подпрограмме обслуживания прерывания данный бит автоматически сбрасывается; при запрете прерываний его сброс осуществляется программно, записью в него единицы (см. подпункт 7.3.1.7).

**10.3.8.15.** Важной особенностью архитектуры является возможность АЦ-преобразования с **пониженным уровнем шумов**. Оно выполняется в энергосберегающем режиме (ЭСР) с таким же названием (см. табл. 3.1), при остановленном тактировании ЦП и ПУ (кроме АЦП), что минимизирует создаваемые ими шумы (помехи).

Как правило, АЦ-преобразование с пониженным уровнем шумов выполняется в режиме одиночного преобразования, по следующему обобщенному алгоритму [8].

1. Разрешить работу АЦП в режиме одиночного преобразования установкой в единицу бита *ADEN* при нулевом бите *ADFR* (в моделях МК с возможностью автозапуска – расположенном в той же позиции бите *ADATE*) регистра *ADCSRA*, см. рис. 10.35.

2. Загрузить в регистр *ADMUX* настройки ИОН и мультиплексоров.

3. Разрешить прерывания от АЦП и установкой в единицу бита *ADIE* регистра *ADCSRA*. Установить в единицу бит *I* глобального разрешения прерываний в регистре статуса (см. рис. 2.24).

4. Разрешить работу МК в энергосберегающих режимах установкой в единицу бита *SE*, *Sleep Enable*, расположенного, в зависимости от модели МК, в регистре *MCUCR* или *SMCR*.

5. Перевести МК в ЭСР «АЦ-преобразование с пониженным уровнем шумов» записью кода 001 (см. табл. 3.1) в битовое поле *SM* регистра *MCUCR* или, соответственно, *SMCR*. Как только остановится тактирование ЦП, запустится цикл АЦ-преобразования.

6. По завершении цикла АЦ-преобразования АЦП сгенерирует запрос на прерывание. По нему МК выйдет из ЭСР. В подпрограмме обслуживания прерывания считать результат АЦ-преобразования.

**10.3.8.16.** С точностью до ЕМЗР и без учета инструментальных погрешностей преобразования (см. выражения (10.16) и (10.18)), результат АЦ-преобразования напряжения относительно общей шины равен:

$$N_{ADC} = U_{IN}2^{10}/U_{REF}; \quad (10.38)$$

а результат преобразования дифференциального напряжения:

$$N_{ADC} = \Delta U_{IN}K_D2^9/U_{REF}; \quad (10.39)$$

где  $U_{IN}$  – преобразуемое напряжение относительно общей шины;  $\Delta U_{IN}$  – преобразуемое дифференциальное напряжение;  $U_{REF}$  – опорное напряжение;  $K_D$  – коэффициент усиления ДУ.

Результат преобразования напряжения относительно общей шины представляется 10-битовым двоичным числом без знака, в диапазоне от 0x000 до 0x3FF. В отсутствие инструментальных погрешностей, результат преобразования, равный 0x000, соответствует нулевому входному напряжению, а равный 0x3FF – входному напряжению, равному  $U_{REF}(1 - 2^{-10})$ . Например, если входное напряжение относительно общей шины равно 2 В, а опорное – 2,56 В, результат преобразования, в отсутствие инструментальных погрешностей, равен 800, т. е. 0x320. При  $ADLAR = 0$  (см. рис. 10.36) содержимое регистра  $ADCH$  будет равно 0x03, а регистра  $ADCL$  – 0x20. Если же  $ADLAR = 1$ , содержимые данных регистров будут равны 0xC8 и 0x00 соответственно.

Результат преобразования дифференциального напряжения представляется 10-битовым двоичным числом со знаком, в дополнительном коде, в диапазоне от 0x200 (минус 512) до 0x1FF (плюс 511). В отсутствие инструментальных погрешностей, результат преобразования 0x200 соответствует дифференциальному напряжению, равному  $-U_{REF}(1 - 2^{-9})/K_D$ ; 0x1FF –  $+U_{REF}(1 - 2^{-9})/K_D$ ; а 0x000 – нулю. Например, если  $\Delta U_{IN}$  равно минус 200 мВ,  $K_D$  – 10-ти, а опорное напряжение – 2,56 В, в отсутствие инструментальных погрешностей результат преобразования будет равен минус 400, в дополнительном коде –

0x270. При  $ADLAR = 0$  содержимое регистра  $ADCH$  будет равно 0x02, а регистра  $ADCL$  - 0x70. Если же  $ADLAR = 1$ , содержимые данных регистров будут равны 0x9C и 0x00 соответственно.

**10.3.8.17.** Из выражений (10.38) и (10.39) следует, что для корректной работы АЦП в отсутствие инструментальных погрешностей напряжение на каждом из входов  $ADC0 - ADC7$  МК относительно общей шины должно находиться в диапазоне от 0 до  $U_{REF}(1 - 2^{-10})$ , а разность напряжений на входах (дифференциальные напряжения) –  $\pm(1 - 2^{-9})U_{REF}$ . На практике рекомендуется обеспечивать некоторый «запас» относительно указанных предельно допустимых значений, и поддерживать напряжения на входах  $ADC0 - ADC7$  относительно общей шины в диапазоне от  $0,05U_{REFnom}$  до  $0,95U_{REFnom}$ , а дифференциальное напряжение –  $\pm 0,95U_{REFnom}$ , где  $U_{REFnom}$  - номинальное значение опорного напряжения. Это обеспечит корректную работу АЦП с нормируемыми *datasheet* параметрами при наличии инструментальных погрешностей (в т. ч. разброса реальных значений опорного напряжения), а также неизбежных помех (наводок) по входам.

Схемы сопряжения входов АЦП МК с источниками сигналов, диапазоны изменения которых не удовлетворяют вышеприведенным требованиям, приведены и рассмотрены в пункте 10.5.1.

**10.3.8.18.** Схема подключения питания АЦП, рекомендуемая *datasheet* практически на все содержащие АЦП модели МК семейства *AVR* [6, 8, 61] приведена на рис. 3.4. По мнению автора, более предпочтительна схема, представленная на рис. 3.3. Рекомендуется также подключение конденсатора между выводом  $AREF$  и общей шиной [8, 61].

**10.3.8.19.** Изложенное в подпунктах 10.3.8.1 – 10.3.8.18, в целом, отражает все базовые структурно-архитектурные решения блоков АЦП МК семейства *AVR*, а также, в целом, характерно для АЦП большинства семейств МК аналогичного класса сложности. Более подробное описание структуры, архитектуры и особенностей применения АЦП конкретных моделей МК семейства *AVR* приводятся в их технических описаниях и руководствах по

применению (*datasheet*). Пример программирования АЦП МК семейства *AVR* приведен в пункте 10.3.10.

### 10.3.9. Калибровка АЦП МК семейства *AVR*

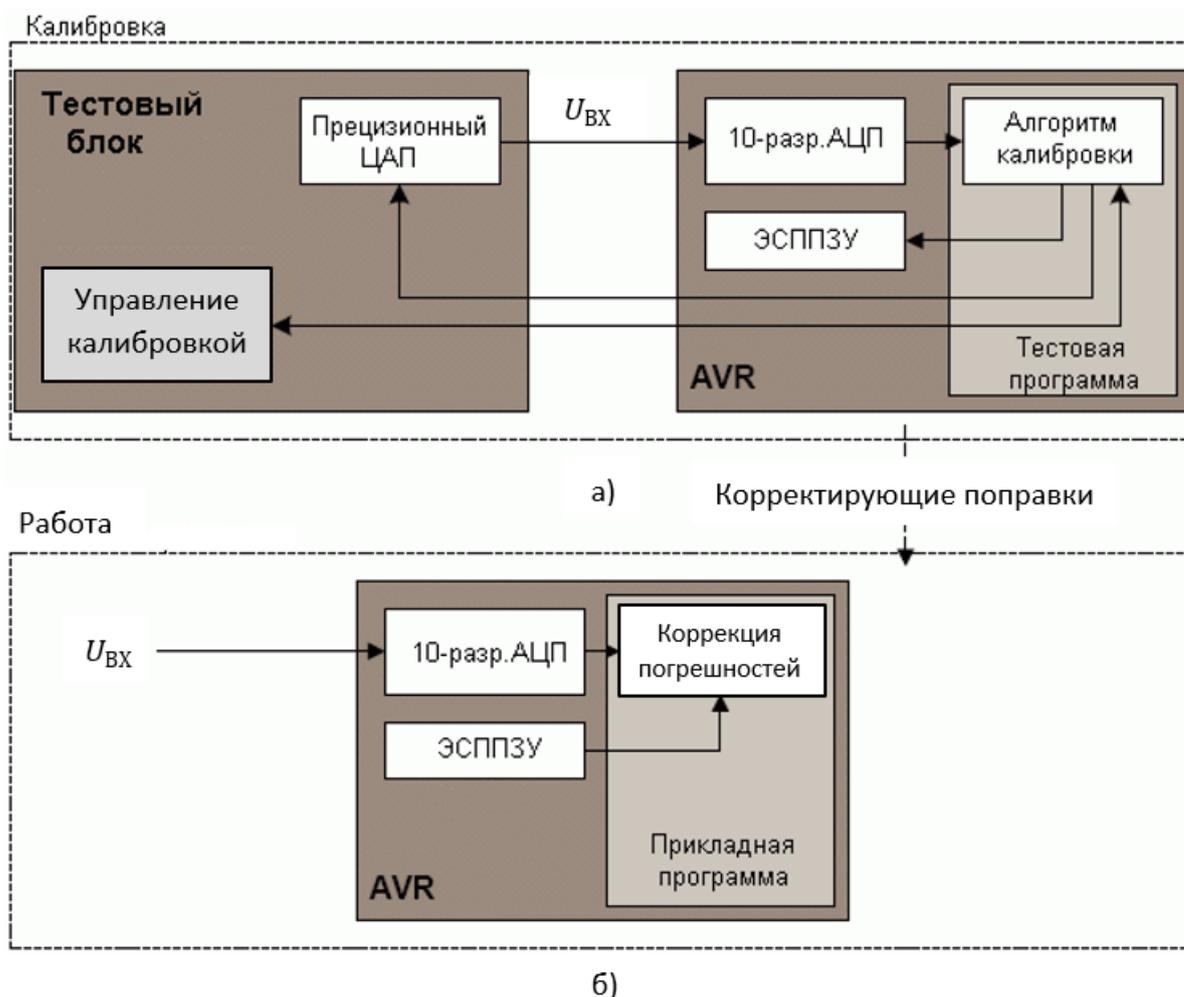
**10.3.9.1.** Необходимо остановиться на способах и алгоритмах калибровки АЦП МК семейства *AVR*, выполняемой с целью минимизации погрешностей преобразования (в первую очередь – аддитивной и мультипликативной).

Архитектура МК семейства *AVR* не предоставляет возможности программно-иницируемой автокалибровки АЦП, в отличие от МК семейства *ARM Cortex-Mx* (см. подпункт 10.3.11.22). Поэтому калибровка АЦП *AVR*-МК производится с использованием внешних аппаратно-программных средств, на этапе настройки и подготовки к работе устройства, содержащего МК. Описание типовой процедуры калибровки представлено в рекомендации по применению (*Application Note*) *AVR120* [62, 63].

Общий принцип калибровки состоит в следующем. На этапе настройки / отладки устройства определяются поправки к результату преобразования, корректирующие погрешности смещения (*offset error*) и коэффициента масштабирования (*gain error*) АЦП. Данные поправки записываются в энергонезависимую память МК. Затем, в процессе работы АЦП, данные поправки вносятся в результат каждого из преобразований.

**10.3.9.2.** На рис. 10.40 приведены функциональные модели процедур калибровки и коррекции погрешностей АЦ-преобразования по ее результатам в соответствии с рекомендацией [62].

Для выполнения калибровки необходимо внешнее по отношению к МК устройство, именуемое в [62] тестовым блоком (см. рис. 10.40а), и содержащее прецизионный ЦАП (рекомендуемая разрядность – 16 бит [62]) и блок управления калибровкой, в качестве которого рационально использовать МК, связанный с калибруемым посредством блоков стандартного цифрового интерфейса (например, *USART* или *I2C*), входящих в состав данных МК.



ЭСППЗУ – электрически стираемое перепрограммируемое ПЗУ

**Рис. 10.40.** Функциональные модели процедур калибровки (а) и компенсации погрешностей АЦ-преобразования по ее результатам (б) в соответствии с рекомендацией [62]

**Важно,** чтобы в процессе калибровки **реальное** опорное напряжение АЦП МК было известно и стабильно. Можно рекомендовать следующие варианты (см. также подпункт 10.3.8.3):

- использовать внутренний ИОН АЦП (см. рис. 10.33); при его выборе выходное напряжение данного ИОН поступит на вывод *AREF* МК; его необходимо измерить цифровым мультиметром и зафиксировать его значение в энергонезависимой памяти МК, АЦП которого калибруется (напомним, что, например, реальное выходное напряжение внутреннего ИОН АЦП МК *Atmega128 / 1887BE7T* может находиться в пределах от 2,3 до 2,7 В);

- использовать подключаемый ко входу  $AREF$  внешний ИОН, выходное напряжение которого также должно быть измерено и записано в энергонезависимую память калибруемого МК;

- наиболее предпочтительно – использовать, по возможности, ИОН ЦАП тестового блока.

Как указано в [62], достаточно определить калибровочные поправки только для одного канала АЦП, т. к. погрешности по всем каналам практически одинаковы.

**10.3.9.3.** Калибровка выполняется автоматически, под управлением ПО МК тестового блока и МК, АЦП которого калибруется, по следующему алгоритму (представляющему собой ориентированную на практическое применение детализацию обобщенного алгоритма, приведенного в [62]).

1. Если предполагается работа АЦП в режиме преобразования дифференциальных напряжений – переход к п. 9. В противном случае – переход к п. 2.

2. Подключить ко входу выбранного канала АЦП нулевое напряжение, запустить цикл преобразования и считать его результат, который обозначим  $A$ .

3. Инкрементировать входной код прецизионного ЦАП, запустить цикл преобразования и считать его результат.

4. Если считанный результат больше  $A$  на ЕМЗР – переход к п. 5. В противном случае – переход к п. 3.

5. Рассчитать входное напряжение, соответствующее считанному результату, которое согласно [62] обозначается как *Actual*:

$$Actual = N_{ВХ\ ЦАП} U_{REF\ ЦАП} / 2^{N_{ЦАП}};$$

где  $U_{REF\ ЦАП}$  и  $N_{ЦАП}$  – соответственно опорное напряжение и разрядность прецизионного ЦАП (см. рис. 10.40);  $N_{ВХ\ ЦАП}$  – числовой эквивалент его входного кода, при котором результат преобразования калибруемого АЦП равен  $A + 1$ .

6. Рассчитать обозначаемое в [62] как *Perfect* входное напряжение идеального АЦП с теми же разрядностью и опорным напряжением, как у калибруемого, при котором результат преобразования был бы равен  $A + 1$ :

$$Perfect = (A + 1)U_{REF \text{ АЦП}} / 2^N;$$

где  $U_{REF \text{ АЦП}}$  и  $N$  – соответственно **реальное** значение опорного напряжения калибруемого АЦП (см. подпункт 10.3.9.2) и его разрядность.

7. Рассчитать аддитивную погрешность в ЕМЗР по выражению:

$$\Delta_{OFFS} = (Perfect - Actual)2^N / U_{REF \text{ АЦП}}.$$

8. Перейти к п. 10.

9. Для определения аддитивной погрешности преобразования дифференциальных напряжений:

- подключить один и тот же вход АЦП к не инвертирующему и к инвертирующему входу ДУ и задать коэффициент его усиления, при котором планируется проводить преобразования; например, у АЦП МК *Atmega128 / 1887BE7T* при коде 10001 в битовом поле  $MUX0 - MUX4$  регистра  $ADMUX$  оба входа ДУ подключаются к выводу ADC1,  $K_D = 1$ ; при коде 01000 в данное поле – входы ДУ подключаются к выводу ADC0,  $K_D = 10$  (см. табл. 3.98 в [8]);

- запустить цикл АЦ-преобразования и считать его результат;

- считанный результат равен значению  $\Delta_{OFFS}$ .

Перейти к п. 10.

10. Установить выходное напряжение прецизионного ЦАП примерно равным  $0,9U_{REF \text{ АЦП}}$ .

11. Запустить цикл преобразования и считать его результат.

12. Если результат преобразования равен  $2^N - 1$  или выходное напряжение прецизионного ЦАП равно  $U_{REF \text{ АЦП}} (2^N - 1) / (K_{nom} 2^N)$ ; т. е. если или результат преобразования, или входное напряжение АЦП достигли максимальных значений – перейти к п. 13. В противном случае - инкрементировать входной код ЦАП и перейти к п. 11.

**Примечание.**  $K_{nom}$  – номинальное значение коэффициента масштабирования АЦП (см. выражение (10.17)). В частности, при преобразовании дифференциального напряжения  $K_{nom}$  равен номинальному значению выбранного коэффициента усиления ДУ.

13. Скорректировать результат преобразования вычитанием из него аддитивной погрешности  $\Delta_{OFFS}$ , значение которой получено в

результате выполнения п. п. 2 – 8 или п. 9. Скорректированный результат обозначается в [62] как *Denominator*.

14. Рассчитать обозначаемый в [62] как *Nominator* результат преобразования идеального АЦП с теми же разрядностью и опорным напряжением, как у калибруемого, при входном напряжении, равном выходному напряжению прецизионного ЦАП по достижении условия, указанного в п. 12:

$$Nominator = U_{ЦАП} K_{nom} 2^N / U_{REF \text{ АЦП}}.$$

15. Рассчитать коэффициент, корректирующий погрешность *Gain Error* (отклонение коэффициента масштабирования от номинального) по выражению:

$$Gainfactor = Nominator / Denominator.$$

16. Записать полученные в результате калибровки корректирующие поправки ( $\Delta_{OFFS}$  и *Gainfactor*) в ЭСПЗУ. Завершить калибровку.

**Примечание 1.** Минимальная погрешность АЦ-преобразования обеспечивается при тактовой частоте калибруемого АЦП, равной 200 кГц как в процессе калибровки, так и в процессе работы [8, 61, 62].

**Примечание 2.** При выполнении п. п. 2, 3, 9 и 11 алгоритма калибровки, для снижения случайных погрешностей АЦ-преобразования желательно, по возможности, выполнять несколько (от 3-х и более) циклов преобразования одного и того же напряжения, с вычислением результата преобразования как среднего значения результатов выполнения данных циклов.

**10.3.9.4.** В процессе **работы** АЦП (см. рис. 10.40б) полученные корректирующие поправки вносятся в результаты АЦ-преобразования в соответствии с выражением [62]:

$$N_{ADC \text{ corr}} = (N_{ADC} - \Delta_{OFFS}) \times Gainfactor; \quad (10.40)$$

где  $N_{ADC}$  и  $N_{ADC \text{ corr}}$  – соответственно считанный из регистра данных АЦП и скорректированный результат АЦ-преобразования.

**10.3.9.5.** В [62] отмечено, что при коррекции погрешностей АЦП предпочтительно применение целочисленной арифметики. При этом п. 15 алгоритма может быть пропущен, в ЭСППЗУ в качестве результатов калибровки записываются значения  $\Delta_{OFFS}$ , *Nominator* и *Denominator*, а скорректированный результат преобразования рассчитывается по выражению:

$$N_{ADC\ corr} = (N_{ADC} - \Delta_{OFFS}) \times Nominator / Denominator. \quad (10.41)$$

**10.3.9.6.** Важно отметить, что вычисляемый по выражениям (10.40) или (10.41) скорректированный результат преобразования представлен в **ЕМЗР** АЦП. Однако, в большинстве практических случаев необходим результат, выраженный в **вольтах** или, что предпочтительнее с точки зрения повышения точности при использовании целочисленной арифметики - в **милливольтах**. Скорректированный результат преобразования в милливольтах рассчитывается по выражению:

$$N_{ADC\ corr\ mV} = N_{ADC\ corr} \times (U_{REF\ АЦП\ mV} / (K_{nom} 2^N)); \quad (10.42)$$

где  $U_{REF\ АЦП\ mV}$  - реальное измеренное значение опорного напряжения АЦП в милливольтах (см. подпункт 10.3.9.2). Отношение  $U_{REF\ АЦП\ mV} / (K_{nom} 2^N)$  при этом представляет собой выраженное в мВ реальное значение аналогового эквивалента ЕМЗР АЦП, которое должно быть записано в ЭСППЗУ на этапе отладки и подготовки к работе устройства, содержащего МК.

**10.3.9.7.** В [62] указано, что, как правило, при АЦ-преобразовании напряжений относительно общей шины (*Single Ended Input Mode*, см. подпункт 10.3.8.4) необходимость в коррекции погрешностей смещения и коэффициента масштабирования АЦП отсутствует, т. к. они удовлетворяют требованиям большинства практических применений (особенно, если достаточна 8-битовая разрядность результата преобразования). Однако, сохраняется необходимость учета реального значения опорного напряжения АЦП (которое может отличаться от номинального на несколько процентов, см. подпункт 10.3.8.3) при представлении результата преобразования в вольтах / милливольтах.

Расчет результата преобразования при этом производится по следующему выражению (сравните с (10.42)):

$$N_{ADC\ mV} = N_{ADC} \times (U_{REF\ АЦП\ mV} / 2^N); \quad (10.43)$$

(напомним, что в режиме *Single Ended Input*  $K_{nom} = 1$ ). Значение  $U_{REF\ АЦП\ mV} / 2^N$  должно быть записано в ЭСПЗУ на этапе отладки и подготовки к работе устройства, содержащего МК.

**10.3.9.8.** При АЦ-преобразовании дифференциальных напряжений (*Differential Input Mode*) коррекция погрешностей смещения и коэффициента масштабирования, как правило, необходима, т. к. в данном режиме их значения на порядок выше, чем в *Single Ended Input Mode* [62]. При этом следует отметить, что в режиме *Differential Input Mode* определение корректирующей поправки  $\Delta_{OFFS}$  возможно (и желательно) периодически выполнять и в процессе работы МК, т. к. для него не требуются внешние по отношению к МК блоки и какие-либо изменения схемы подключения АЦП (см. п. 9 алгоритма калибровки).

Коррекцию следует производить в соответствии с выражениями (10.41) и (10.42); при этом в качестве  $K_{nom}$  должно служить номинальное значение выбранного коэффициента усиления ДУ.

**10.3.9.9.** В [62] указано, что, в принципе, на основе представленной на рис. 10.40а функциональной модели возможно и определение корректирующих поправок для компенсации погрешности от нелинейности. Однако, как отмечено там же, ее типовые значения на практике меньше ЕМЗР, и необходимость в ее коррекции, как правило, отсутствует. Следует также учесть, что алгоритмы определения данных поправок и их внесения в результаты преобразования намного сложнее описанных в подпунктах 10.3.9.3 и 10.3.9.4 [62].

**10.3.9.10.** Необходимо отметить, что расчет результатов преобразования по выражениям (10.42) или (10.43) предполагает стабильность опорного напряжения АЦП во времени и с изменением температуры, что не всегда имеет место на практике (особенно при необходимости использования напряжения питания в качестве опорного). В таких случаях может быть применена программно-управляемая калибровка (автокоррекция нестабильности) опорного

напряжения АЦП с помощью внутреннего *Bandgap*-ИОН блока АЦП (см. рис. 10.33) в процессе работы МК.

*Bandgap*-ИОН характеризуются высокой стабильностью их выходного напряжения во времени и при изменении температуры [23], для которого, однако, характерен разброс от образца к образцу. При этом, по ряду схемотехнических и технологических причин, внутренние *Bandgap*-ИОН блоков АЦП МК, как правило, не используются в качестве ИОН АЦП (см. подпункт 10.3.8.3).

Для реализации калибровки ИОН АЦП с помощью *Bandgap*-ИОН, на этапе запуска и отладки устройства необходимо выполнить АЦ-преобразование выходного напряжения *Bandgap*-ИОН, а также измерить опорное напряжение АЦП, при котором осуществлялось данное преобразование (обозначим его  $U_{REF\ CAL}$ ). При условии, что аддитивная погрешность и погрешность от нелинейности скорректированы или пренебрежимо малы (см. подпункты 10.3.9.7 – 10.3.9.9), результат преобразования выходного напряжения *Bandgap*-ИОН равен:

$$N_{BG\ CAL} = U_{BG} 2^N / U_{REF\ CAL}; \quad (10.44)$$

где  $U_{BG}$  – выходное напряжение *Bandgap*-ИОН.

Значения  $N_{BG\ CAL}$  и  $U_{REF\ CAL}$  (желательно – в мВ) записываются в энергонезависимую память МК и служат в качестве калибровочных чисел (см. далее).

В процессе работы МК периодически (как минимум – после каждого включения питания МК, а также его выхода из энергосберегающего режима) выполняется АЦ-преобразование выходного напряжения *Bandgap*-ИОН. Его результат, при скорректированных или пренебрежимо малых аддитивной погрешности и погрешности от нелинейности, а также с учетом высокой стабильности выходного напряжения *Bandgap*-ИОН, будет равен:

$$N_{BG} = U_{BG} 2^N / U_{REF\ АЦП}; \quad (10.45)$$

где  $U_{REF\ АЦП}$  – реальное значение опорного напряжения АЦП, которое, как нетрудно увидеть из выражений (10.44) и (10.45), может быть рассчитано как отношение:

$$U_{REF\text{ АЦП}} = N_{BG\text{ CAL}} U_{REF\text{ CAL}} / N_{BG};$$

и использовано в выражениях (10.42) или (10.43) при вычислении результата преобразования в милливольты / вольтах.

Аналогичный способ калибровки опорного напряжения АЦП используется и в МК семейства *ARM Cortex-Mx* (см. подпункт 10.3.11.23).

### **10.3.10. Пример программирования блока АЦП МК семейства AVR**

**10.3.10.1.** В качестве несложного примера использования встроенного АЦП МК семейства *AVR* в данном пункте рассмотрено применение АЦП МК *ATmega128 / 1887BE7T* [8] в устройстве контроля и управления яркостью свечения осветительного светодиода.

Устройство состоит из 2-х основных функциональных блоков:

- источника тока (ИТ) с задаваемым оператором значением выходного тока;

- блока контроля и управления на основе МК *ATmega128*.

Выходной ток ИТ задается 4-битовым кодом, вводимым с клавиатуры, подключенной к одному из портов МК. Управление током осуществляется ШИМ-сигналом, вырабатываемым 3-м таймером МК и поступающим на токозадающий вход ИТ, выходной ток которого является функцией (в первом приближении – линейной) от коэффициента заполнения управляющего ШИМ-сигнала.

Прецизионным резистивным шунтом, включенным последовательно с нагрузкой ИТ, его выходной ток преобразуется в прямо пропорциональное ему напряжение. МК, посредством встроенного АЦП, осуществляет постоянный мониторинг данного напряжения. По результатам его АЦ-преобразования производится программно-управляемая установка коэффициента заполнения ШИМ-сигнала, обеспечивающего заданное значение (**уставку**) выходного тока ИТ.

В процессе работы устройства также осуществляется мониторинг выходного напряжения ИТ, превышение которым

порогового значения является признаком нештатной ситуации (в т. ч. обрыва цепи светодиода). В данном случае производится выключение ИТ переводом управляющего сигнала на токозадающем входе в пассивное (нулевое) состояние. При этом включается световая сигнализация нештатной ситуации – все светодиоды периодически включаются / выключаются на 500 мс. Работа устройства блокируется; разблокирование производится сбросом МК.

Клавиатура подключена к младшим 4-м разрядам ПВВ *D*. Клавиши – без фиксации; их нажатию соответствует нулевой уровень на соответствующем выводе ПВВ. Набор токозадающего кода производится клавишами «+» и «-», подключенными к 3-му и 2-му выводам ПВВ *D* соответственно. По каждому нажатию клавиши «+» токозадающий код увеличивается на ЕМЗР, а клавиши «-» - уменьшается на ЕМЗР.

Код, задающий выходной ток ИТ, отображается светодиодами, подключенными к 4-м старшим разрядам порта *B*. Светодиоды включаются при нулевом уровне сигнала на соответствующем выводе порта.

Сигнал ШИМ, управляющий выходным током ИТ, поступает с 4-го вывода порта *E*, выполняющего альтернативную функцию выхода канала *B* (*OCB*) 3-го таймера.

0-й и 1-й выводы порта *F* выполняют альтернативные функции входов 0-го и 1-го каналов АЦП (*ADC0* и *ADC1*, см. рис. 10.33). На вход *ADC0* поступает напряжение на шунте относительно общей шины, прямо пропорциональное выходному току ИТ. Вход *ADC1* подключен к делителю выходного напряжения ИТ относительно общей шины. Используемые каналы АЦП (0-й и 1-й) работают в режиме *Single Ended Input Mode* (см. подпункт 10.3.8.4). Для мониторинга выходных тока и напряжения ИТ достаточна разрешающая способность АЦП на уровне 8 битов, поэтому используется формат результата с выравниваем влево (см. рис. 10.36б); младшие 2 бита результата игнорируются. Поскольку при 8-битовом результате преобразования нормируемые погрешности смещения и коэффициента масштабирования АЦП в режиме *Single Ended Input Mode* много меньше ЕМЗР [8], калибровка АЦП и

компенсация данных погрешностей в соответствии с рекомендацией [62] не проводится (см. подпункт 10.3.9.7).

АЦП осуществляет поочередное преобразование по 0-му и 1-му каналу. По каждому из них АЦП работает в режиме непрерывного преобразования, с программным запуском (вариант 3 таблицы 10.3). Отсчеты, полученные в течение одной миллисекунды после переключения канала, игнорируются (см. подпункт 10.3.8.13). Тактирование АЦП осуществляется синхросигналом, формируемым из выходного сигнала ГТИ МК, снабженного ПЭР; следовательно, нестабильность периода дискретизации практически отсутствует (см. пункт 1 выводов к табл. 10.3).

В качестве опорного напряжения АЦП используется выходное напряжение внутреннего ИОН. Поскольку его реальное значение может существенно отличаться от номинального (см. подпункт 10.3.8.3), предусмотрено измерение реального значения выходного напряжения ИОН на этапе отладки устройства, с последующим вводом измеренного значения в программу, как константы, и его внесением в результат АЦ-преобразования в соответствии с выражением (10.43).

Детализированный алгоритм контроля и управления отдельно не приводится, т. к. он понятен из приведенного далее текста программного модуля с комментариями.

**10.3.10.2.** Далее представлен текст программного модуля, реализующего мониторинг и управление ИТ. *IDE – Atmel Studio 7*. Уровень программирования – регистровый, представление операндов – числовое (см. подпункт 2.6.1.14 и Приложение В).

```
//Указание тактовой частоты ЦП (8 МГц)
```

```
#define F_CPU 8000000
```

```
/*
```

Создание используемых в программе констант и задание их значений:

- *uref* – **измеренное** значение (в мВ) выходного напряжения ИОН АЦП **конкретного** экземпляра МК;

- *rsh* – **реальное** сопротивление шунта (в Ом);

- *imx* – максимальное значение выходного тока ИТ (в мА).

```
*/
```

```
#define uref 2520
```

```
#define rsh 4.14
```

```
#define imx 600
```

```
/*
```

**Примечание.** В принципе, данные константы могут быть объявлены и заданы следующим образом:

```
float uref = 2520;
```

```
float rsh = 4.14;
```

```
float imx = 600;
```

Однако, объявление и задание констант директивой `#define` (являющейся одной из директив препроцессора) предпочтительнее с точки зрения времени выполнения фрагментов программы, использующих эти константы

```
*/
```

```
//Подключение библиотеки моделей ПУ МК семейства AVR
```

```
#include <avr/io.h>
```

```
//Подключение утилиты формирования временных задержек
```

```
#include <util/delay.h>
```

```
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
```

```
//Объявление используемых переменных
```

```
//Объявление целочисленных переменных  $i$  и  $j$ , служащих счетчиками циклов
```

```
int  $i, j$ ;
```

```
/*
```

Объявление шага задания выходного тока ИТ, т. е. аналогового эквивалента ЭМЗР токозадающего кода, как переменной с плавающей точкой

```
*/
```

```
float  $i\_step$ ;
```

```
/*
```

Объявление беззнаковых целочисленных переменных  $avrg0$  и  $avrg1$ , являющихся средними значениями результатов АЦ-преобразования напряжений, прямо пропорциональных выходному току и выходному напряжению ИТ соответственно

```
*/
```

```
unsigned int  $avrg0, avrg1$ ;
```

```
/*
```

Объявление массива уставок результатов АЦ-преобразования напряжения на шунте (*shunt voltage*) как беззнаковых 8-битовых переменных

```
*/
```

```
unsigned char  $shunt\_v[20]$ ;
```

```
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
```

```
///Код основного блока программы
```

```
int main(void)
```

```
{
```

```
//Инициализация используемых блоков МК
```

//Конфигурирование используемых ПВВ (см. табл. 6.1)

/\*

Настройка 4-х старших разрядов ПВВ *B*, управляющих светодиодами индикации выходного тока ИТ, на работу в режиме цифровых выходов

\*/

*DDRB = 0b11110000;*

/\*

Запись в регистр данных ПВВ *B* кода, при котором все светодиоды выключены, что соответствует нулевому выходному току ИТ (включение светодиодов осуществляется нулем на соответствующем выводе ПВВ)

\*/

*PORTB = 0b11110000;*

/\*

Настройка выводов с 0-го по 3-й ПВВ *D* (к которым подключена задающая ток ИТ клавиатура) на работу в режиме входов с подтягивающими резисторами:

- содержимое регистра направления передачи ПВВ *D* (*DDRD*) оставлено нулевым (по умолчанию), что соответствует работе в режиме входа;

- в разряды с 0-го по 3-й регистра данных ПВВ *D* записываются единицы, что, в сочетании с нулевым («по умолчанию») состоянием бита *PUD*, вызывает подключение подтягивающих резисторов к выводам с 0-го по 3-й ПВВ *D*

\*/

*PORTD=PORTD|0b00001111;*

/\*

Настройка 4-го вывода ПВВ *E*, выполняющего альтернативную функцию выхода токозадающего ШИМ-сигнала, на работу в режиме цифрового выхода

\*/

*DDRE = DDRE|0b00010000;*

/\*

Настройки 0-го и 1-го выводов ПВВ *F*, используемых как входы 0-го и 1-го каналов АЦП, оставлены «по умолчанию», см. табл. 6.1

\*/

/\*

Конфигурирование 3-го таймера, генерирующего токозадающий ШИМ-сигнал

\*/

/\*

Программирование регистров управления 3—м таймером, *OCR3A* и *OCR3B* (в соответствии с пунктом 3.10.10 Руководства [8]):

- установка в единицу битов *WGM* (0-го и 1-го битов регистра *TCCR3A*, 3-го и 4-го – регистра *TCCR3B*), что соответствует работе в режиме асимметричной («быстрой») ШИМ, с периодом, задаваемым содержимым регистра *OCR3A* (см. табл. 3.61 Руководства [8]);

- конфигурирование выхода канала *B* 3-го таймера на формирование не инвертированного ШИМ-сигнала, записью кода 10 в битовое поле *COMB* (4-й и 5-й биты) регистра *TCCR3A* (см. табл. 3.59 Руководства [8])

\*/

```
TCCR3A = 0b00100011;
```

```
TCCR3B = 0b00011000;
```

/\*

Запись в регистр *OCR3A* верхнего предела счета 3-го таймера (*TOP*, см. выражение (9.5)), задающего период ШИМ-сигнала. В рассматриваемом случае таймер тактируется синхроимпульсами с частотой 8 МГц, период ШИМ-сигнала равен  $(255+1)/8$  МГц = 32 мкс

\*/

```
OCR3A=255;
```

/\*

Запись в регистр *OCR3B* числа, задающего начальное (при запуске) значение длительности импульса ШИМ-сигнала (см. выражение (9.6)). Для обеспечения безаварийного запуска выбрано равным 0

\*/

```
OCR3B = 0;
```

/\*

Запуск 3-го таймера записью ненулевого кода в битовое поле выбора источника и частоты тактирования 3-го таймера (*CS3*) регистра *TCCR3B*. В рассматриваемом случае *CS3* = 001 (источник тактирования – ГТИ МК, предделение тактовой частоты отсутствует, см. табл. 3.62 в руководстве [8])

\*/

```
TCCR3B = TCCR3B|0b00000001;
```

/\*

Отключение питание компаратора (во избежание дополнительных помех, влияющих на результаты АЦ-преобразования) установкой в единицу бита *ACD* регистра *ACSR* (см. рис. 10.14 и пояснения к нему)

\*/

```
ACSR = ACSR|0b10000000;
```

```
//Конфигурирование АЦП (см. подпункты 10.3.8.2 – 10.3.8.5)
```

/\*

Программирование регистра *ADMUX* (см. рис. 10.34, подпункты 10.3.8.3 и 10.3.8.4, а также табл. 3.98 Руководства [8]):

- *REFS* = 11 (выбор внутреннего ИОН);

- *ADLAR* = 1 (выравнивание результата преобразования влево, см. рис. 10.36б);

- *MUX* = 00001 (подключение входа АЦП к выводу *ADC1*, т. е. к делителю выходного напряжения ИТ)

\*/

```
ADMUX = 0b111100001;
```

/\*

Программирование регистра *ADCSRA* (см. рис. 10.35 и подпункты 10.3.8.5 – 10.3.8.8):

- *ADPS* = 101, что соответствует тактовой частоте АЦП, равной частоте синхронизации МК (в данном случае – 8 МГц), поделенной на 32 (см. табл. 3.99 в руководстве [8]), т. е. 250 кГц – максимально близкой из возможных к рекомендуемой (200 кГц, см. подпункт 10.3.8.5) при тактовой частоте МК, равной 8 МГц;

- выбор режима непрерывного преобразования (см. подпункт 10.3.8.8) установкой бита *ADFR* в единицу;

- установка в единицу бита *ADSC* (см. рис. 10.38);

\*/

```
ADCSRA = 0b01100101;
```

/\*

Разрешение работы АЦП установкой в единицу бита *ADEN* регистра *ADCSRA* (см. рис. 10.35)

\*/

```
ADCSRA = ADCSRA | 0b10000000;
```

/\* Задание уставок результатов АЦ-преобразования напряжения на шунте, в зависимости от кода, набираемого на клавиатуре и задающего значение выходного тока ИТ. Код может принимать значения от 0000 до 1111 (от 0 до 15 в десятичной системе).

\*/

/\*

Вычисление аналогового эквивалента ЕМЗР токозадающего кода как отношения заданного максимального значения выходного кода (600 мА, см. директиву *#define imx*) к максимальному значению кода

\*/

```
i_step = imx / 15;
```

/\*

Вычисление 8-битовых результатов АЦ-преобразования напряжения на шунте, которые должны быть достигнуты при каждом из возможных значений токозадающего кода.

\*/

```
for(j=0;j<=15;j++) shunt_v[j] = j*rsh*i_step*256/uref;
```

```
// Установка начального значения токозадающего кода
```

```
j = 0;
```

```
////////////////////////////////////
```

```
//Основной цикл программы
```

```
while (1)
```

```
{
```

/\*

Получение среднего значения 20-ти отсчетов сигнала с делителя выходного напряжения ИТ (АЦП работает в режиме непрерывного преобразования). Выключение ИТ при превышении данным напряжением допустимого значения.

**Примечание.** Усреднение отсчетов производится с целью уменьшения случайной составляющей погрешности АЦ-преобразования [8]

\*/

/\*

Подключение входа АЦП к выводу *ADCI* (см. табл. 3.98 Руководства [8]), т. е. к делителю выходного напряжения ИТ

\*/

```
ADMUX = ADMUX|0b00000001;
```

/\*

Задержка на 1 мс: пропуск результатов первых циклов АЦ-преобразования после переключения канала, которые могут быть некорректны (см. подпункт 10.3.8.13)

\*/

```
_delay_ms(1);
```

```
//Обнуление текущего значения суммы отсчетов
```

```
avrg1 = 0;
```

/\*

Получение (в цикле) и суммирование 20-ти отсчетов сигнала с делителя выходного напряжения ИТ

\*/

```
for (i=0;i<20;i++)
```

```
{
```

/\*

Обнуление признака завершения цикла АЦ-преобразования (бита *ADIF* регистра *ADCSRA*, см. рис. 10.35) записью в него **единицы**

\*/

```
ADCSRA = ADCSRA|0b00010000;
```

/\*

Ожидание завершения очередного цикла преобразования (установки в единицу бита *ADIF*)

\*/

```
while((ADCSRA&0b00010000)==0);
```

/\*

После установки в единицу бита *ADIF* – считывание 8-битового результата преобразования из регистра *ADCH* (см. рис. 10.36б) и его суммирование с текущим значением *avrg1*

\*/

```

avrg1 = avrg1 + ADCH;
}
//Вычисление среднего значения полученной последовательности отсчетов
avrg1 = (avrg1 / 20);
/*
Если среднее значение больше половины шкалы АЦП – остановка 3-го
таймера и обнуление сигнала управления ИТ. Восстановление настроек
таймера – только после сброса МК
*/
if(avrg1 > 128)
{
/*
Отключение выхода канала В таймера обнулением битового поля COMB (4-й
и 5-й биты) регистра TCCR3A (см. табл. 3.59 Руководства [8])
*/
TCCR3A = TCCR3A & 0b11001111;
//Обнуление 4-го разряда ПВВ E, управляющего ИТ
PORTE = PORTE & 0b11101111;
//Остановка тактирования 3-го таймера обнулением битового поля CS3
регистра TCCR3B
TCCR3B = TCCR3B & 0b11111000;
/*
Обнуление счетчика 3-го таймера и его регистра OCR3B, задающего
длительность импульсов ШИМ-сигнала
*/
TCNT3 = 0;
OCR3B = 0;
/*
«Бесконечный» цикл, в течение которого все светодиоды включаются на 500
мс, затем выключаются на то же время и т. д., что служит признаком
нештатной ситуации. Выход из цикла может быть осуществлен только
сбросом МК.
Примечание. Формирование задержки длительностью 500 мс с помощью
утилиты _delay производится 20 кратным повторением формирования
задержки длительностью 25 мс, т. к. максимально возможная длительность
временного интервала, формируемого однократным запуском данной
утилиты, равна отношению 262,144 мс к тактовой частоте МК в МГц, в
рассматриваемом случае равной 8 МГц
*/
while (1)
{
PORTB = 0x00;

```

```

for (i=0;i<20;i++) _delay_ms(25);
PORTB = 0xF0;
for (i=0;i<20;i++) _delay_ms(25);
}
}
/*

```

Опрос состояния клавиши "+" (3-й вывод ПДД D):

- если зафиксировано нулевое состояние вывода ПДД (предположительно, клавиша нажата) – ожидание в течение 100 мс (максимального времени «дребезга» контакта);

- если снова зафиксировано нулевое состояние, т. е. клавиша достоверно нажата – ожидание, пока состояние вывода не станет единичным (т. е. клавиша не перейдет в отпущенное состояние), после чего осуществляется переход к реакции на нажатие клавиши "+".

```

*/
if(((PIND)&(0b00001000)) == 0b00000000)
{
for (i=0;i<4;i++) _delay_ms(25);
if(((PIND)&(0b00001000)) == 0b00000000)
{
while(((PIND)&(0b00001000)) == 0b00000000);
}
}
/*

```

Реакция на нажатие клавиши "+":

- если ранее введенное значение токозадающего кода является максимально возможным (равным 15-ти) – оно оставляется без изменения; в противном случае – увеличивается на единицу;

- отображение на светодиодах текущего значения токозадающего кода.

```

*/
if (j>=15)
{
j=15;
PORTB = 0b00000000;
}
else
{
j = j+1;
PORTB = PORTB - 0b00010000;
}
}
}
}

```

```

/*
Опрос состояния клавиши "-" (2-й вывод ПВВ D); аналогично опросу клавиши
"+" (см. выше)
*/
if(((PIND)&(0b00000100)) == 0b00000000)
{
for (i=0;i<4;i++) _delay_ms(25);
if(((PIND)&(0b00000100)) == 0b00000000)
{
while(((PIND)&(0b00000100)) == 0b00000000);
// Реакция на нажатие клавиши "-"
}
}
/*
Если предыдущими или текущим нажатием клавиши "-" достигнуто нулевое
значение токозадающего кода (т. е. если его текущее значение равно 0 или 1):
*/
if (j<=1)
{
/*
Отключение выхода канала B таймера обнулением битового поля COMB (4-й
и 5-й биты) регистра TCCR3A (см. табл. 3.59 Руководства [8])
*/
TCCR3A = TCCR3A&0b11001111;
//Обнуление 4-го разряда ПВВ E, управляющего ИТ
PORTE = PORTE&0b11101111;
//Остановка тактирования 3-го таймера обнулением битового поля CS3
регистра TCCR3B
TCCR3B = TCCR3B&0b11111000;
}
/*
Обнуление счетчика 3-го таймера и его регистра OCR3B, задающего
длительность импульсов ШИМ-сигнала
*/
TCNT3 = 0;
OCR3B = 0;
}
/*
Установка нулевого значения токозадающего кода и его отображение на
светодиодах
*/
j = 0;
PORTB = 0b11110000;
}

```

```

/*
Если текущее значение токозадающего кода больше 1 – уменьшение его на
единицу и отображение его значения на светодиодах
*/
else
{
j = j-1;
PORTB = PORTB + 0b00010000;
}
}
}
/*

```

Получение среднего значения 20-ти отсчетов напряжения на шунте, преобразующем выходной ток ИТ в напряжение (АЦП работает в режиме непрерывного преобразования) и управление коэффициентом заполнения токозадающего ШИМ-сигнала по полученному среднему значению.

**Примечание.** Усреднение отсчетов производится с целью уменьшения случайной составляющей погрешности АЦ-преобразования

```

*/
/*
Подключение входа АЦП к выводу ADC0 (см. табл. 3.98 Руководства [8]), т. е.
к шунту

```

```

*/
ADMUX = ADMUX & 0b11111110;
/*

```

Задержка на 1 мс: пропуск результатов первых циклов АЦ-преобразования после переключения канала (см. подпункт 10.3.8.13)

```

*/
_delay_ms(1);
//Обнуление текущего значения суммы отсчетов
avg0 = 0;
//Получение (в цикле) и суммирование 20-ти отсчетов напряжения на шунте
for (i=0;i<20;i++)
{
/*

```

Обнуление признака завершения цикла АЦ-преобразования (бита *ADIF* регистра *ADCSRA*, см. рис. 10.35) записью в него **единицы**

```

*/
ADCSRA = ADCSRA | 0b00010000;

```

```

/*
Ожидание завершения очередного цикла преобразования (установки в
единицу бита ADIF)
*/
while((ADCSRA&0b00010000)==0);
/*
После установки в единицу бита ADIF – считывание 8-битового результата
преобразования из регистра ADCH (см. рис. 10.36б) и его суммирование с
текущим значением avrg0
*/
avrg0 = avrg0 + ADCH;
}
//Вычисление среднего значения полученной последовательности отсчетов
avrg0 = (avrg0 / 20);
/*
Если результат меньше, чем соответствующая текущему значению
токозадающего кода уставка минус гистерезис (равный ЕМЗР), и не достигнут
коэффициент заполнения ШИМ-сигнала, равный 85% от максимального –
коэффициент заполнения повышается на 1 / 256 (увеличением на ЕМЗР
содержимого регистра OCR3B)
*/
if(avrg0<shunt_v[j]-1)
{
if(OCR3B<218) OCR3B=OCR3B+0x01;
}
}
/*
Если результат больше, чем соответствующая текущему значению
токозадающего кода уставка плюс гистерезис, и не достигнут нулевой
коэффициент заполнения ШИМ-сигнала, – коэффициент заполнения
понижается на 1 / 256 (уменьшением на ЕМЗР содержимого регистра OCR3B)
*/
if(avrg0>shunt_v[j]+1)
{
if(OCR3B>=0) OCR3B=OCR3B-0x01;
}
}
//Завершение очередного основного цикла и переход к следующему
}
}

```

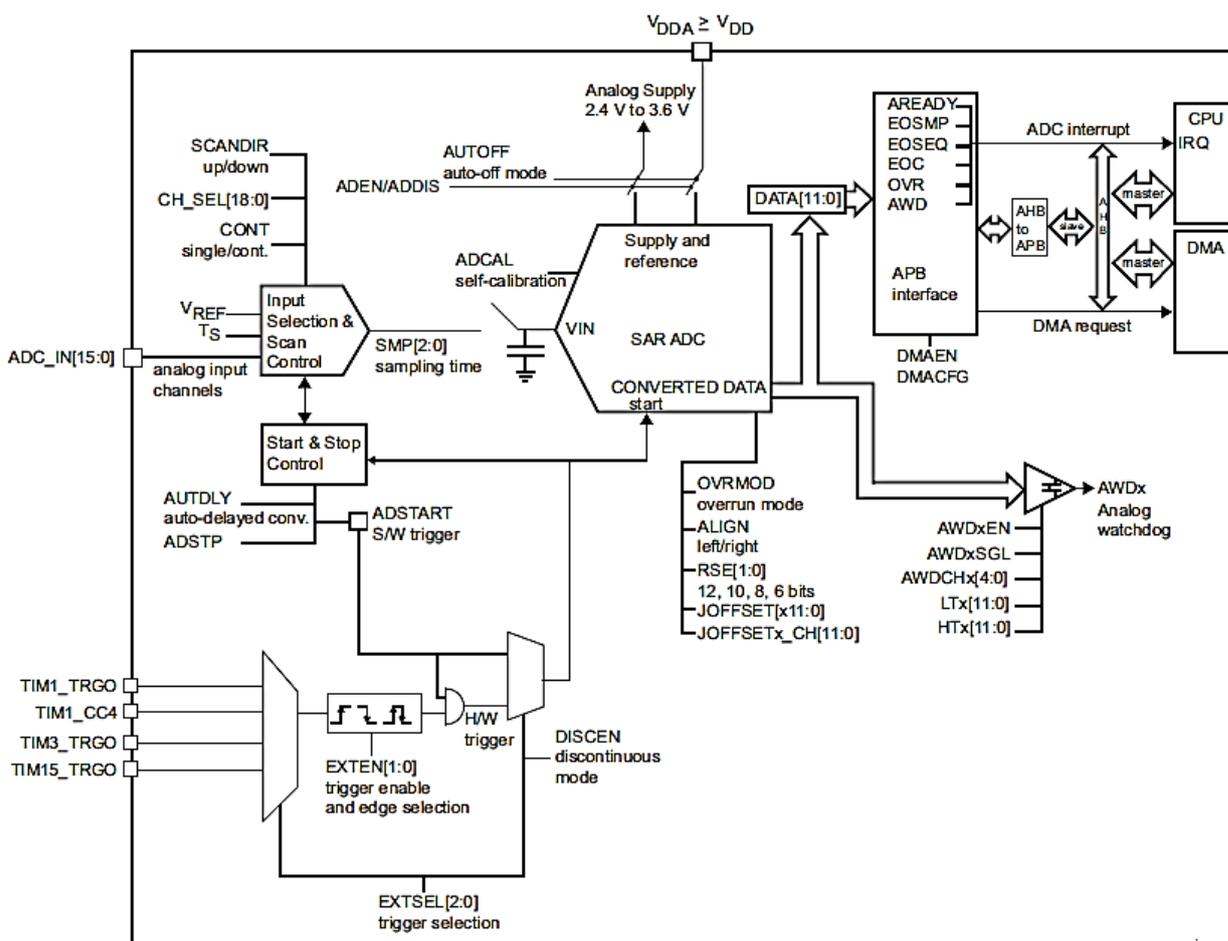
### 10.3.11. Базовые структурно-архитектурные решения блоков АЦП МК семейства *ARM Cortex-Mx*

**10.3.11.1.** В целом, базовые структурно-архитектурные решения блоков АЦП МК семейства *ARM Cortex-Mx* сходны с аналогичными решениями других распространенных современных семейств МК общего назначения (см. подпункт 10.3.7.5), в том числе *AVR* (см. пункт 10.3.8). В данном пункте будут рассматриваться, в основном, характерные отличительные особенности структуры и архитектуры блоков АЦП МК семейства *ARM Cortex-Mx*.

Типовые структурно-архитектурные решения АЦП МК семейства *ARM Cortex-Mx* будем рассматривать на примере блоков АЦП МК модельных рядов *STM32F030xx* [15] и *STM32F10xxx* [13], относящихся к подсемействам *ARM Cortex-M0* и *ARM Cortex-M3* соответственно. Их структурные схемы приведены на рис. 10.41 и 10.42.

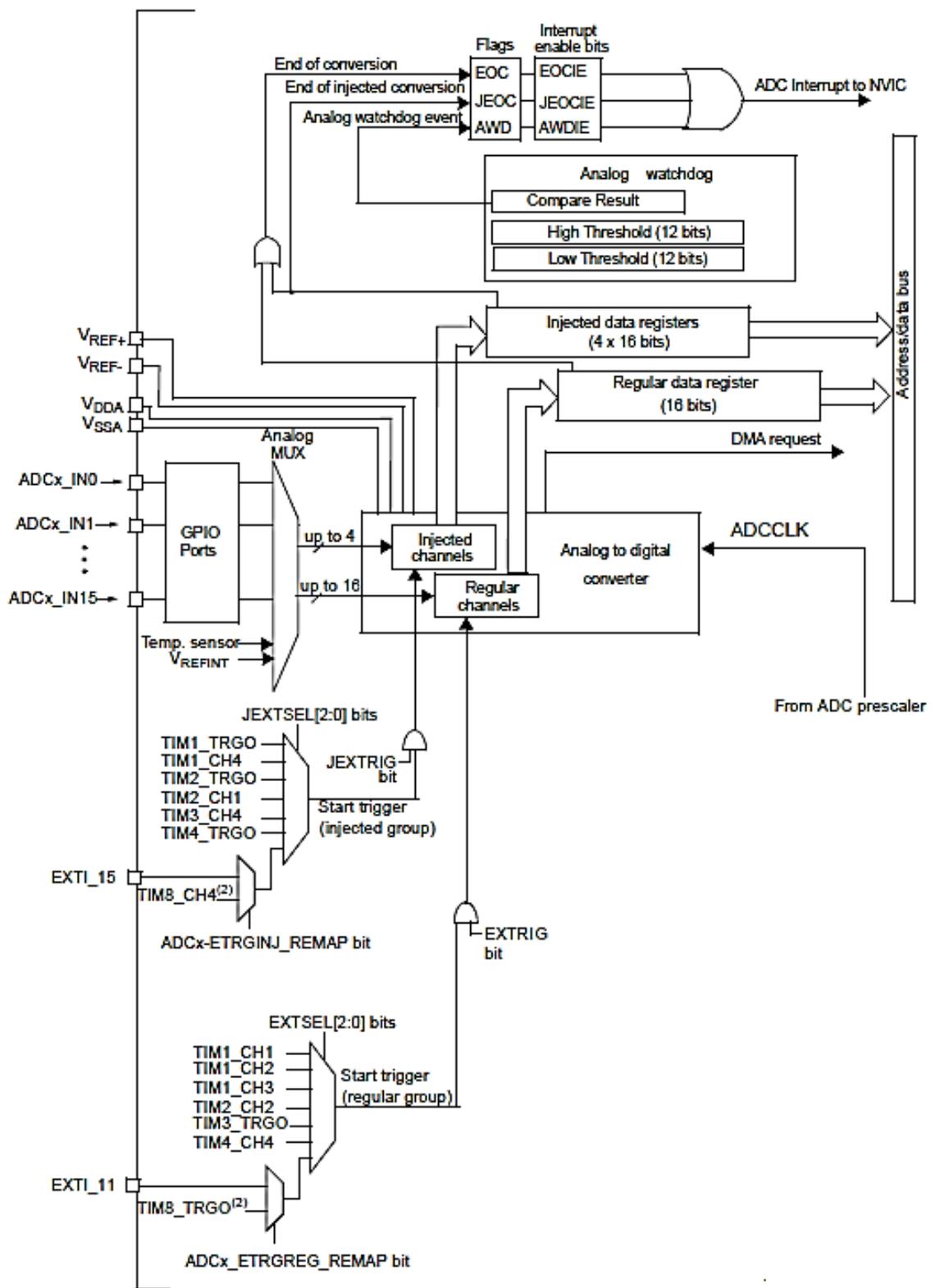
**Примечание.** В состав многих моделей МК семейства *ARM Cortex-Mx* входят два или три АЦП; например, в МК модельного ряда *STM32F103xx* – два АЦП [10]. На рис. 10.42 представлена структурная схема **одного** АЦП МК модельного ряда *STM32F10xxx*. Структурная схема блока АЦП в целом МК модельного ряда *STM32F103xx* приведена на рис. 10.48.

АЦП абсолютного большинства МК семейства *ARM Cortex-Mx* представляют собой 12-битовые АЦП последовательного приближения, строятся по обобщенной структурной схеме, представленной на рис. 10.25, а их аналоговая часть реализуется на основе ЦАП с переключаемыми конденсаторами (см. рис. 10.27). В некоторых (немногих) модельных рядах используются также АЦП, реализующие способ сигма-дельта модуляции [9]. С одной стороны, они не отличаются такой универсальностью применения, как АЦП последовательного приближения, с другой – принцип их работы относительно сложен для понимания, и его описание существенно увеличило бы объем данного подраздела. Поэтому здесь оно не приводится, и архитектура встроенных сигма-дельта АЦП МК рассматриваться не будет.



**Рис. 10.41.** Структурная схема блока АЦП МК модельного ряда *STM32F030xx* [15]

(пояснения приведены в тексте)



**Рис. 10.42.** Структурная схема одного АЦП МК модельного ряда *STM32F10xxx* [13]  
(пояснения приведены в тексте)

**10.3.11.2.** Архитектура блока АЦП многих подсемейств / модельных рядов МК семейства *ARM Cortex-Mx* (в частности, *STM32F030xx* [15] и *STM32F4xxx* [14]) позволяет программно выбирать **число значащих разрядов (ЗР)** результата преобразования, а следовательно – время уравнивания преобразуемого напряжения, равное произведению разрядности на период синхросигнала АЦП (см. подпункт 10.3.7.2). Например, если для решения некоторой конкретной задачи выходные напряжения датчиков достаточно преобразовывать в код с 8-битовой точностью, следует выбрать число ЗР результата преобразования, равное 8-и битам. При этом важно отметить, что время уравнивания преобразуемого напряжения составит 8, а не 12 периодов синхросигнала АЦП, в отличие от АЦП МК семейства *AVR*, у которых время уравнивания равно 10-и периодам синхросигнала АЦП, независимо от формата результата преобразования (см. подпункт 10.3.8.2, в т. ч. рис. 10.36).

Например, число ЗР результата преобразования АЦП МК модельного ряда *STM32F030xx* [15], назначается битовым полем *RES[1:0]* (*Data resolution*) 1-го регистра конфигурации АЦП, и может задаваться равным 6-и, 8-и, 10-и или (по умолчанию) 12-и битам.

С другой стороны, архитектура, например, АЦП МК модельного ряда *STM32F10xxx* не предоставляет возможности выбора числа ЗР результата преобразования, которое постоянно и равно 12-и битам [13].

**10.3.11.3.** В качестве **ИОН** АЦП МК семейства *ARM Cortex-Mx*, в отличие от АЦП МК семейства *AVR*, может служить только внешний ИОН, подключаемый к выводам  $V_{REF+}$  и  $V_{REF-}$  (см. рис. 10.42) или источник питания аналоговой части МК; у МК некоторых модельных рядов подсемейства *ARM Cortex-M0*, например, *STM32F030xx* (см. рис. 10.41) – только источник питания аналоговой части. При наличии у БИС МК специально выделенных выводов  $V_{REF+}$  и  $V_{REF-}$  (рис. 10.42) вывод  $V_{REF-}$  должен быть подключен к общей шине аналоговой части. Если при этом в качестве опорного выбрано напряжение питания аналоговой части, оно подключается к выводу  $V_{REF+}$ .

Подключение ИОН осуществляется на аппаратном уровне. Программно-управляемый выбор ИОН АЦП не реализуется.

В состав блока АЦП МК семейства *ARM Cortex-Mx* также входит внутренний *Bandgap*-ИОН ( $V_{REF}$  на рис. 10.41,  $V_{REFINT}$  на рис. 10.42), однако он не может применяться в качестве ИОН АЦП, а используется датчиком температуры ( $T_S$  на рис. 10.41, *Temp. sensor* на рис. 10.42), см. подпункт 10.3.11.21, а также при калибровке АЦП (см. подпункт 10.3.11.23).

**10.3.11.4. Тактирование** АЦП большинства моделей МК семейства *ARM Cortex-Mx* осуществляется синхросигналом, формируемым делителем частоты сигнала тактирования одного из *APB*-доменов МК (см. рис. 1.7 и 4.1). Коэффициент деления при этом является программно-задаваемым. Например, в МК модельного ряда *STM32F10xxx* [13] он назначается 2-битовым полем *ADCPRE* (*ADC prescaler*) регистра *RCC\_CFGR* (*Clock configuration register*) и, в зависимости от содержимого данного поля, может принимать значения 2, 4, 6 или 8. Важно отметить, что частота синхроимпульсов АЦП должна выбираться таким образом, чтобы данная частота, а также время преобразования (т. е. сумма времени выборки и времени уравнивания) находились в допустимых пределах. В частности, для МК модельного ряда *STM32F10xxx* минимальная и максимальная допустимая частота тактирования АЦП равны соответственно 600 кГц и 14 МГц, а минимальное и максимальное время преобразования – 1 мкс и 18 мкс соответственно. Напомним, что при частоте синхросигнала АЦП, превышающей предельно допустимую, не гарантируются нормируемые погрешности преобразования. Если же частота тактирования АЦП меньше минимально допустимой, а время преобразования превышает максимально допустимое – потери напряжения на конденсаторах схемы, совмещающей функции БВХ и ЦАП (см. рис. 10.27) за время уравнивания, также не позволят достигнуть нормируемых погрешностей преобразования. См. также подпункт 10.3.8.5.

Тактирование АЦП некоторых модельных рядов МК, в частности, *STM32F030xx*, может осуществляться как синхросигналом *APB*-домена, так и отдельным ГТИ частотой 14

МГц, специально предназначенным для тактирования АЦП (см. рис. 4.1). При этом источник синхронизации АЦП выбирается программно, битовым полем *CKMODE[1:0]* регистра *ADC\_CFGR2* [15]. Использование отдельного ГТИ АЦП позволяет обеспечить минимальное время преобразования, независимо от частоты тактирования МК в целом. Однако ГТИ АЦП не синхронизирован с основным ГТИ МК, что приводит к нестабильности интервала времени между поступлением сигнала запуска АЦП и реальным началом цикла преобразования (*ADC jitter on trigger conversion*); см. подпункт 10.3.4.7.

**10.3.11.5. Длительность цикла преобразования АЦП МК семейства *ARM Cortex-Mx* равна сумме времени выборки и времени преобразования в код** напряжения, зафиксированного на запоминающих конденсаторах (см. рис. 10.27).

Архитектура АЦП МК семейства *ARM Cortex-Mx*, в отличие от МК семейства *AVR*, позволяет программно задавать **время выборки БВХ**, в зависимости от выходного сопротивления источника преобразуемого сигнала (см. рис. 10.20). Выбор данного времени рекомендуется осуществлять на основании условия (10.23). В АЦП большинства модельных рядов подсемейств от *ARM Cortex-M3* и выше время выборки может задаваться индивидуально для каждого канала, в зависимости от конкретного значения выходного сопротивления источника преобразуемого напряжения соответствующего канала. Архитектура АЦП ряда моделей МК подсемейства *ARM Cortex-M0* (в т. ч. *STM32F030xx* [15]) позволяет устанавливать только одинаковое время выборки по всем каналам. Очевидно, его следует выбирать таким образом, чтобы условие (10.23) соблюдалось для канала с максимальным выходным сопротивлением источника сигнала.

Время выборки задается в периодах синхросигнала АЦП. В моделях / модельных рядах МК, архитектура АЦП которых предоставляет возможность индивидуального назначения данного времени по каждому из каналов, оно задается посредством битовых полей *SMPx* (где *x* – номер канала) регистров *ADC\_SMPR1* и *ADC\_SMPR2* (см., например, пункты 11.12.4 и 11.12.5 Руководства [13]). В моделях / модельных рядах, в которых возможно назначение

только одинакового времени выборки по всем каналам, оно задается битовым полем *SMP* регистра *ADC\_SMPR* (см., например, пункт 12.11.6 Руководства [15]).

Например, при равном 000 содержимом битового поля *SMPx* регистра *ADC\_SMPR1* или *ADC\_SMPR2* МК модельного ряда *STM32F103xx* [13], время выборки по каналу с номером *x* равно 1,5 периода синхросигнала АЦП; при содержимом данного битового поля, равном 001 – 7,5 периодам; при его равенстве 111 – 239,5 периодам (подробнее – см. пункты 11.12.4 и 11.12.5 Руководства [13]).

**Время преобразования в код** напряжения, зафиксированного на запоминающих конденсаторах (см. рис. 10.27) равно  $N \times t_{CLK\ ADC} + t_{ADD}$ , где  $N$  – число ЗР результата преобразования,  $t_{CLK\ ADC}$  – период синхросигнала АЦП,  $t_{ADD}$  – дополнительное время, зависящее от структурно-архитектурных особенностей АЦП конкретного подсемейства / модельного ряда МК. Например, у АЦП МК модельного ряда *STM32F103xx* время  $t_{ADD}$  равно  $0,5t_{CLK\ ADC}$  [10]; модельного ряда *STM32F030xx* –  $0,5t_{CLK\ ADC}$  при 12-ти ЗР разрядах результата преобразования, и  $1,5t_{CLK\ ADC}$  – при числе его ЗР, равном 6-и, 8-и или 10-и [15], см. также подпункт 10.3.11.2.

**10.3.11.6.** В отличие от АЦП МК семейства *AVR*, структура блока АЦП большинства моделей МК семейства *ARM Cortex-Mx* не предусматривает возможность непосредственного АЦ-преобразования разностей напряжений на входах 2-х каналов (т. е. **дифференциальных** напряжений). Однако, при наличии 2-х и более АЦП в составе МК (этим характеризуются, например, МК модельного ряда *STM32F103xx* [10]) такое преобразование возможно. Оно реализуется в режиме одновременной выборки и АЦ-преобразования напряжений 2-мя АЦП по 2-м различным каналам (см. подпункт 10.3.11.17).

Следует отметить, что дифференциальные входные каналы реализованы в блоке АЦП ряда моделей МК подсемейства *ARM Cortex-M7* [9].

**10.3.11.7.** В архитектуре АЦП МК семейства *ARM Cortex-Mx* существуют понятия **регулярных** и **инжектированных** каналов. Включение канала в какую-либо из данных групп осуществляется

программно. Например, в МК модельного ряда *STM32F10xxx* [13] включение какого-либо канала в группу регулярных осуществляется записью его номера в один из регистров *ADC\_SQRx* (*ADC regular sequence register x*,  $x = 1, 2$  или  $3$ ); включение канала в группу инжектированных – записью его номера в регистр *ADC\_JSQR* (*ADC injected sequence register*). Более подробно использование регистров *ADC\_SQRx* и *ADC\_JSQR* описано в подпункте 10.3.11.8.

Группа регулярных каналов может включать в себя все доступные входные каналы АЦП, инжектированных – до 4-х каналов (у большинства модельных рядов). Основное отличие регулярных и инжектированных каналов состоит в следующем. Результаты преобразования входных сигналов всех регулярных каналов записываются в **один и тот же регистр данных**, а под результат преобразования по каждому из инжектированных каналов выделяется **специальный регистр** (см., например, рис. 10.42). Поэтому, с одной стороны, в группу регулярных каналов может включаться большее их количество (за счет отсутствия необходимости в выделении регистра данных для каждого из них), а с другой стороны – в ряде режимов работы АЦП, например, в режиме сканирования (см. подпункт 10.3.11.8) считывание результатов преобразования по регулярным каналам несколько сложнее, чем по инжектированным.

Инжектированные каналы обладают более высоким **приоритетом**, чем регулярные: при запуске преобразований по инжектированным каналам преобразования по регулярным приостанавливаются (подробнее – см. подпункт 10.3.11.14).

Важной особенностью инжектированных каналов является наличие **регистра смещения** результата преобразования по каждому из каналов, *ADC injected channel data offset register x* (*ADC\_JOFRx*,  $x=1...4$ ). Фактически, в каждом из этих регистров хранится задаваемая программно аддитивная поправка к результату АЦ-преобразования по инжектированному каналу  $x$ , автоматически, на аппаратном уровне вычитаемая из результата перед его записью в регистр данных соответствующего канала. Типовым примером необходимости внесения аддитивной поправки является АЦ-преобразование биполярного сигнала, например, синусоидального.

Ввиду того, что питание МК в целом, в т. ч. блока АЦП, осуществляется однополярным напряжением, подача отрицательных напряжений на входы АЦП недопустима (см. пункт 3.2.2). Поэтому при необходимости преобразования биполярного напряжения его уровень должен быть смещен на напряжение  $U_{OFFS}$ , противоположное по знаку и равное по модулю минимальному значению преобразуемого напряжения (на практике – на 5 – 10 % больше модуля его минимума), см. пункт 10.5.1. Соответственно, результат АЦ-преобразования при этом увеличивается на значение, равное  $U_{OFFS}2^N/U_{REF}$  (где  $N$  – число ЗР результата преобразования, см. подпункт 10.3.11.2). Данное значение должно быть вычтено из результата преобразования для получения реального числового эквивалента преобразуемого напряжения. В принципе, эта операция может быть реализована программно (что является единственным вариантом, например, при АЦ-преобразовании биполярных напряжений по регулярным каналам). При АЦ-преобразовании по инжектированным каналам вычитание выполняется автоматически, на аппаратном уровне, при условии, что значения  $U_{OFFSx}2^N/U_{REF}$  (где  $U_{OFFSx}$  – напряжение смещения по каналу  $x$ ) записаны в регистры  $ADC\_JOFRx$ . Таким образом, по окончании каждого цикла преобразования по инжектированному каналу в его регистр данных записывается числовой эквивалент преобразуемого напряжения **со своим знаком**. Возможность автоматического внесения аддитивной поправки на аппаратном уровне по инжектированным каналам, естественно, повышает быстродействие обработки результатов преобразований по ним.

Из вышесказанного следует, что результаты АЦ-преобразования по регулярным каналам представляют собой **беззнаковые** целочисленные переменные, а по инжектированным – целочисленные переменные **со знаком**.

Архитектура АЦП некоторых модельных рядов подсемейства *ARM Cortex-M0*, в том числе *STM32F030xx*, предоставляет возможность организации **только** регулярных каналов (см. рис. 10.41).

**10.3.11.8.** Выбор каналов, входные напряжения которых подлежат преобразованию, осуществляется программно,

посредством регистров, функционально эквивалентных регистру *ADMUX* МК семейства *AVR*. Их состав и наименования зависят от конкретного подсемейства / модельного ряда МК. Например, в МК модельного ряда *STM32F10xxx* к ним относятся регистры *ADC\_SQR1* (*ADC regular sequence register 1*), *ADC\_SQR2*, *ADC\_SQR3* и *ADC\_JSQR* (*ADC injected sequence register*) [13]; в МК модельного ряда *STM32F030xx* – регистр *ADC channel selection register* (*ADC\_CHSELR*) [15].

Важной особенностью АЦП МК семейства *ARM Cortex-Mx* является возможность автоматического **сканирования** каналов, т. е. последовательного выполнения АЦ-преобразования входных напряжений нескольких каналов, с предварительно заданными в соответствующих регистрах (см. выше) номерами каналов и очередностью преобразований по ним (например, вначале 3-й канал, затем 8-й канал, 2-й канал, еще раз 2-й канал, 15-й канал, 0-й канал). При этом, в отличие от АЦП МК семейства *AVR*, необходимость программного переключения каналов перед каждым циклом АЦ-преобразования отсутствует; последовательность преобразований в заданной очередности реализуется автоматически, после общего запуска (см. подпункт 10.3.11.9) процедуры преобразования.

В частности, в МК модельного ряда *STM32F10xxx* [13] число сканируемых регулярных каналов задается битовым полем *L[3:0]* регистра *ADC\_SQR1*, а номера каналов и очередность их сканирования – битовыми полями *SQ1[4:0]* – *SQ16[4:0]* регистров *ADC\_SQR1* – *ADC\_SQR3*. В свою очередь, число сканируемых инжектированных каналов задается битовым полем *JL[1:0]* регистра *ADC\_JSQR*, а их номера и очередность их сканирования – битовыми полями *JSQ1[4:0]* – *JSQ4[4:0]* того же регистра.

Например, для реализации вышеприведенной последовательности сканирования (3-й канал, 8-й канал, 2-й канал, еще раз 2-й канал, 15-й канал, 0-й канал) в битовое поле *SQ1[4:0]* должен быть записан (в двоичной системе) номер канала, опрашиваемого первым (00011), в поле *SQ2[4:0]* – вторым (01000), в поле *SQ3[4:0]* – третьим (00010), в поле *SQ4[4:0]* – четвертым (также 00010), в поле *SQ5[4:0]* – пятым (01111), в поле *SQ6[4:0]* – шестым (00000). В битовое поле *L[3:0]* при этом должно быть

записано уменьшенное на 1 общее число циклов АЦ-преобразования в процедуре сканирования (в данном примере – 6 минус 1, т. е. 0101 в двоичной системе). При содержимом данного битового поля, равном 0000, преобразование выполняется только по **одному** каналу, номер которого указывается в битовом поле *SQ1[4:0]*.

**Примечание 1.** В МК модельного ряда *STM32F10xxx* [13] для запуска процедуры сканирования каналов должен быть предварительно установлен в единичное состояние бит *SCAN* в регистре *ADC\_CR1*.

**Примечание 2.** В МК модельного ряда *STM32F030xx* [15] и в подобных им по степени сложности функциональные возможности сканирования каналов несколько ограничены. Имеется только один регистр, задающий номера каналов, подлежащих сканированию (*ADC\_CHSELR*). Включение *i*-го канала в сканируемую группу осуществляется установкой в единицу *i*-го бита данного регистра. При этом возможны только два варианта очередности опроса каналов – в порядке возрастания и в порядке убывания номеров каналов, в зависимости от состояния бита *SCANDIR* 1-го регистра конфигурации АЦП (*ADC\_CFGRI*). Если необходимо осуществлять преобразование только по **одному** каналу – в регистре *ADC\_CHSELR* в единичное состояние должен быть установлен только один бит, номер которого равен номеру соответствующего канала.

Результат преобразования по каждому из сканируемых регулярных каналов записывается в **один и тот же** регистр данных. При этом, например, в МК модельного ряда *STM32F030xx* по окончании цикла преобразования по **каждому** из каналов устанавливается в единицу признак завершения преобразования (*EOC, End Of Conversion*) в регистре статуса АЦП, и вырабатывается (если он разрешен) запрос на прерывание по данному событию. В свою очередь, по окончании преобразований по **группе** сканируемых каналов, выбранных посредством регистра *ADC\_CHSELR* (см. выше), в регистре статуса устанавливается признак *EOSEQ (End Of Sequence)*, и генерируется запрос на прерывание по соответствующему событию (если оно разрешено). Таким образом, считывание результатов АЦ-преобразований по каналам из регистра данных может осуществляться или по установке

признака *EOC*, выявляемой его программным опросом, или по прерыванию, вызываемому данным событием. Возможно (и в ряде случаев рационально) также считывание в режиме ПДП (см. раздел 8).

С другой стороны, например, в МК модельного ряда *STM32F10xxx* [13], а также *STM32F4xx* [14] признак *EOC* устанавливается и прерывание по данному событию вырабатывается только по завершении преобразований по **всей** группе выбранных для сканирования регулярных каналов. При этом **единственным** способом считывания результатов преобразований из регистра данных без их потерь является их запись в ОЗУ в режиме ПДП (см. подпункт 8.4.1).

При сканировании **инжектированных** каналов результат преобразования по каждому из них записывается в регистр данных соответствующего канала (см. подпункт 10.3.11.7 и рис. 10.42). По инжектированным каналам обмен в режиме ПДП не поддерживается. Результаты преобразования считываются из регистров по установке признака завершения сканирования инжектированных каналов, *JEOC (Injected channel end of conversion)* или по прерыванию, генерируемому при наступлении данного события.

См. также пункты 11.3.8 и 11.12.9 – 11.12.12 Руководства [13]; пункты 12.4.5 и 12.11.8 Руководства [15].

**10.3.11.9. Запуск АЦ-преобразований**, в общем случае, может осуществляться:

- программно, записью единицы в некоторый бит одного из регистров управления АЦП; например, в бит *ADSTART* регистра *ADC\_CR* МК модельного ряда *STM32F030xx* [15] или в бит *ADON* 2-го регистра управления АЦП (*ADC\_CR2*) МК модельного ряда *STM32F10xxx* (причем бит *ADON* перед записью в него единицы должен быть **предварительно установлен** в единичное состояние [13]);

- сигналом от некоторого внешнего по отношению к АЦП блока, вырабатываемым по определенному событию (режим запуска *Conversion on external trigger*, эквивалентный режиму *Auto Triggering* МК семейства *AVR*, см. подпункт 10.3.8.11).

При этом разрешение работы в режиме *Conversion on external trigger* осуществляется установкой в единицу определенных битов в одном из регистров управления АЦП. Например, в МК модельного ряда *STM32F10xxx* [13], разрешение данного режима запуска по регулярным каналам производится установкой в единицу бита *EXTTRIG* в регистре *ADC\_CR2*, а по инжектированным каналам – бита *JEXTTRIG* в том же регистре. Источник запуска в режиме *Conversion on external trigger* назначается специальным битовым полем / битовыми полями в одном из регистров управления АЦП. В частности, в МК модельного ряда *STM32F10xxx* [13] источник запуска преобразования по регулярным каналам задается 3-битовым полем *EXTSEL* регистра *ADC\_CR2*, а по инжектированным каналам – 3-битовым полем *JEXTSEL* того же регистра. В МК модельного ряда *STM32F030xx* [15] назначение источника запуска преобразования по регулярным каналам осуществляется 3-битовым полем *EXTSEL* 1-го регистра конфигурации АЦП (*ADC\_CFGR1*); возможность организации инжектированных каналов архитектурой данного модельного ряда не предоставляется.

Например, при равном 000 содержимом битового поля *EXTSEL* регистра *ADC\_CFGR1* МК модельного ряда *STM32F030xx* [15] источником запуска АЦ-преобразования служит сигнал *TRGO* 1-го таймера (см. рис. 9.47); при *EXTSEL* = 011 – сигнал *TRGO* 3-го таймера (см. рис. 9.41 и подпункт 9.5.3.7).

Более подробно вопросы реализации режима *Conversion on external trigger* излагаются в руководствах по применению (*Reference Manual*) соответствующих модельных рядов МК. См., например, раздел 11.7 и пункт 11.12.3 Руководства [13]; раздел 12.5 и пункт 12.11.4 Руководства [15].

**10.3.11.10.** АЦП большинства модельных рядов МК семейства *ARM Cortex-Mx* реализуют следующие основные **режимы преобразования** [9]:

- одиночное преобразование по одному каналу (*Single-Channel, Single Conversion Mode*);

- сканирование группы каналов с одиночным преобразованием по каждому из них (*Scan Single Conversion Mode*);

- непрерывное преобразование по одному каналу (*Single-Channel, Continuous Conversion Mode*);

- непрерывное сканирование группы каналов с поочередным преобразованием по каждому (*Scan Continuous Conversion Mode*, также называемый *Multichannel Continuous Mode*);

- поочередное сканирование (в цикле) подгрупп каналов в пределах группы, причем сканирование каждой подгруппы инициируется некоторым событием, например, *external trigger* (см. подпункт 10.3.11.9); данный режим известен под названием *Discontinuous mode*;

- при наличии в составе МК 2-х АЦП - парный режим их работы, называемый *Dual ADC mode*; при наличии 3-х АЦП – также режим параллельной согласованной работы всех 3-х (*Triple ADC mode*).

Рассмотрим принципы реализации перечисленных режимов. Отдельно необходимо рассмотреть такой частный случай, как сканирование и регулярных, и инжектированных каналов при решении одной и той же прикладной задачи (см. подпункты 10.3.11.13 – 10.11.15).

**10.3.11.11.** Для работы АЦП в режимах *Single-Channel Single Conversion Mode* и *Scan Single Conversion Mode* должен быть сброшен в нулевое состояние бит *CONT* (*Continuous*), в МК модельного ряда *STM32F10xxx* [13] располагаемый в регистре *ADC\_CR2*, а в МК модельного ряда *STM32F030xx* [15] – в регистре *ADC\_CFGR1*. При *CONT* = 0 после запуска АЦП (см. подпункт 10.3.11.9):

- выполняется однократное АЦ-преобразование входного напряжения выбранного канала или однократное сканирование выбранных каналов (см. подпункт 10.3.11.8);

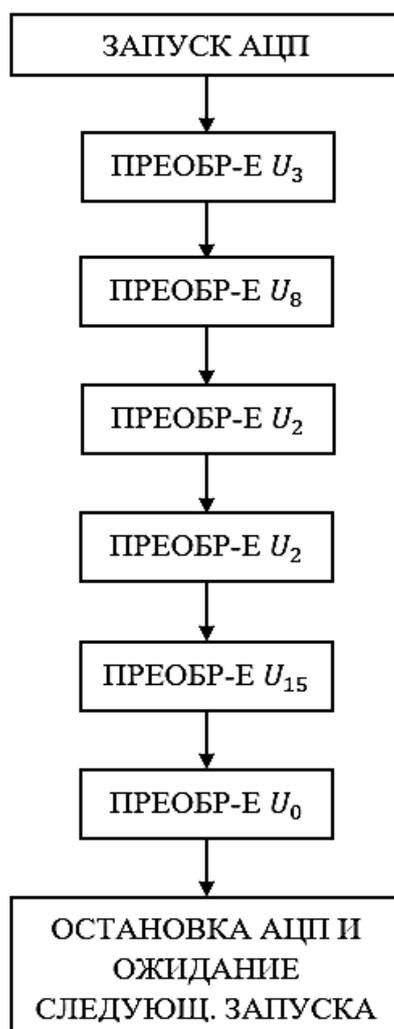
- при преобразовании (преобразованиях) по регулярным каналам устанавливается в единицу признак *EOC* (у МК модельного ряда *STM32F030xx* при работе в режиме *Scan Single Conversion Mode* – признак *EOSEQ*) в регистре статуса АЦП;

- при преобразовании (преобразованиях) по инжектированным каналам – устанавливается признак *JEOS* в регистре статуса;

- вырабатывается (если он разрешен) запрос на прерывание по соответствующему событию (*EOC*, *EOSEQ* или *JEOS*);

- АЦП останавливается до нового запуска.

На рис. 10.43 представлена упрощенная последовательность операций, выполняемых АЦП в режиме *Scan Single Conversion Mode* при сканировании каналов, номера и очередность опроса которых приведены в примере, представленном в подпункте 10.3.11.8.



$U_i$  – входное напряжение  $i$ -го канала

**Рис. 10.43.** Пример работы АЦП в режиме *Scan Single Conversion Mode* (см. пояснения в тексте)

Пример временных диаграмм работы АЦП в режиме *Scan Single Conversion Mode* приведен на рис. 8.24.

Результат (результаты) АЦ-преобразования по регулярным каналам запоминаются в общем для всех регулярных каналов регистре *ADC\_DR*, по инжектированным каналам – в выделенных каждому каналу регистрах данных. В режиме *Scan Single Conversion*

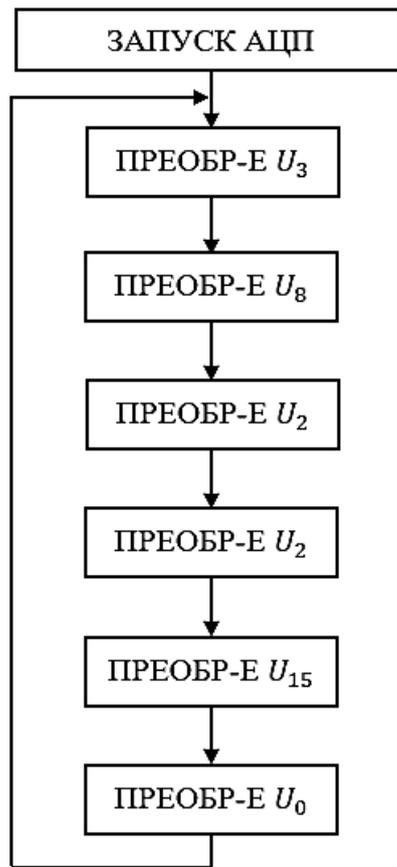
*Mode* считывание результатов преобразования по регулярным каналам осуществляется в режиме ПДП. В подсемействах / модельных рядах, в которых при сканировании каналов признак *EOC* устанавливается по завершении преобразования по каждому из каналов (например, в МК модельного ряда *STM32F030xx* [15]), считывание также может осуществляться по установке признака *EOC*, в т. ч. по прерыванию, вызываемому данным событием (см. подпункт 10.3.11.8).

Типовым примером **практического применения** режима *Scan Single Conversion Mode* является опрос выходов датчиков состояния технического объекта перед его запуском [9].

**10.3.11.12.** Для работы АЦП в режимах **непрерывного** преобразования (*Single-Channel, Continuous Conversion Mode* и *Scan Continuous Conversion Mode*) бит *CONT* (см. подпункт 10.3.11.11) должен быть установлен в единичное состояние. Данные режимы отличаются от описанных в предыдущем подпункте тем, что после запуска АЦП и выполнения первого цикла преобразования / сканирования каналов остановки АЦП не происходит, а запускается новый цикл преобразования / сканирования. Остановка преобразований осуществляется сбросом бита *CONT* или бита разрешения работы АЦП (например, в МК модельного ряда *STM32F10xxx* [13] – бита *ADON* регистра *ADC\_CR2*); в некоторых модельных рядах (например, *STM32F030xx*) – установкой в единицу бита *ADSTP* (*ADC stop*) регистра управления АЦП, подробнее – см. пункт 12.11.3 Руководства [15].

На рис. 10.44 представлена упрощенная последовательность операций, выполняемых АЦП в режиме *Scan Continuous Conversion Mode* при сканировании каналов, номера и очередность опроса которых приведены в примере, представленном в подпункте 10.3.11.8.

Типовыми примерами **практического применения** режимов *Single-Channel, Continuous Conversion Mode* и *Scan Continuous Conversion Mode* являются непрерывный мониторинг соответственно одного или нескольких параметров объекта контроля и управления в процессе его работы [9].



$U_i$  – входное напряжение  $i$ -го канала

**Рис. 10.44.** Пример работы АЦП в режиме *Scan Continuous Conversion Mode* (см. пояснения в тексте)

**10.3.11.13.** Как указано в подпункте 10.3.11.10, необходимо отдельно остановиться на таком частном случае, как сканирование **и регулярных, и инжектированных каналов** при решении одной и той же прикладной задачи. Возможны **два основных варианта** его реализации, называемых *Triggered injection* и *Auto-injection* соответственно [9, 13]. Например, в МК модельного ряда *STM32F10xxx* [13] выбор первого из данных вариантов производится записью нуля в бит *JAUTO* регистра *ADC\_CR1*, а второго – установкой бита *JAUTO* в единичное состояние; бит *SCAN* того же регистра в обоих вариантах должен быть установлен в единицу.

**10.3.11.14.** В варианте *Triggered injection* сканирование как регулярных, так и инжектированных каналов производится в режиме запуска *Conversion on external trigger* (см. подпункт 10.3.11.9), как

правило – с различными источниками запуска по каждой из данных групп каналов. При данном варианте сканирования инжектированные каналы обладают более высоким приоритетом, чем регулярные. Если событие, инициирующее запуск сканирования инжектированных каналов, происходит во время сканирования регулярных – текущее преобразование прерывается, производится сканирование каналов, включенных в группу инжектированных, после чего сканирование регулярных каналов возобновляется, начиная с того, на котором оно было прервано. Если же событие, инициирующее запуск сканирования регулярных каналов, происходит во время сканирования инжектированных – преобразования по регулярным каналам запускаются только по завершении сканирования инжектированных.

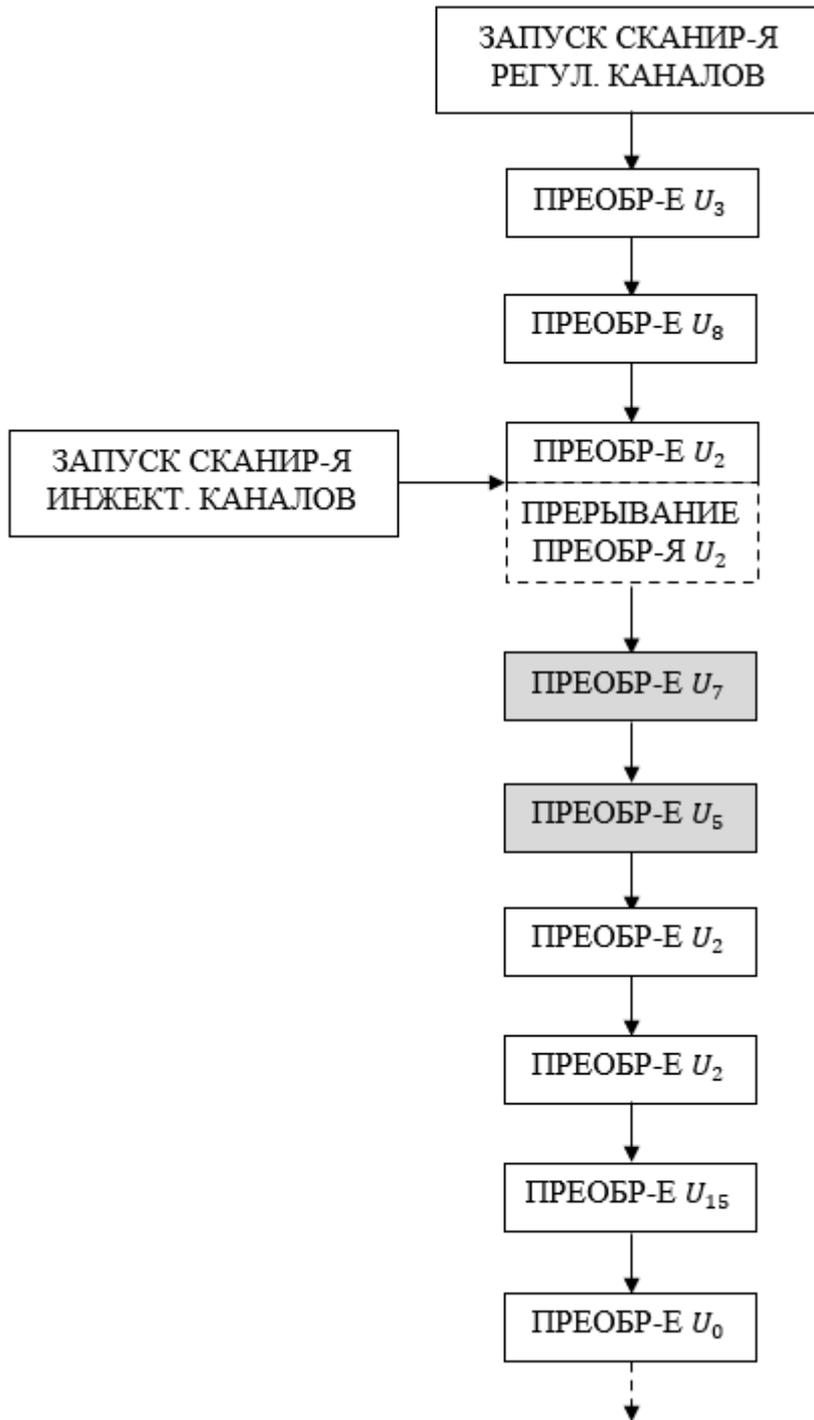
На рис. 10.45 представлена упрощенная последовательность операций, выполняемых АЦП при реализации варианта сканирования *Triggered injection*. Номера и очередность опроса регулярных каналов соответствуют примеру, приведенному в подпункте 10.3.11.8. В группу инжектированных каналов включены 7-й (преобразование по нему выполняется первым по очереди) и 5-й. Операции АЦ-преобразования по инжектированным каналам на рис. 10.45 выделены заливкой.

Следует учесть, что при использовании варианта *Triggered injection* интервал времени между событиями, инициирующими сканирование инжектированных каналов, должен быть минимум на один период синхросигнала АЦП больше, чем суммарная длительность процедуры их сканирования [13, 14] (например, применительно к рис. 10.45 – суммарного времени преобразования по 7-му и 5-му каналам).

Особенности практической реализации варианта *Triggered injection*, характерные для конкретного модельного ряда МК, указываются в руководстве по его применению (*Reference Manual*).

Вариант *Triggered injection* может быть применен, например, при необходимости периодического опроса выходов датчиков параметров первостепенной важности в процессе мониторинга состояния объекта контроля и управления. Каналы, на входы

которых поступают выходные сигналы этих датчиков, должны при этом быть включены в группу инжектированных.



$U_i$  – входное напряжение  $i$ -го канала

**Рис. 10.45.** Пример сканирования регулярных и инжектированных каналов, вариант *Triggered injection* (см. пояснения в тексте)

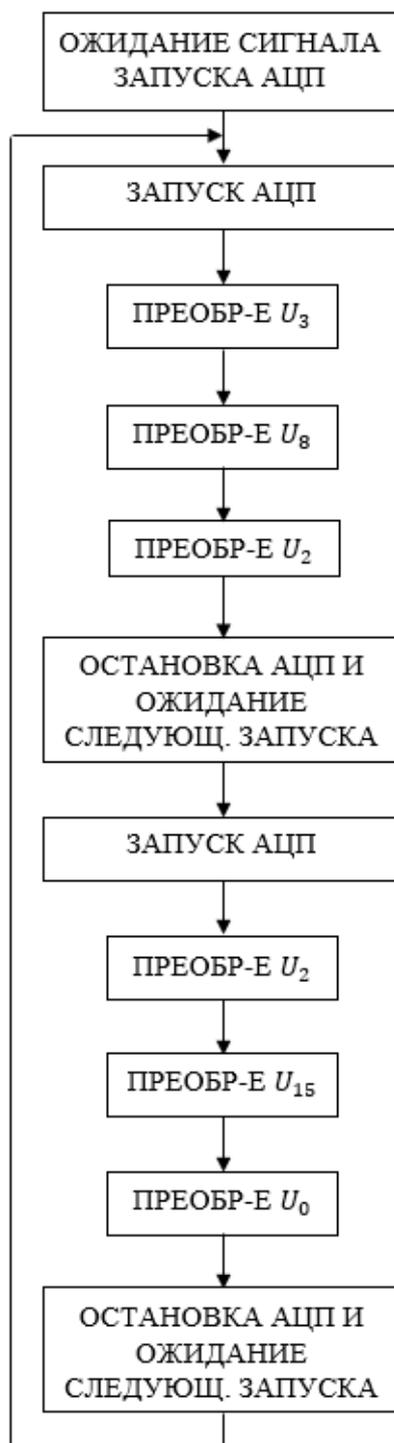
**10.3.11.15.** Вариант *Auto-injection* состоит в том, что сканирование инжектированных каналов автоматически осуществляется после процедуры сканирования всех регулярных каналов. Данный вариант позволяет выполнять (однократно или в цикле) сканирование **всех** каналов АЦП.

**10.3.11.16.** Важной отличительной особенностью АЦП МК семейства *ARM Cortex-Mx* является возможность реализации сканирования с **приостановкой** преобразований (*Discontinuous mode*). Сущность данного режима состоит в следующем. При запуске АЦП осуществляется сканирование только одной подгруппы из группы каналов, подлежащих сканированию, при следующем запуске – следующей по очереди подгруппы и т. д. Число каналов в подгруппе указывается в специальном битовом поле одного из регистров управления АЦП, например, в МК модельного ряда *STM32F10xxx* [13] – в битовом поле *DISCNUM[2:0]* регистра *ADC\_CR1*. Номера каналов и очередность их сканирования указываются в тех же регистрах, что и в режиме сканирования без приостановки; в МК модельного ряда *STM32F10xxx* в регистрах *ADC\_SQR1 – ADC\_SQR3*. Для реализации режима *Discontinuous mode* должен быть установлен в единицу бит *DISCEN* (в МК модельного ряда *STM32F10xxx* расположенный также в регистре *ADC\_CR1*).

Пусть, например, приведенная в подпункте группа каналов, подлежащих сканированию (3-й канал, 8-й канал, 2-й канал, еще раз 2-й канал, 15-й канал, 0-й канал) должна быть разбита на две подгруппы (в поле *DISCNUM[2:0]* при этом записывается число 2 минус 1, т. е. 001). Запуск преобразований производится сигналом *TRGO* 3-го таймера. Тогда:

- по поступлении 1-го сигнала *TRGO* выполняется преобразование по 3-му, 8-му и 2-му каналам;
- по поступлении 2-го сигнала *TRGO* – преобразование по 2-му, 15-му и 0-му каналам;
- по поступлении 3-го сигнала *TRGO* – преобразование по 3-му, 8-му и 2-му каналам и т. д.

Данный пример поясняет рис. 10.46.



$U_i$  – входное напряжение  $i$ -го канала

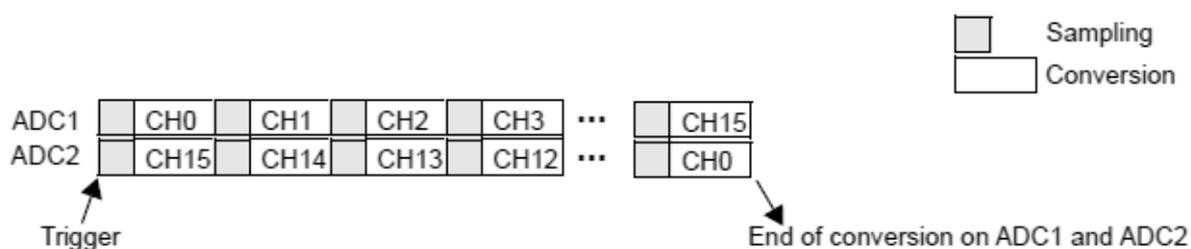
**Рис. 10.46.** Пример работы АЦП в режиме *Discontinuous mode* (см. пояснения в тексте)

Необходимо отметить, что существует ряд особенностей реализации режима *Discontinuous mode*, характерных для конкретных модельных рядов МК и указываемых в руководствах по

их применению (*Reference Manuals*); см., например, пункт 11.3.10 Руководства [13].

Режим *Discontinuous mode* может быть **применен**, например, в задачах мониторинга объектов контроля и управления, при котором по каждому событию, инициирующему запуск АЦП, должно поочередно выполняться АЦ-преобразование выходных напряжений определенных групп датчиков (к примеру, по 1-му импульсу *TRGO* – датчиков параметров 1-й секции некоторой технологической установки, по 2-му – 2-й секции, по 3-му – снова 1-й и т. д.).

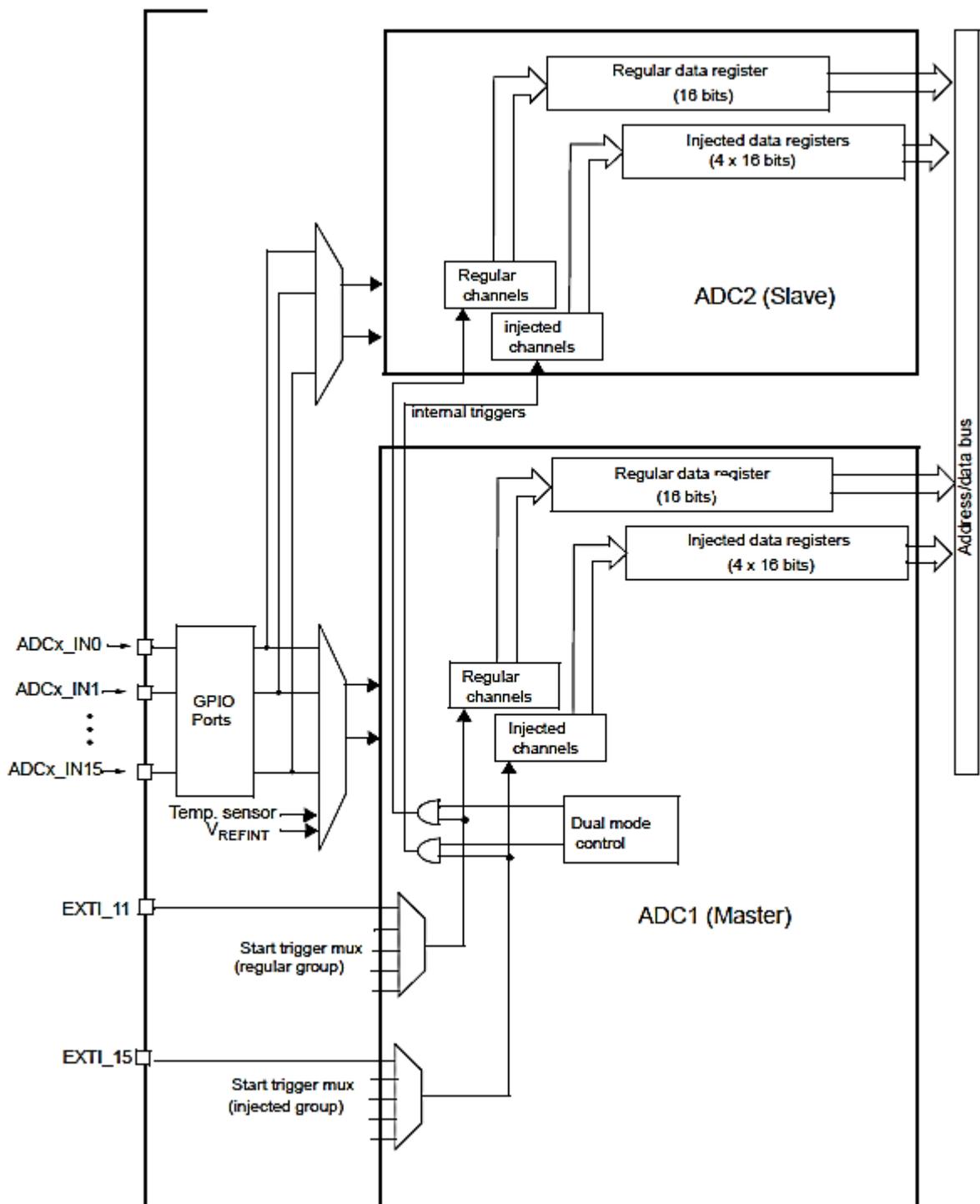
**10.3.11.17.** Архитектура модельных рядов МК семейства *ARM Cortex-Mx*, характеризующихся наличием 2-х и более АЦП (например, *STM32F10xxx* [13]) позволяет реализовывать **парный режим работы 2-х АЦП (*Dual ADC mode*)**; при наличии 3-х АЦП – также режим параллельной согласованной работы всех 3-х (***Triple ADC mode***). В частности, возможно одновременное АЦ-преобразование входных напряжений различных каналов (см. рис. 10.47), в принципе не реализуемое при использовании только одного АЦП.



**Рис. 10.47.** Пример одновременного АЦ-преобразования 2-мя АЦП [13]

Пример упрощенной структурной схемы блока АЦП МК, содержащего 2 АЦП, приведен на рис. 10.48 [13]; на данной схеме не показаны цепи внешнего запуска (*External triggering*, см. подпункт 10.3.11.9) 2-го АЦП. Каждый из АЦП, в принципе, может работать независимо от другого (режим *Independent mode*), и содержит полный набор регистров, необходимых для независимого конфигурирования и работы. Оба АЦП используют одни и те же

входы преобразуемых сигналов; например, 0-й канал 1-го АЦП служит также и 0-м каналом 2-го и т. п.



**Рис. 10.48.** Структурная схема блока АЦП МК модельного ряда *STM32F103xx* [13]

Конфигурация блока АЦП, представленная на рис. 10.48, соответствует парному режиму работы. В данном режиме один из

АЦП (1-й) является ведущим (*Master*); то же характерно и для блоков АЦП других подсемейств / модельных рядов МК семейства *ARM Cortex-Mx*, в состав которых входит более одного АЦП (см., например, [14]). Функция ведущего состоит в том, что событие, назначенное в качестве источника его запуска (см. подпункт 10.3.11.9) служит источником запуска процесса парного АЦ-преобразования в целом. Например, если источником запуска АЦП1 назначен сигнал *TRGO* 3-го таймера, он же будет служить в качестве события *Trigger* в примере, приведенном на рис. 10.47. Назначение источника запуска ведомого при этом не требуется, необходимо только разрешить его запуск в режиме *Conversion on external trigger* (см. подпункт 10.3.11.9).

Существует несколько вариантов режима парного АЦ-преобразования (см., например, подраздел 11.9 Руководства [13]), задаваемых специальным битовым полем в одном из регистров управления **ведущего** АЦП; например, в МК модельного ряда *STM32F10xxx* – полем *DUALMOD[3:0]* регистра *ADC\_CR1* 1-го АЦП [13]. Заметим, что при содержимом данного битового поля, равном 0000, АЦП функционируют в режиме независимой работы, *Independent mode*.

Наибольший практический интерес представляют варианты **одновременного преобразования** по регулярным каналам (*Regular simultaneous mode*) и по инжектированным каналам (*Injected simultaneous mode*). Они реализуются при *DUALMOD*, равном 0110 и 0101 соответственно.

Рис. 10.47 соответствует варианту *Regular simultaneous mode*. Оба АЦП работают в режиме *Scan Single Conversion Mode* (см. подпункт 10.3.11.11). Режим работы, номера и порядок сканирования каналов, а также время выборки по каналам должны быть заданы отдельно для каждого из АЦП (см. подпункты 10.3.11.5, 10.3.11.8 и 10.3.11.11). Время выборки по 2-м одновременно опрашиваемым каналам (например, 0-му и 15-му в примере, приведенном на рис. 10.47) должно быть **одинаково** [13]. Результаты преобразований в МК модельного ряда *STM32F10xxx* загружаются в регистр данных по регулярным каналам ведущего АЦП: результат преобразования ведущего АЦП – в младшие 16 бит

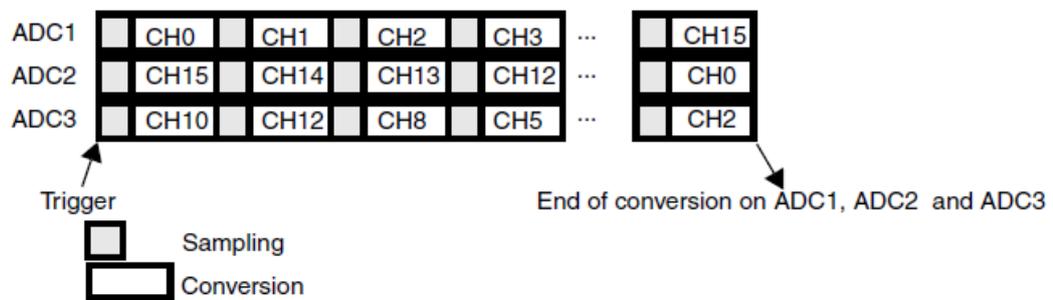
данного регистра, ведомого – в его старшие 16 бит. В МК модельного ряда *STM32F4xx* результаты записываются в общий регистр результатов преобразований по регулярным каналам (см. пункт 13.13.17 Руководства [14]).

Считывание результатов одновременных парных преобразований по регулярным каналам осуществляется в режиме ПДП (*DMA*).

Одновременные парные преобразования по инжектированным каналам реализуются аналогично, за исключением того, что их результаты преобразований по каждому из инжектированных каналов записываются в выделенный для него регистр данных.

В МК модельных рядов, содержащих 3 АЦП (например, *STM32F4xx* [14]) возможно также одновременное АЦ-преобразование 3-мя АЦП (см. рис. 10.49). При этом считывание результатов преобразований по регулярным каналам, как и в режиме *Dual ADC mode*, должно осуществляться **в режиме ПДП**.

Типовыми примерами **практического применения одновременного** преобразования по 2-м или по 3-м каналам, в частности, являются:

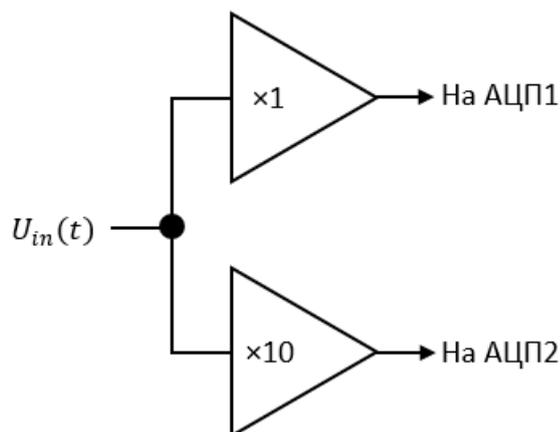


**Рис. 10.49.** Пример одновременного АЦ-преобразования 3-мя АЦП [14]

- контроль мощности в нагрузке (по одному каналу производится выборка и преобразование напряжения, прямо пропорционального току в нагрузке, по другому каналу – напряжения на ней);
- контроль **фазового сдвига** между входными сигналами соответствующих каналов;

- АЦ-преобразование **разностей** входных напряжений каналов (см. подпункт 10.3.11.6).

Одновременное АЦ-преобразование по 2-м или по 3-м каналам также может применяться для повышения точности АЦ-преобразования при **расширенном динамическом диапазоне** преобразуемого сигнала. Принцип данного повышения поясняет пример, приведенный на рис. 10.50.



**Рис. 10.50.** Пример структурной схемы подключения источника напряжения с расширенным динамическим диапазоном к блоку АЦП МК (см. пояснения в тексте)

Предположим, что напряжение  $U_{in}(t)$  (например, выходное напряжение некоторого датчика) изменяется в пределах от  $0,01U_{FS}$  до  $U_{FS}$ , где  $U_{FS}$  – напряжение полной шкалы АЦП, (см. подпункт 10.3.2.1). Если для преобразования данного напряжения использовать только один АЦП, относительные погрешности преобразования напряжений, равных порядка  $0,01U_{FS}$  будут **в 100 раз больше**, чем при преобразовании напряжений, равных порядка  $U_{FS}$  (см. подпункт 10.3.2.7). Если же применяются два АЦП, на один из которых напряжение  $U_{in}(t)$  подается через повторитель, а на другой – через усилитель с коэффициентом усиления, равным 10-ти (см. рис. 10.50), а выборка и преобразование напряжений обоими АЦП производится одновременно, то из каждой пары результатов преобразований 1-го и 2-го АЦП может быть программно выбран результат, характеризуемый наименьшей погрешностью. Простейшим алгоритмом выбора является следующий:

- результат АЦ-преобразования усиленного в 10 раз напряжения  $U_{in}(t)$  (в примере на рис. 10.50 – результат преобразования АЦП2) выбирается для дальнейшей обработки и анализа, если он меньше, чем  $0,9N_{ADC\ max}$ , где  $N_{ADC\ max}$  – максимальный результат преобразования, равный 111...1;

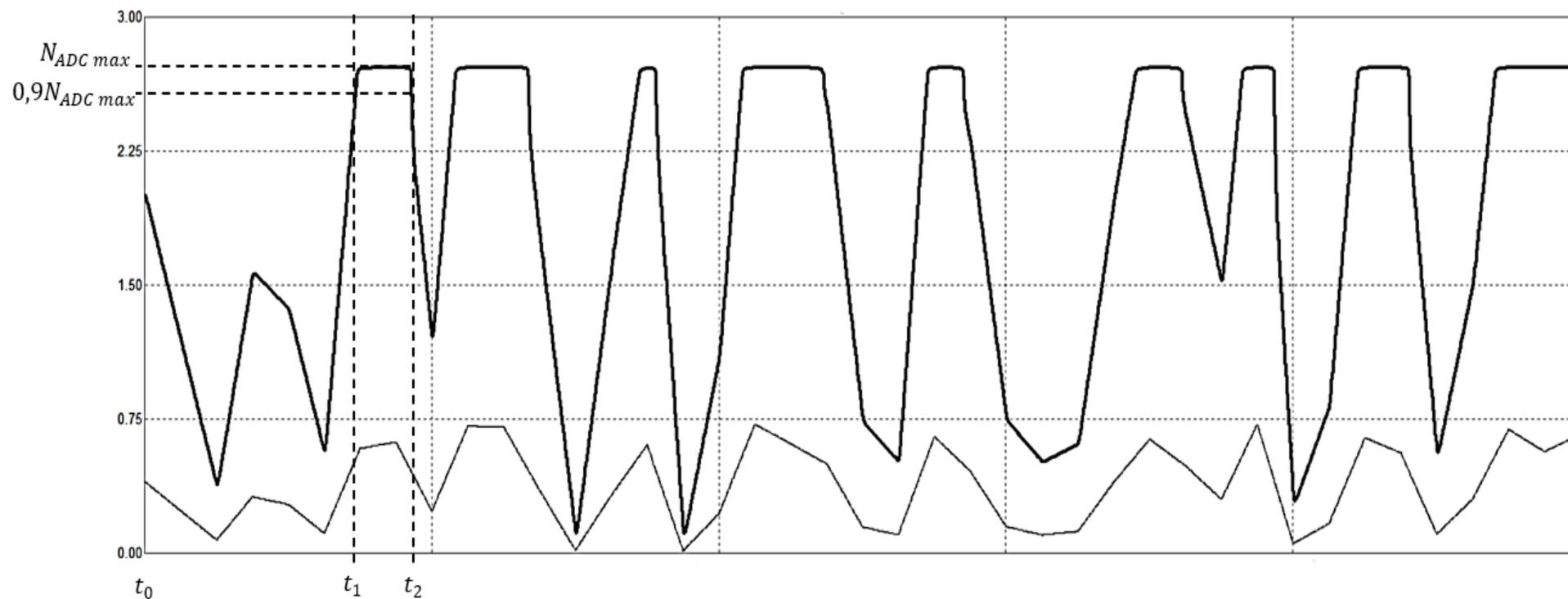
- в противном случае (т. е. если усилитель напряжения  $U_{in}(t)$  насыщен или находится на грани насыщения) – выбирается результат преобразования выходного сигнала повторителя напряжения  $U_{in}(t)$ ;

- из выбранных для обработки и анализа результатов АЦ-преобразования формируется единый массив отсчетов, в который результаты преобразования АЦП2 включаются с коэффициентом 0,1, а АЦП1 – с коэффициентом 1.

На рис. 10.51 представлен пример временных диаграмм напряжений на входах АЦП1 и АЦП2 схемы, приведенной на рис. 10.50; первое обозначено более тонкой линией, второе – утолщенной. В соответствии с приведенным алгоритмом, в данном примере, в частности, на интервале времени от  $t_0$  до  $t_1$  для обработки и анализа будут выбираться отсчеты входного напряжения АЦП2 (утолщенная линия), а на интервале от  $t_1$  до  $t_2$  – АЦП 1 (более тонкая).

При этом максимальная относительная погрешность преобразования во всем диапазоне изменения  $U_{in}(t)$  будет примерно в 10 раз больше погрешности в конечной точке шкалы АЦП (т. е. **в 10 раз меньше**, чем при использовании одного АЦП).

**Примечание.** Усилитель и повторитель схемы, приведенной на рис. 10.50, **в обязательном порядке** должны быть снабжены цепями защиты от перегрузок по входу, а также цепями ограничения выходного напряжения до пределов от нуля до напряжения питания аналоговой части МК. Принципы реализации усилителей с защитой по входу и ограничением по выходу будут рассмотрены в пункте 10.5.1



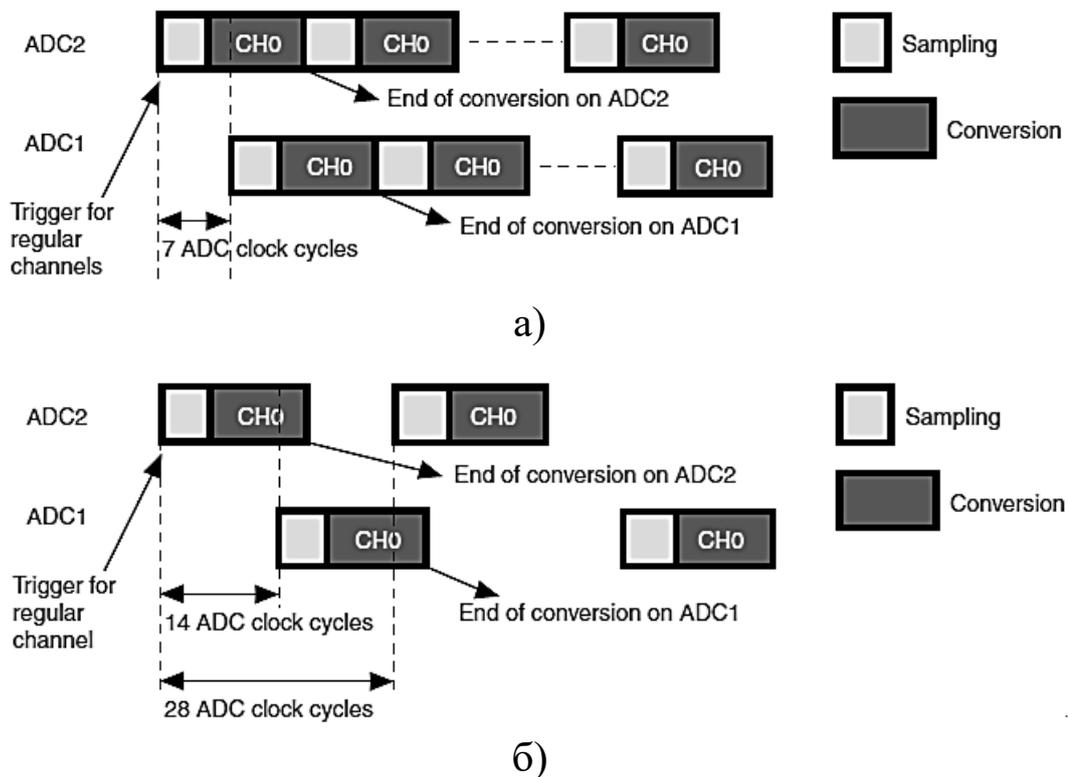
**Рис. 10.51.** Пример временных диаграмм напряжений на входах АЦП1 и АЦП2 схемы, приведенной на рис. 10.50 (см. пояснения в тексте)

Необходимо также вкратце остановиться на некоторых, интересных с практической точки зрения вариантах режимов *Dual ADC mode* и *Triple ADC mode* с **неодновременной** выборкой и преобразованием напряжений 1-м и 2-м, или, соответственно, 1-м, 2-м и 3-м АЦП. К ним, в первую очередь, относятся преобразование с быстрым и с медленным чередованием (соответственно *Fast interleaved mode* и *Slow interleaved mode*).

АЦ-преобразование 2-мя или 3-мя АЦП с чередованием характеризуется тем, что моменты выборки входного напряжения каждым из АЦП смещены во времени относительно моментов выборки другого (других) АЦП. При этом быстрое и медленное чередование различаются между собой значением данного смещения. В частности, в МК модельного ряда *STM32F103xx* [13] оно составляет 7 и 14 периодов синхросигнала АЦП при быстром и медленном чередовании соответственно, т. е. при быстром чередовании равно половине длительности цикла преобразования с минимальным временем выборки (1,5 периода синхросигнала АЦП), а при медленном чередовании – длительности одного цикла преобразования с тем же временем выборки (см. подпункт 10.3.11.5). На рис. 10.52 приведены примеры непрерывного АЦ-преобразования 2-мя АЦП МК модельного ряда *STM32F10xxx* [13] с быстрым (рис. 10.52а) и медленным (рис. 10.52б) чередованием. Преобразования в данных примерах осуществляются по одному и тому же каналу (регулярному); их практический смысл пояснен далее. Преобразование с быстрым чередованием (рис. 10.52а) осуществляется в режиме *Single-Channel, Continuous Conversion Mode* (см. подпункт 10.3.11.12), с медленным (рис. 10.52б) – в режиме *Single-Channel Single Conversion Mode* (см. подпункт 10.3.11.11).

Типовым примером использования преобразования 2-мя АЦП с **быстрым** чередованием является **увеличение частоты дискретизации** [64], в режиме *Dual ADC mode* – до значения, в 2 раза превышающего максимальную частоту дискретизации, возможную при использовании только одного АЦП. При решении данной задачи:

- на входы обоих АЦП должно быть подано входное напряжение одного и того же канала;
- длительность цикла преобразования обоих АЦП должна быть одинакова и равна удвоенному смещению во времени моментов выборки 1-го и 2-го АЦП; в примере, приведенном на рис. 10.52а – 14-ти периодам синхросигнала АЦП, для чего время выборки должно быть установлено равным 1,5 периодам синхросигнала (см. подпункт 10.3.11.5).



**Рис. 10.52.** Примеры непрерывного АЦ-преобразования 2-мя АЦП МК модельного ряда *STM32F10xxx* с быстрым (а) и медленным (б) чередованием [13, 64]

При этом, как нетрудно заметить из рис. 10.52а, период дискретизации входного сигнала выбранного канала АЦП равен 7-и периодам сигнала синхронизации АЦП, в то время как при использовании одного АЦП – 14-и периодам синхросигнала. Следовательно, может быть реализовано АЦ-преобразование с частотой дискретизации, в 2 раза превышающей частоту дискретизации, максимально допустимую при использовании только одного АЦП (например в МК модельного ряда *STM32F103xx*

– с частотой 2 МГц при максимальной частоте дискретизации одного АЦП, равной 1 МГц [10]).

В свою очередь, преобразование 2-мя АЦП с медленным чередованием (см. рис. 10.52б) позволяет в 2 раза увеличить частоту дискретизации (по сравнению с использованием одного АЦП) при необходимости увеличения времени выборки (с целью удовлетворения условия (10.23)), в приведенном на рис. 10.52б примере – до 15,5 периодов сигнала синхронизации АЦП.

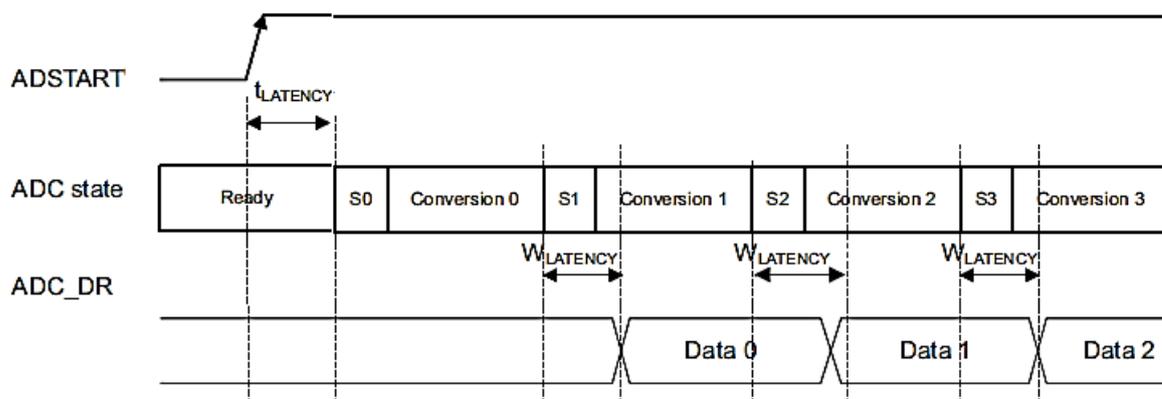
Более подробное описание возможных вариантов парного режима работы 2-х АЦП и режима *Triple ADC mode* представлено в руководствах по применению соответствующих модельных рядов МК (см., например, подраздел 11.9 Руководства [13] и подраздел 13.9 Руководства [14]), а также в *Application note* [64].

**10.3.11.18. Временн’ые диаграммы работы АЦП МК семейства *ARM Cortex-Mx***, естественно, зависят от режима преобразования. Ввиду большого разнообразия данных режимов (см. подпункты 10.3.11.10 – 10.3.11.17), в *Reference Manuals* подсемейств / модельных рядов МК семейства *ARM Cortex-Mx* обычно не представляются временные диаграммы для всех возможных режимов работы АЦП. Приводится только несколько базовых примеров, дающих представление об основных временных соотношениях и параметрах процессов преобразования во всех режимах.

В качестве **первого** базового примера рассмотрим приведенные на рис. 10.53 временные диаграммы непрерывного преобразования АЦП МК модельного ряда *STM32F030xx* [15]; режим запуска – программный (содержимое битового поля *EXTEN[1:0]* регистра *ADC\_CFGR1* равно 00).

Процесс АЦ-преобразования запускается программной установкой в активное (единичное) состояние бита *ADSTART* регистра управления АЦП. Первый цикл АЦ-преобразования начинается по установке в единицу бита *ADSTART*. Первый цикл АЦ-преобразования стартует с задержкой  $t_{LATENCY}$  (*trigger conversion latency*, см. подпункт 10.3.4.7) относительно события, инициирующего его запуск (на рис. 10.53 – установки в единицу

бита *ADSTART*). По окончании первого цикла автоматически запускается следующий цикл и т. д.



**Рис. 10.53.** Пример временных диаграмм работы АЦП МК модельного ряда *STM32F030xx* [15] в режиме непрерывного преобразования (см. пояснения в тексте)

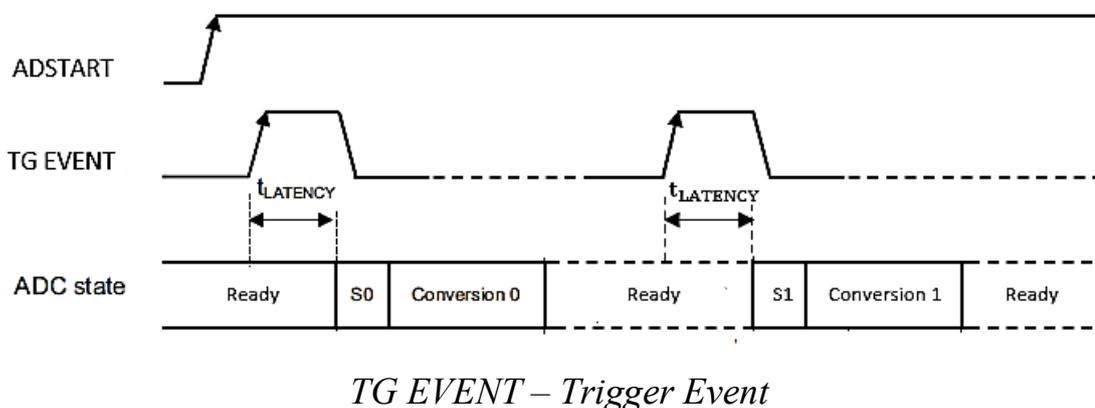
Каждый цикл преобразования состоит из 2-х временных интервалов: времени выборки (*S0*, *S1*, *S2*,...) и времени преобразования зафиксированного напряжения в код (*Conversion 0*, *Conversion 1*, *Conversion 2*,...); см. подпункт 10.3.11.5.

Как  $W_{LATENCY}$  (*Write Latency*) обозначена задержка записи результата преобразования в регистр данных АЦП, т. е. интервал времени между окончанием интервала преобразования и фиксацией его результата в регистре данных. Длительность интервала  $W_{LATENCY}$  зависит от тактовой частоты АЦП. Например, у АЦП МК модельного ряда *STM32F030xx* она равна 4,5 и 8,5 периодам синхросигнала домена *APB* при коэффициенте деления предделителя тактовой частоты АЦП, равном 2-м и 4-м соответственно [26]. Следует отметить, что признак завершения цикла преобразования (*EOC*, *End Of Conversion*) устанавливается в активное состояние только по завершении интервала  $W_{LATENCY}$ .

Как указано в подпункте 10.3.4.7, при тактировании АЦП синхросигналом домена *APB*, нестабильность (*jitter*) задержки *trigger conversion latency* практически отсутствует [26]. Однако, при тактировании АЦП выделенным для него ГТИ (см. рис. 4.1) данная нестабильность находится в пределах  $\pm 0,5$  периода синхросигнала АЦП. В режиме **одиночного** преобразования данная нестабильность

накладывает ограничение на верхнюю граничную частоту преобразуемого сигнала (см. выражение (10.25)). В режиме **непрерывного** преобразования данная нестабильность не критична (см. рис. 10.53). Тем не менее, и в режиме непрерывного преобразования использование выделенного ГТИ АЦП нежелательно, из-за нестабильности его частоты; предпочтительнее осуществлять тактирование АЦП общим ГТИ МК с ПЭР.

В качестве **второго базового примера** временных диаграмм функционирования АЦП МК семейства *ARM Cortex-Mx* на рис. 10.54 приведены диаграммы работы АЦП МК модельного ряда *STM32F030xx* [15] в режиме *Single-Channel Single Conversion Mode*, с запуском, инициируемым на аппаратном уровне (*Conversion on external trigger*), см. подраздел 10.3.11.9.



**Рис. 10.54.** Пример временных диаграмм работы АЦП МК модельного ряда *STM32F030xx* [15] в режиме *Single-Channel Single Conversion Mode* (см. пояснения в тексте)

В данном режиме работы, при установленном бите *ADSTART*, каждый импульс, вырабатываемый функциональным блоком – источником запуска АЦП, инициирует один цикл АЦ-преобразования, который стартует с задержкой  $t_{LATENCY}$  относительно выбираемого битовым полем *EXTEN[1:0]* активного фронта импульса запуска, в приведенном примере - переднего. В режимах одиночного преобразования (*Single Conversion Mode*) нестабильность данной задержки **критична**, и накладывает ограничения на частотный диапазон преобразуемого сигнала (см. выражение (10.25)). Предпочтительно тактирование АЦП

синхросигналом домена APB, при котором нестабильность задержки отсутствует.

На основании базовых примеров, приведенных на рис. 10.53 и 10.54, а также описаний режимов работы АЦП (см. подпункты 10.3.11.11 – 10.3.11.17) несложно получить временные диаграммы работы АЦП в любом из режимов. Например, диаграммы в режиме *Scan Single Conversion Mode* отличаются от приведенных на рис. 10.54 тем, что при единичном состоянии бита *ADSTART* по каждому поступлению сигнала *TG EVENT* последовательно выполняется АЦ-преобразование по всем каналам, подлежащим сканированию (напомним, что в МК модельного ряда *STM32F030xx* их номера указываются в регистре *ADC\_CHSELR*). Преобразование по первому из них начинается с задержкой  $t_{LATENCY}$  относительно активного фронта сигнала *TG EVENT*. По окончании цикла преобразования по очередному каналу (кроме последнего из сканируемых) автоматически начинается преобразование по следующему. После завершения цикла преобразования по последнему из сканируемых каналов АЦП переходит в состояние *Ready* и ожидает поступления очередного сигнала *TG EVENT*.

Базовые примеры временных диаграмм работы АЦП МК конкретных подсемейств / модельных рядов семейства *ARM Cortex-Mx* представляются в *Reference Manuals* соответствующих подсемейств / модельных рядов МК (см., например, [13 – 15]), а временные параметры процессов АЦ-преобразования в различных режимах – в *Datasheets* соответствующих моделей / модельных рядов (см., например, [10], [26] и [29]).

**10.3.11.19.** Во всех режимах работы **результаты преобразования** АЦП МК семейства *ARM Cortex-Mx* равны (без учета погрешности квантования и инструментальных погрешностей):

- по регулярным каналам:

$$N_{ADCi} = U_i 2^N / U_{REF}; \quad (10.46)$$

где  $U_i$  - входное напряжение  $i$ -го канала,  $N$  – число ЗР результата преобразования (см. подпункт 10.3.11.2);

- по инжектированным каналам:

$$N_{ADCi} = (U_i 2^N / U_{REF}) - ADC\_JOFRi; \quad (10.47)$$

где  $ADC\_JOFRi$  – содержимое регистра смещения  $i$ -го канала (см. подпункт 10.3.11.7).

Независимо от числа ЗР, результаты АЦ-преобразования записываются в регистр данных регулярных каналов как 16-битовые целые числа без знака, а в регистры данных инжесктированных каналов – как 16-битовые целые числа со знаком (в дополнительном коде). При этом запись результатов АЦ-преобразования может выполняться в форматах с «выравниванием вправо» (*Right alignment*) или с «выравниванием влево» (*Left alignment*). Формат записи как по регулярным, так и по инжесктированным каналам задается программно; например, в МК модельного ряда *STM32F10xxx* – битом *ALIGN* регистра *ADC\_CR2* [13]. В отличие от АЦП МК семейства *AVR*, выбор формата определяется не столько числом ЗР результатов преобразования, сколько особенностями ПО их обработки.

Примеры форматов размещения результатов преобразования по регулярным и инжесктированным каналам в регистрах АЦП МК семейства *ARM Cortex-Mx* представлены на рис. 10.55 – 10.57. Приведенные на них форматы однотипны для абсолютного большинства подсемейств / модельных рядов МК данного семейства. Специальных комментариев к рис. 10.55 – 10.57 не требуется. Необходимо только отметить, что при числе ЗР, равном 6-и, форматы результатов преобразования ориентированы на их обработку как 8-битовых чисел, в то время как при 8-и, 10-и и 12-и ЗР – как 16-битовых.

Форматы представления результатов АЦ-преобразования должны приниматься во внимание при разработке ПО их обработки (см. примеры, представленные в пункте 10.3.12).

ALIGN	RES	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0x0	0x0				DR[11:0]												
	0x1	0x00						DR[9:0]										
	0x2	0x00								DR[7:0]								
	0x3	0x00										DR[5:0]						
1	0x0	DR[11:0]												0x0				
	0x1	DR[9:0]									0x00							
	0x2	DR[7:0]								0x00								
	0x3	0x00						DR[5:0]						0x0				

$ALIGN = 0$  соответствует «выравниванию вправо»,  $ALIGN = 1$  – «выравниванию влево»

$RES$  – битовое поле, определяющее число ЗР результата преобразования (равно 12-и, 10-и, 8-и и 6-и при  $RES$ , равном  $0x0$ ,  $0x1$ ,  $0x2$  и  $0x3$  соответственно)

$DR[●]$  – значащие разряды результата преобразования

**Рис. 10.55.** Форматы размещения результатов преобразования в регистре данных по регулярным каналам АЦП МК семейства *ARM Cortex-Mx* (на примере МК модельного ряда *STM32F030xx* [15])



а)

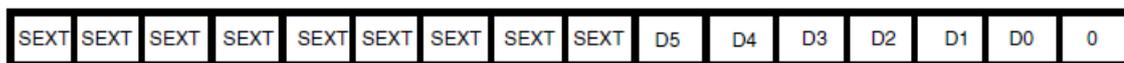


б)

SEXT – биты знакового расширения, равные 0 при положительном результате и 1 – при отрицательном

$D_i$  – значащие разряды результата преобразования

**Рис. 10.56.** Форматы размещения результатов преобразования в регистрах данных по инжектированным каналам АЦП МК семейства *ARM Cortex-Mx* при числе ЗР, равном 12-и, и выравнивании вправо (а) и влево (б) [13, 14]



**Рис. 10.57.** Формат размещения результатов преобразования в регистрах данных по инжектированным каналам АЦП МК семейства *ARM Cortex-Mx* при числе ЗР, равном 6-и, и выравнивании влево [14]

**10.3.11.20.** Важной особенностью архитектуры АЦП МК семейства *ARM Cortex-Mx* является реализуемая на аппаратном уровне функция **аналогового оконного детектора, АОД** (*Analog watchdog*, в документации на некоторые модельные ряды МК, в частности, *STM32F030xx - Analog window watchdog*). Она состоит в том, что при выходе результата АЦ-преобразования за пределы программно задаваемого диапазона («окна») автоматически выставляется в активное состояние признак данного события (*AWD*) в регистре статуса АЦП, а также генерируется прерывание по нему (если оно разрешено). Функция АОД частично компенсирует отсутствие блока АК в большинстве модельных рядов МК семейства *ARM Cortex-Mx*.

Верхнее и нижнее пороговые значения результата АЦ-преобразования (границы «окна») задаются программно-доступными регистрами АЦП: например, в МК модельного ряда *STM32F10xxx* [13] – регистрами *ADC watchdog high threshold register (ADC\_HTR)* и *ADC watchdog low threshold register (ADC\_LTR)*; в МК модельного ряда *STM32F030xx* [15] – регистром *ADC watchdog threshold register (ADC\_TR)*, младшие 16 бит которого задают нижний порог, старшие 16 бит – верхний.

Функция АОД может быть применена только к одному каналу или к нескольким. Например, в МК модельного ряда *STM32F10xxx*, в зависимости от состояния битов *AWDSGL*, *AWDEN* и *JAWDEN* регистра *ADC\_CR1*, установка признака *AWD* и генерация прерывания по данному событию может осуществляться при выходе результата преобразования за верхний или за нижний порог:

- по любому из регулярных каналов;
- по любому из инжектированных каналов;
- по любому регулярному или инжектированному каналу;

- только по одному регулярному или только по одному инжектированному каналу, номер которого при этом указывается в битовом поле  $AWDCH[4:0]$  регистра  $ADC\_CR1$ ; (подробнее – см. табл. 66 Руководства [13]).

Типовое **применение** функции АОД – оперативный (по сравнению с программно-управляемым) мониторинг напряжений по каналам.

Пример программного модуля с использованием АОД блока АЦП МК модельного ряда  $STM32F10xxx$  приведен в подпункте 10.3.12.4.

**10.3.11.21.** В структуру блока АЦП практически всех подсемейств / модельных рядов МК семейства *ARM Cortex-Mx* входит **датчик температуры** ( $T_S$  на рис. 1.41, *Temp. sensor* на рис. 10.42). Он преобразует температуру кристалла МК (у некоторых модельных рядов, например,  $STM32F4xx$  [14] – температуру окружающей среды) в прямо пропорциональное ей напряжение, которое может быть подключено ко входу АЦП и преобразовано в код, наряду с входными напряжениями каналов АЦП. Данная функциональная возможность может быть использована, например, для предотвращения перегрева МК, которое реализуется его переводом в режим пониженного энергопотребления при превышении температурой кристалла максимально допустимого значения.

Поскольку схемотехника датчика температуры отличается у различных модельных рядов МК, с ростом температуры его выходное напряжение может как уменьшаться (например, у МК модельных рядов  $STM32F030xx$  [15] и  $STM32F10xxx$  [13]), так и расти (например, у МК модельного ряда  $STM32F4xx$  [14]).

Зависимость выходного напряжения датчика от температуры характеризуется относительно высокой линейностью (максимальная погрешность нелинейности – не более  $\pm 2^\circ\text{C}$  у большинства модельных рядов МК [10, 26, 29]). Однако, коэффициент преобразования температуры в напряжение и (особенно) смещение характеристики преобразования подвержены существенному разбросу от образца к образцу. Поэтому встроенный датчик температуры рекомендуется использовать для определения не

столько **абсолютных** значений температуры, сколько ее **изменений**. Если же предполагается контролировать абсолютное значение температуры, необходима **индивидуальная калибровка** датчика, состоящая в АЦ-преобразовании его выходного напряжения при известной температуре. Результат преобразования записывается в энергонезависимую память МК, и служит в качестве калибровочного числа при вычислении температуры по результатам АЦ-преобразования выходного напряжения датчика (см., например, выражение (10.48)).

Калибровка датчика температуры МК модельного ряда *STM32F030xx* осуществляется в процессе производства БИС МК. Для каждого экземпляра БИС выполняется АЦ-преобразование выходного напряжения датчика при температуре +30°C и напряжении питания аналоговой части МК, равном 3,3 В [26]. Результат преобразования записывается в энергонезависимую память МК по адресам *0x1FFF F7B8 - 0x1FFF F7B9* [26], и используется в качестве калибровочного числа при расчете температуры по результатам АЦ-преобразования выходного напряжения датчика (см. выражение (10.48)).

С другой стороны, калибровка датчика температуры, например, МК модельного ряда *STM32F10xxx* [10, 13] на этапе производства БИС не выполняется. Поэтому, если необходимо, она должна осуществляться разработчиком (см. далее).

АЦ-преобразование выходного напряжения датчика температуры должно выполняться по определенным правилам, оговариваемым *Reference Manual* соответствующего модельного ряда МК. Расчет температуры по результатам преобразования осуществляется по выражениям, также приводимым в *Reference Manual*. Например, в МК модельного ряда *STM32F030xx* АЦ-преобразование выходного напряжения датчика температуры и ее расчет по результатам преобразования выполняются по следующему алгоритму [15].

1. Выход датчика температуры подключается ко входу АЦП установкой в единицу бита выбора 16-го канала (*CHSEL16*) регистра *ADC channel selection register (ADC\_CHSELR)*.

2. Устанавливается время выборки по 16-му каналу, не меньше минимально допустимого при АЦ-преобразовании выходного напряжения датчика температуры (у МК модельного ряда *STM32F030xx* – не менее 17,1 мкс [15]).

3. Датчик температуры выводится из режима пониженного энергопотребления установкой в единицу бита *TSEN* регистра *ADC\_CCR*.

4. После интервала времени  $t_{START}$ , необходимого для выхода датчика в рабочий режим (у МК модельного ряда *STM32F030xx* – не менее 10 мкс [26]) выполняется АЦ-преобразование его выходного напряжения.

5. Температура рассчитывается по выражению:

$$t^{\circ\text{C}} = \frac{U_{30^{\circ\text{C}}} - U_{t^{\circ\text{C}}}}{Avg\_Slope} + 30^{\circ\text{C}}; \quad (10.48)$$

где:

-  $U_{30^{\circ\text{C}}}$  - выходное напряжение датчика при калибровке, вычисляемое по выражению:

$$U_{30^{\circ\text{C}}} = TS\_DATA \times U_{REF\_CAL} / 2^{12}; \quad (10.49)$$

здесь *TS\_DATA* – результат АЦ-преобразования выходного напряжения датчика, полученный при калибровке и хранящийся по адресам *0x1FFF F7B8 - 0x1FFF F7B9*;  $U_{REF\_CAL}$  – значение опорного напряжения АЦП при калибровке; 12 – разрядность числа *TS\_DATA*;

-  $U_{t^{\circ\text{C}}}$  - выходное напряжение датчика при измеряемой температуре, рассчитываемое по выражению:

$$U_{t^{\circ\text{C}}} = N_{ADC\ t^{\circ\text{C}}} \times U_{REF} / 2^{12}; \quad (10.50)$$

здесь  $N_{ADC\ t^{\circ\text{C}}}$  - результат АЦ-преобразования напряжения  $U_{t^{\circ\text{C}}}$ ;  $U_{REF}$  – значение опорного напряжения АЦП при преобразовании напряжения  $U_{t^{\circ\text{C}}}$ ; оно может быть принято равным номинальному значению опорного напряжения (в отсутствие жестких требований к точности) или определено в результате автокалибровки с использованием внутреннего *Vandgap*-ИОН (см. подпункт 10.3.12.2).

- *Avg\_Slope* – коэффициент преобразования температуры в напряжение (в мВ/°С), указываемый в *Datasheet* МК (у МК

модельных рядов *STM32F030xx* и *STM32F10xxx* равный  $4,3 \pm 0,3$  мВ/°С [10, 26]).

**Примечание.** При расчетах по выражениям (10.46) – (10.48) все напряжения следует выражать в **милливольтгах**.

В модельных рядах МК, калибровка датчика температуры которых не производится на этапе производства, она, при необходимости, выполняется на этапе отладки устройства, при известных температуре и опорном напряжении. В энергонезависимой памяти МК при этом фиксируются результат АЦ-преобразования выходного напряжения датчика и значение опорного напряжения, при котором он получен. Расчет температуры по результатам АЦ-преобразования выходного напряжения датчика производится по выражениям, аналогичным (10.48) – (10.50), с подстановкой в них значений температуры и опорного напряжения АЦП, при которых осуществлялась калибровка датчика температуры.

При реализации калибровки датчика температуры и измерениях температуры следует **учитывать**, что в большинстве модельных рядов МК семейства *ARM Cortex-Mx* перед выполнением данных процедур датчик температуры должен быть выведен из режима пониженного энергопотребления, с последующим ожиданием его выхода в рабочий режим (см. пункты 3 и 4 вышеприведенного алгоритма). Например, в МК модельного ряда *STM32F10xxx* активизация датчика температуры осуществляется установкой в единицу бита *TSVREFE* регистра *ADC\_CR2* [13].

**Примечание.** Если выходное напряжение датчика температуры растет с увеличением температуры, в выражении (10.48) напряжение, полученное при калибровке, **вычитается** из полученного при измерении температуры, например [14]:

$$t^{\circ\text{C}} = \frac{U_{t^{\circ\text{C}}} - U_{25^{\circ\text{C}}}}{\text{Avg\_Slope}} + 25^{\circ\text{C}} .$$

**10.3.11.22.** Архитектура блока АЦП большинства подсемейств / модельных рядов МК семейства *ARM Cortex-Mx* предоставляет возможность **автоматической калибровки АЦП** в процессе работы, без использования дополнительного калибровочного

оборудования, необходимого, например, при проведении процедур калибровки МК семейства *AVR* (см. пункт 10.3.9).

Калибровка АЦП инициируется программно. Ее рекомендуется проводить, как минимум, при каждом включении МК, в т. ч. при каждом его выходе из энергосберегающего режима [13, 15]. Порядок операций, необходимых для запуска калибровки, указывается в *Reference Manual* соответствующего модельного ряда МК. Например, в МК модельного ряда *STM32F030xx* запуск калибровки осуществляется по следующему алгоритму [15].

1. Если бит *ADEN* разрешения работы АЦП, расположенный в регистре *ADC\_CR*, находится в единичном состоянии – запретить работу АЦП установкой в единицу бита *ADDIS* того же регистра, после чего дождаться сброса бита *ADEN*.

2. Сбросом бита *DMAEN* регистра *ADC\_CFGRI* запретить обмен АЦП с памятью в режиме ПДП.

3. Установить в единицу бит *ADCAL* регистра *ADC\_CR*.

4. Дождаться сброса бита *ADCAL*, осуществляемого аппаратно, который служит признаком окончания процедуры калибровки.

Пример программного фрагмента запуска автокалибровки АЦП МК модельного ряда *STM32F030xx* представлен в Приложении *A.7.1* Руководства [15].

**Примечание.** Как показал опыт, перед выполнением калибровки АЦП МК модельного ряда *STM32F030xx* желательно **отключить** все каналы от входа АЦП, т. е. обнулить регистр *ADC\_CHSELR* [15] (см. пример в подпункте 10.3.12.1). По другим модельным рядам / подсемействам необходимость отключения каналов читателям следует проверить экспериментально.

Необходимо также отметить, что в некоторых модельных рядах МК, например, *STM32F10xxx* [13], перед калибровкой необходимо выполнить **сброс** результатов предыдущей калибровки, осуществляемый установкой в единицу бита *RSTCAL* (*Reset calibration*) в одном из управляющих регистров АЦП.

В процессе калибровки автоматически, на аппаратном уровне определяются поправки, которые затем, в процессе работы АЦП, вносятся в результаты АЦ-преобразования (также автоматически, на аппаратном уровне). При этом последовательность операций,

выполняемых АЦП в процессе калибровки, в общедоступной документации компаний-производителей, как правило, не раскрывается. Указываются только компоненты погрешности АЦ-преобразования, корректируемые в процессе работы АЦП внесением поправок, полученных в результате калибровки [13, 15].

Состав компонентов погрешности АЦ-преобразования, корректируемых по результатам калибровки АЦП, отличается у различных подсемейств / модельных рядов МК. Так, поправка, получаемая при калибровке АЦП МК подсемейства *ARM Cortex-M0*, в т. ч. модельного ряда *STM32F030xx*, корректирует только аддитивную погрешность (*Offset error*) АЦП [15]. В свою очередь, в результате калибровки АЦП МК модельного ряда *STM32F10xxx* [13] формируется код, корректирующий погрешности конденсаторов ПК-ЦАП (см. рис. 10.27), что позволяет снизить все составляющие инструментальной погрешности АЦП [13].

**Примечание.** В некоторых модельных рядах МК, в частности, *STM32F030xx* [15], поправка, полученная в результате процедуры калибровки, по ее окончании доступна для считывания из регистра данных АЦП. Однако, ее программное введение в результат АЦ-преобразования не требуется и, более того, **недопустимо**, т. к. оно приведет к повышению погрешности преобразования, негативно повлияв на результаты «штатной» коррекции, реализуемой на аппаратном уровне.

Необходимо отметить, что в *Datasheet* МК, архитектура которых предусматривает возможность автокалибровки АЦП, приводятся значения погрешностей АЦ-преобразования, измеренные **после калибровки** [10, 26].

Пример программного модуля с применением автокалибровки АЦП МК модельного ряда *STM32F030xx* приведен в подпункте 10.3.12.1.

**10.3.11.23.** Следует также остановиться на использовании внутреннего ***Bandgap-ИОН*** блока АЦП (см. рис. 10.41 и 10.42) для калибровки (**программно-управляемой**) ИОН АЦП, аналогично описанной в подпункте 10.3.9.10 калибровке ИОН встроенных АЦП МК семейства *AVR*.

В первую очередь, калибровка ИОН АЦП с помощью *Bandgap*-ИОН необходима, если архитектура блока АЦП позволяет использовать в качестве опорного только **напряжение питания** аналоговой части МК,  $V_{DDA}$ , как правило, не отличающееся ни высокой точностью, ни высокой стабильностью. В частности, такое структурно-архитектурное решение характерно для большинства модельных рядов МК подсемейств *ARM Cortex-M0* и *ARM Cortex-M0+* [9], в т. ч. для МК модельного ряда *STM32F030xx* (см. рис. 10.41). Поэтому в МК большинства модельных рядов подсемейств *ARM Cortex-M0* и *ARM Cortex-M0+* предусмотрена возможность калибровки ИОН АЦП, т. е. определения реального значения  $V_{DDA}$ . Для этого на этапе производства каждого экземпляра БИС МК производится АЦ-преобразование выходного напряжения *Bandgap*-ИОН с устранением аддитивной погрешности (см. подпункт 10.3.11.21) при строго определенном значении  $V_{DDA}$  (например, у МК модельного ряда *STM32F030xx* – 3,3 В [26]). Результат преобразования, который обозначим  $N_{BG\ CAL}$  записывается в энергонезависимую память МК по определенным адресам, доступным для чтения прикладным ПО (в МК модельного ряда *STM32F030xx* – по адресам  $0x1FFF\ F7BA - 0x1FFF\ F7BB$  [26]). В процессе работы АЦП калибровка его ИОН производится по следующему алгоритму.

1. Производится процедура автокалибровки АЦП (см. подпункт 10.3.11.22), обеспечивающая автоматическую коррекцию аддитивных погрешностей.

2. Устанавливается в единичное состояние бит  $VREFEN$  разрешения АЦ-преобразования выходного напряжения *Bandgap*-ИОН.

3. После задержки порядка 10 мкс выполняется АЦ-преобразование выходного напряжения *Bandgap*-ИОН при реальном значении опорного напряжения АЦП, которое затем вычисляется по выражению [15]:

$$U_{REF} = U_{REF\ CAL} N_{BG\ CAL} / N_{BG}; \quad (10.51)$$

где  $U_{REF}$  – реальное значение опорного напряжения АЦП (применительно к МК модельного ряда *STM32F030xx* – реальное

значение  $V_{DDA}$ );  $U_{REF CAL}$  - значение  $V_{DDA}$ , при котором получен результат преобразования  $N_{BG CAL}$  (применительно к МК модельного ряда *STM32F030xx*  $U_{REF CAL} = 3,3$  В);  $N_{BG}$  – результат преобразования выходного напряжения *Bandgap*-ИОН при реальном значении опорного напряжения АЦП.

**Примечание.** Выражение (10.51) верно при условии пренебрежимо малого изменения выходного напряжения *Bandgap*-ИОН по сравнению с его значением, при котором был получен результат  $N_{BG CAL}$ . Благодаря высокой стабильности *Bandgap*-ИОН, можно считать, что данное условие выполняется.

4. Реальное значение  $U_{REF}$  затем используется для вычисления преобразуемого напряжения ( $U_i$ ) по результату его АЦ-преобразования, в соответствии со следующими выражениями, полученными из выражений (10.46) и (10.47):

- по регулярным каналам:

$$U_i = N_{ADCi} U_{REF} / 2^N; \quad (10.52)$$

- по инжектированным каналам:

$$U_i = (N_{ADCi} + ADC\_JOFRI) U_{REF} / 2^N; \quad (10.53)$$

Пример программного модуля с применением калибровки ИОН АЦП МК модельного ряда *STM32F030xx* приведен в подпункте 10.3.12.1.

Следует отметить, что по приведенному алгоритму может выполняться и калибровка ИОН АЦП (в т. ч. внешнего ИОН, см. рис. 10.42) подсемейств / модельных рядов МК семейства *ARM Cortex-Mx*, архитектура которых не предусматривает калибровку ИОН АЦП при производстве БИС. При этом на этапе отладки устройства на базе МК должно быть выполнено АЦ-преобразование выходного напряжения *Bandgap*-ИОН (с предварительной автокалибровкой АЦП). Результат преобразования, а также значение опорного напряжения АЦП, при котором оно проводилось, должны быть записаны в энергонезависимую память МК. При калибровке ИОН АЦП в процессе его работы они служат в качестве  $N_{REF CAL}$  и  $U_{REF CAL}$  соответственно.

При реализации калибровки ИОН следует **учитывать**, что в большинстве модельных рядов МК семейства *ARM Cortex-Mx* перед АЦ-преобразованием выходного напряжения *Bandgap*-ИОН оно должно быть **разрешено** (см. пункт 2 вышеприведенного алгоритма). Например, в МК модельного ряда *STM32F10xxx* разрешение осуществляется установкой в единицу бита *TSVREFE* регистра *ADC\_CR2* [13].

**10.3.11.24.** Архитектура блоков АЦП практически всех моделей МК семейства *ARM Cortex-Mx* позволяет осуществлять передачу в ОЗУ результатов преобразования по **регулярным** каналам в режиме **ПДП** (*DMA*). Напомним, что при преобразовании по данным каналам в режимах *Scan Single / Continuous Conversion Mode* считывание результатов преобразований в режиме ПДП является **единственным** способом избежания их потерь в тех подсемействах / модельных рядах МК, в которых признак завершения преобразований по регулярным каналам устанавливается только по окончании сканирования всех выбранных каналов (см. подпункт 10.3.11.8).

Для считывания результатов АЦ-преобразования в режиме ПДП он должен быть **разрешен**. Например, в МК модельного ряда *STM32F030xx* разрешение осуществляется установкой в единицу бита *DMAEN* регистра *ADC\_CFGR1* [15], модельного ряда *STM32F10xxx* – бита *DMA* регистра *ADC\_CR2* [13].

В большинстве модельных рядов МК семейства *ARM Cortex-Mx* запрос на ПДП от АЦП генерируется по завершении очередного цикла преобразования по каждому из регулярных каналов [13 – 15]. Под запросы от АЦП выделяется определенный канал контроллера ПДП (см., например, рис. 8.4). Данный канал должен быть сконфигурирован надлежащим образом (см. подпункт 8.3.1.11, а также пример, представленный в подпункте 10.3.12.4).

Следует отметить, что в режиме *Scan Continuous Conversion Mode* рационально применять запись результатов АЦ-преобразования в ОЗУ по принципу **кольцевой буферной памяти** (см. подпункт 8.3.1.8).

Необходимо также отметить, что режим ПДП по **инжектированным** каналам в большинстве модельных рядов МК

семейства *ARM Cortex-Mx* не реализуется, т. к., благодаря наличию отдельного регистра результата преобразования по каждому из данных каналов, считывание результатов без их потерь может быть выполнено по установке признака завершения сканирования инжектированных каналов (см. подпункт 8.3.1.8).

Естественно, для каждого модельного ряда МК существуют характерные для него особенности реализации обмена данными АЦП с памятью в режиме ПДП, изложенные в соответствующем разделе *Reference Manual*.

Программный пример использования режима ПДП для передачи результатов АЦ-преобразования в память представлен в подпункте 8.4.1.

**10.3.11.25.** Аналогично блокам АЦП практически всех современных семейств МК общего назначения, блоки АЦП МК семейства *ARM Cortex-Mx* могут быть источниками прерываний, естественно, при условии, что они разрешены. Состав событий, вызывающих прерывания, зависит от архитектуры конкретного подсемейства / модельного ряда МК. Например, источниками прерываний от блока АЦП МК модельного ряда *STM32F10xxx* могут служить следующие события [13]:

- завершение преобразований по всей группе регулярных каналов (*End of conversion regular group, EOC*);
- завершение преобразований по всей группе инжектированных каналов (*End of conversion injected group, JEOC*);
- срабатывание АОД (*Analog watchdog event, AWD*), т. е. выход результата АЦ-преобразования за пределы, равные содержимому регистров *ADC\_HTR* и *ADC\_LTR* (см. подпункт 10.3.11.20).

В свою очередь, источниками прерываний от блока АЦП МК модельного ряда *STM32F030xx* могут быть [15]:

- готовность АЦП к выполнению преобразований (*ADC ready, ADRDY*), т. е. переход АЦП в состояние *Ready*, см. рис. 10.53 и 10.54;
- завершение очередного цикла АЦ-преобразования (*End of conversion, EOC*);
- завершение преобразований по всей группе выбранных регулярных каналов (*End of sequence of conversions, EOSEQ*); напомним, что архитектура блока АЦП МК модельного ряда

*STM32F030xx* предоставляет возможность организации **только** регулярных каналов;

- срабатывание АОД (*Analog watchdog event, AWD*);
- завершение интервала выборки преобразуемого напряжения (*End of sampling phase, EOSMP*), на рис. 10.53 и 10.54 интервалы выборки обозначены как *S0, S1, ...*;

- потеря результата преобразования (*Overrun, OVR*), т. е. готовность нового результата преобразования при еще не считанном предыдущем; признаком того, что результат не считан, служит единичное состояние флага *EOC* в регистре статуса АЦП.

В соответствии с общими принципами архитектуры систем прерываний практически всех семейств МК:

- прерывание по каждому из событий может быть запрещено или разрешено обнулением или установкой в единицу определенного бита в одном из регистров блока АЦП; например, в МК модельного ряда *STM32F10xxx* – соответственно битов *EOCIE, JEOCIE* и *AWDIE* регистра *ADC\_CR1* [13];

- по наступлении каждого из событий, являющегося потенциальным источником прерывания, устанавливается в единичное состояние бит признака данного события в регистре статуса АЦП (например, в МК модельного ряда *STM32F10xxx* – соответственно бит *EOC, JEOC* или *AWD* регистра *ADC\_SR* [13]); если по каким-либо причинам прерывания по некоторому событию запрещены, его наступление может контролироваться программным опросом бита его признака.

С другой стороны, для прерываний от блоков АЦП МК семейства *ARM Cortex-Mx* характерны следующие особенности, общие для системы прерываний практически всех МК данного семейства (см. пункт 7.3.2):

- как правило, в таблице векторов прерываний не выделяются позиции для каждого из событий в блоке АЦП, являющихся потенциальным источником прерываний; выделяется одна или (реже) несколько позиций под прерывания, вызываемые **различными** событиями в блоке АЦП; например, в МК модельного ряда *STM32F10xxx* – позиции 18 (*ADC1 and ADC2 global interrupt*) и 47 (*ADC3 global interrupt*; для моделей с 3-мя АЦП);

- для разрешения прерываний от АЦП должны быть **установлены в единицу** как бит глобального разрешения прерываний от АЦП, так и биты разрешения прерываний по соответствующим событиям в блоке АЦП (см. подпункт 7.3.2.18);

- по глобальному прерыванию от АЦП, вызванному любым из событий, прерывания по которым разрешены, происходит переход к одной и той же подпрограмме обработки прерывания; поэтому в ней должен быть предусмотрен **опрос** битов признаков событий, для выяснения, каким из них было вызвано прерывание (см. подпункт 7.3.2.15);

- биты («флаги») признаков событий, являющихся источниками прерываний, не сбрасываются при переходе к подпрограмме обслуживания прерывания; их сброс должен осуществляться в данной подпрограмме (см. подпункт 7.3.2.16); необходимо отметить, что, например, в блоке АЦП МК модельного ряда *STM32F10xxx* сброс «флагов» осуществляется записью **нуля** в соответствующие разряды регистра статуса [13], а в МК модельного ряда *STM32F030xx* – записью **единицы** [15].

Особенности генерации запросов на прерывания от АЦП и их обслуживания, характерные для конкретных подсемейств / модельных рядов МК, приводятся в их *Reference Manuals*.

Программный пример использования прерываний от АЦП представлен в подпункте 10.3.12.4.

**10.3.11.26.** Описанные в пункте 10.3.11 структурно-архитектурные решения, в целом, являются **типовыми** для блоков АЦП МК семейства *ARM Cortex-Mx*. Естественно, для каждого подсемейства / модельного ряда МК данного семейства существуют характерные **особенности** структуры и архитектуры блока АЦП, отражаемые в соответствующих *Reference Manuals*.

**10.3.11.27.** Базовые структурно-архитектурные решения блоков АЦП МК семейства *ARM Cortex-Mx*, в целом, характерны для **большинства** семейств МК аналогичного класса сложности.

**10.3.11.28.** Типовые примеры программирования блоков АЦП МК семейства *ARM Cortex-Mx* представлены в пункте 10.3.12.

### 10.3.12. Примеры программирования блоков АЦП МК семейства *ARM Cortex-Mx*

Далее представлены типовые примеры программных фрагментов / модулей с использованием АЦП МК семейства *ARM Cortex-Mx* в различных режимах работы. Уровень программирования – *CMSIS*, представление операндов – числовое (см. подпункт 2.6.1.14 и Приложение В).

**Примечание.** При практическом использовании всех примеров необходимо соблюдение условий (10.35) и (10.36).

**10.3.12.1. Пример 1.** Автоматическая калибровка АЦП в процессе его инициализации. Модель МК – *STM32F030F4* (подсемейство *ARM Cortex-M0*, модельный ряд *STM32F030xx* [15]).

Калибровка осуществляется в соответствии с алгоритмами, приведенными в подпунктах 10.3.11.22 и 10.3.11.23 (см. также комментарии в представленном ниже программном фрагменте).

```
//Подключение файла описания МК подсемейства STM32F0xx
#include "stm32f0xx.h"
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
/*
Объявление используемых при автокалибровке переменных типа "32-битовое
целое" (такая разрядность используется для снижения погрешностей
округления при вычислениях):
- vrf - результат АЦ-преобразования выходного напряжения Bandgap-ИОН,
полученный в процессе производства МК и хранимый в флэш-памяти (см.
далее);
- rf - результат АЦ-преобразования выходного напряжения Bandgap-ИОН,
полученный в процессе автокалибровки;
- vdda - полученное в процессе автокалибровки значение (в мВ) аналогового
напряжения питания МК, служащего также опорным напряжением АЦП.
*/
long int vrf, rf, vdda;
/*
Объявление старшего и младшего байтов значения vrf (см. выше) как
переменных типа "беззнаковое целое".
*/
unsigned int vrfh, vrfl;
```

```

/*
Объявление переменных - указателей адресов младшего и старшего байтов
значения vrf (см. выше) в энергонезависимой памяти МК (см. подпункт
10.3.11.23)
*/
char *arefl, *arefh;
/*
Объявление переменной, используемой в качестве счетчика циклов, как 16-
битового беззнакового целого
*/
unsigned int i;
//Объявление других переменных, используемых в программе
. . .
////////////////////////////////////////////////////////////////
//Основная программа
int main(void)
{
////////////////////////////////////////////////////////////////
/*
Конфигурирование подсистемы синхронизации МК, в соответствии с
подразделом 7.4 Руководства [15].
Объявление генератора HSE (см. подпункт 4.4.2.1) источником тактирования
МК; в рассматриваемом примере частота HSE равна 8 МГц.
Программный фрагмент конфигурирования подсистемы синхронизации
полностью аналогичен приведенному в подпункте 4.4.2.4.
*/
RCC->CR |=0x00010000;
while(((RCC->CR)&(0x00020000))==0x00000000);
RCC->CFGR = 0x00000001;
while(((RCC->CR)&(0x0000000C))!=0x00000004);
RCC->CR = (RCC->CR)&(0xFFFFF7FE);
////////////////////////////////////////////////////////////////
//Конфигурирование и калибровка АЦП
/*
Чтение из флэш-памяти младшего и старшего байтов результата АЦ-
преобразования выходного напряжения Vandgap-ИОН, полученных в
процессе производства МК и хранящихся по адресам 0x1ffff7ba и 0x1ffff7bb
(см. подпункт 10.3.11.23)
*/
arefl = 0x1ffff7ba;
arefh = 0x1ffff7bb;

```

```
vrfh = *arefh;
```

```
vrfl = *arefl;
```

```
/*
```

Формирование 16-битового результата АЦ-преобразования выходного напряжения *Bandgap*-ИОН, полученного в процессе производства МК

```
*/
```

```
vrf = (vrfh*256)+vrfl;
```

```
/*
```

Задание тактовой частоты АЦП, равной 1/4 тактовой частоты домена *APB* МК. Производится запись двоичного кода 10 в 30-м и 31-м битах регистра *CFGR2* (см. пункт 12.11.5 Руководства [15]). При этом тактовая частота АЦП равна 8 МГц / 4, т. е. 2 МГц

```
*/
```

```
ADC1->CFGR2 = 0x80000000;
```

```
/*
```

Активизация *Bandgap*-ИОН, который используется при калибровке АЦП (см. подпункт 10.3.11.23). Активизация производится установкой в единицу 22-го бита регистра *CCR*, см. пункт 12.11.10 Руководства [15]

```
*/
```

```
ADC->CCR = 0x00400000;
```

```
/*
```

Задание времени выборки АЦП, равным 13,5 периодам тактовой частоты АЦП, т.е.  $13,5 / 2 \text{ МГц} = 6,75 \text{ мкс}$  (запись кода двоичного 010 в битах 0...2 регистра *SMPR*, см. пункт 12.11.6 Руководства [15]). Такое время выборки требовалось для удовлетворения условия (10.22) при решении прикладной задачи, под которую разрабатывался данный программный фрагмент

```
*/
```

```
ADC1->SMPR = 0x00000002;
```

```
/*
```

Разрядность результата преобразования принята равной 12-ти битам (по умолчанию)

```
*/
```

```
//.....
```

```
/*
```

Процедура автокалибровки АЦП, в соответствии с Приложением А.7.1 Руководства [15]. См. также алгоритм, приведенный в подпункте 10.3.11.22.

В результате автокалибровки определяется аддитивная поправка (смещение шкалы АЦП), которая затем автоматически вводится в результаты АЦ-преобразования.

```
*/
```

```

/*
Отключение внешних входов АЦП обнулением регистра ADC1_CHSELR
(ADC channel selection register), см. пункт 12.11.8 Руководства [15]
*/
ADC1->CHSELR = 0x00000000;
/*
Если бит ADEN разрешения работы АЦП (0-й бит регистра ADC1_CR, см.
пункт 12.11.3 Руководства [15]) находится в единичном состоянии – запрет
работы АЦП установкой в единицу 1-го бита (ADDIS) регистра ADC1_CR, с
последующим ожиданием сброса бита ADEN
*/
if(((ADC1->CR)&(0x00000001))!=0x00000000)
{
    ADC1->CR |= 0x00000002;
}
while(((ADC1->CR)&(0x00000001))!=0x00000000);
/*
Временная задержка, в соответствии с рекомендацией Приложения А.7.1
Руководства [15]
*/
for(i=0;i<10000;i++);
/*
Запрет режима ПДП сбросом 0-го бита (DMAEN) регистра ADC_CFGR1 (см.
пункт 12.11.4 Руководства [15])
*/
ADC1->CFGR1 &= 0xFFFFFFF0;
/*
Запуск процедуры калибровки записью единицы в 31-й бит (ADCAL) регистра
ADC1_CR (см. пункт 12.11.3 Руководства [15])
*/
ADC1->CR |= 0x80000000;
/*
Ожидание сброса бита ADCAL, который является признаком окончания
калибровки
*/
while(((ADC1->CR)&(0x80000000))!=0x00000000);
/*
Временная задержка, в соответствии с рекомендацией Приложения А.7.1
Руководства [15]
*/
for(i=0;i<10000;i++);
//Автокалибровка окончена

```

```
//.....
/*
Программно-управляемая калибровка ИОН АЦП (см. подпункт 10.3.11.23), т.
е. определение реального значения опорного напряжения АЦП (им служит
напряжение питания аналоговой части МК)
*/
/*
Подключение входа 17-го канала, т. е. выхода Bandgap-ИОН, ко входу АЦП.
Подключение осуществляется установкой в единицу 17-го бита регистра
ADC1_CHSELR
*/
ADC1->CHSELR = 0x00020000;
//Задержка на установление переходных процессов
for(i=0;i<64000;i++);
/*
Задание режима непрерывного преобразования по одному каналу (см. вариант
3 в табл. 10.3) записью единицы в 13-й бит (CONT) регистра ADC_CFGRI (см.
пункт 12.11.4 Руководства [15])
*/
ADC1->CFGRI = 0x00002000;
/*
Запуск преобразований записью единицы во 2-й бит (ADSTART) регистра
ADC1_CR (см. пункт 12.11.3 Руководства [15])
*/
ADC1->CR |= 0x00000004;
/*
Присвоение начального (нулевого) значения сумме результатов АЦ-
преобразований
*/
rf = 0;
/*
Пропуск первых 10-ти циклов АЦ-преобразования (во избежание
некорректных результатов). Пояснение. Дизассемблирование команды for
показало, что время выполнения одного цикла данной команды равно 15-ти
тактам ЦП. С другой стороны, длительность одного цикла АЦ-преобразования
при выбранном режиме работы и параметрах конфигурации АЦП равно сумме
времени выборки и времени преобразования выходного напряжения БВХ в
код, равных соответственно 13,5 и 12,5 периодам синхросигнала АЦП (см.
вариант 3-й табл. 10.3, а также пункт 12.5.2 Руководства [15]). В свою очередь,
в рассматриваемом примере период синхросигнала АЦП равен 4-м тактам ЦП.
Соответственно, для пропуска 10-и циклов АЦ-преобразования необходимо
 $10 \times (13,5 + 12,5) \times 4 / 15 \approx 70$  циклов for

```

```
*/  
for(i=0;i<70;i++);  
/*
```

Выполнение 1538-и циклов АЦ-преобразования выходного напряжения *Bandgap*-ИОН и вычисление среднего значения полученных результатов преобразований. **Примечание.** Число 1538 выбрано, исходя из того, чтобы общая длительность интервала времени, за который производится усреднение, была максимально близкой к периоду сетевого напряжения (20 мс). При этом в результате усреднения осуществляется подавление паразитных составляющих результатов преобразования, вызванных не только высокочастотными шумами и наводками, но и сетевыми помехами.

В данном примере длительность цикла АЦ-преобразования равна  $13,5 + 12,5$  периодам синхросигнала АЦП. Период данного сигнала, в свою очередь, равен  $4 / 8$  МГц, т. е. 0,5 мкс. Следовательно, длительность цикла АЦ-преобразования равна 13 мкс, а  $1538 \times 13$  мкс = 19,994 мс.

```
*/  
for(i=0;i<1538;i++)  
{  
/*
```

Ожидание установки в единицу признака окончания очередного цикла АЦ-преобразования, которым является 2-й бит (*EOC*) регистра статуса (*ISR*) АЦП

```
*/  
while(((ADC1->ISR)&(0x00000004))==0x00000000);  
/*
```

Прибавление очередного результата АЦ-преобразования, считываемого из регистра данных АЦП, к текущему значению суммы результатов преобразования

```
*/  
rf = rf + (ADC1->DR);  
/*
```

Сброс признака *EOC* записью в него единицы и переход к ожиданию окончания очередного цикла АЦ-преобразования

```
*/  
ADC1->ISR |= 0x00000004;  
}  
/*
```

Останов АЦП записью единицы в 4-й бит (*ADSTP*) регистра *ADC1\_CR* (см. пункт 12.11.3 Руководства [15])

```
*/  
ADC1->CR |= 0x00000010;
```

/\*  
 Вычисление среднего значения полученных 1538-и результатов АЦ-преобразования выходного напряжения *Bandgap*-ИОН. При этом аддитивная погрешность АЦП устранена в результате его калибровки (см. выше).

\*/  
 $rf = rf / 1538;$   
 /\*

Вычисление реального значения опорного напряжения АЦП (т. е. реального значения напряжения аналоговой части МК) в **милливольтмах** (для повышения точности) по выражению (10.51). Здесь переменные *vrf* и *rf* соответствуют переменным *N<sub>BG CAL</sub>* и *N<sub>BG</sub>* в выражении (10.51); 3300 мВ – значение опорного напряжения АЦП, при котором был получен результат преобразования *N<sub>BG CAL</sub>* (см. подпункт 10.3.11.23).

Вычисленное значение *vdda* используется в основной программе для расчета входных напряжений каналов АЦП по выражению (10.52). Выражение (10.53) неприменимо к МК модельного ряда *STM32F030xx*, т. к. их архитектура не предоставляет возможность организации инжектированных каналов [15]

\*/  
 $vdda = vrf * 3300 / rf;$   
 //  
 /\*

Конфигурирование используемых функциональных блоков МК

\*/  
 ...  
 //  
 /\*

Основной программный код

\*/  
 ...

**10.3.12.2. Пример 2.** АЦ-преобразование по 2-м регулярным каналам (0-му и 1-му) в режиме *Single-Channel, Single Conversion Mode* (см. подпункт 10.3.11.11), в соответствии с вариантом 1 таблицы 10.3. Модель МК – *STM32F103C8* (подсемейство *ARM Cortex-M3*, модельный ряд *STM32F10xxx* [13]). Каждый цикл преобразования запускается программно, записью единицы в бит *ADON* 2-го регистра *ADC\_CR2*, предварительно установленный в единичное состояние (см. подпункт 10.3.11.9). Задание номера канала, по которому осуществляется текущий цикл преобразования,



```

/*
Объявление переменных, служащих приемниками результатов
преобразования по каналам
*/
int i, j;
//Объявление других переменных, используемых в программе
...
/////////////////////////////////////////////////////////////////
//Основная программа
int main(void)
{
/////////////////////////////////////////////////////////////////
/*
Конфигурирование подсистемы синхронизации МК, в соответствии с
подразделом 7.3 Руководства [13].
Объявление генератора HSE (см. подпункт 4.4.2.1) источником тактирования
МК; в рассматриваемом примере частота HSE равна 8 МГц.
Программный фрагмент конфигурирования подсистемы синхронизации
полностью аналогичен приведенному в подпункте 4.4.2.4.
*/
RCC->CR |=0x00010000;
while(((RCC->CR)&(0x00020000))==0x00000000);
RCC->CFGR = 0x00000001;
while(((RCC->CR)&(0x0000000C))!=0x00000004);
RCC->CR = (RCC->CR)&(0xFFFFF0);
/////////////////////////////////////////////////////////////////
/*
Конфигурирование, в соответствии с [13], 0-го и 1-го выводов порта A,
задействованных под входы каналов АЦП с теми же номерами (см. табл. 5
Datasheet [10])
*/
/*
Разрешение тактирования порта A и модуля управления альтернативными
функциями портов (AFIO) установкой в единицу 0-го и 2-го битов
(соответственно AFIOEN и IOPAEN) регистра RCC_APB2ENR (см. пункт 7.3.7
Руководства [13])
*/
RCC->APB2ENR |= 0x00000005;

```

```

/*
Очистка установок «по умолчанию» битов конфигурации 0-го и 1-го выводов
порта A. Очистка устанавливает их в режим «Аналоговый вход» (см. пункт
9.2.1 Руководства [13])
*/
GPIOA -> CRL &= 0xFFFFF00;
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
//Конфигурирование используемого в данном примере АЦП1 блока АЦП МК
/*
Разрешение тактирования АЦП1 установкой в единицу 9-го бита (ADCIEN)
регистра RCC_APB2ENR (см. пункт 7.3.7 Руководства [13])
*/
RCC->APB2ENR |= 0x00000200;
/*
Все параметры конфигурации АЦП1 выбраны «по умолчанию»:
- тактовая частота равна половине тактовой частоты домена APB2
(содержимое битового поля ADCPRE регистра RCC_CFGR оставлено
нулевым, см. пункт 7.3.2 Руководства [13]);
- режим преобразования – Single-Channel, Single Conversion Mode, с запуском
программной установкой в единицу бита ADON, см. подпункты 10.3.11.9 –
10.3.11.11 (содержимое регистров ADC1_CR1 и ADC1_CR2 оставлено равным
«по умолчанию», см. пункты 11.12.2 и 11.12.3 Руководства [13]);
- время выборки по всем каналам равно 1,5 периода синхросигнала АЦП (см.
пункты 11.12.4 и 11.12.5 Руководства [13]).
*/
/*
Вывод АЦП1 из режима пониженного энергопотребления установкой в
единицу 0-го бита (ADON) 2-го регистра управления АЦП1
*/
ADC1->CR2 |= 0x00000001;
/*
Задержка на интервал времени  $t_{СТАВ}$ , необходимый для выхода АЦП из
режима пониженного энергопотребления (см. рис. 23 в Руководстве [13])
*/
for(i=0;i<64;i++);
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
//"Бесконечный" цикл
while (1)
{
//АЦ-преобразование по 0-му регулярному каналу

```

/\*

Выбор 0-го канала АЦП1 записью кода 00000 в битовое поле  $SQ1[4:0]$  регистра  $ADC\_SQR3$ , задающее номер регулярного канала, по которому осуществляется первый (в рассматриваемом примере – и единственный) цикл преобразования после запуска АЦП (см. пункт 11.12.11 Руководства [13])

\*/

```
ADC1->SQR3 = 0x00000000;
```

/\*

Запуск АЦП1 записью единицы в ранее (на этапе конфигурирования АЦП1) установленный в единичное состояние 0-й бит ( $ADON$ ) 2-го регистра управления (см. подпункт 10.3.11.9)

\*/

```
ADC1->CR2 |= 0x00000001;
```

/\*

Ожидание установки в единицу 1-го бита ( $EOC$ ) регистра статуса АЦП1. Данный бит служит признаком окончания преобразований по регулярным каналам (см. подпункт 10.3.11.25)

\*/

```
while(((ADC1->SR)&(0x00000002))!=0x00000000);
```

/\*

По установлении признака  $EOC$  – считывание из регистра  $ADC1\_DR$  результата АЦ-преобразования по 0-му каналу и присвоение его значения переменной  $i$ .

**Примечание.** Бит  $EOC$  сбрасывается автоматически после считывания регистра  $ADC1\_DR$  (см. пункт 11.12.1 Руководства [13])

\*/

```
i = ADC1->DR;
```

/\*

АЦ-преобразование по 1-му регулярному каналу, с присвоением значения его результата переменной  $j$ . Реализуется аналогично преобразованию по 0-му каналу. Номер канала задается записью кода 00001 в битовое поле  $SQ1[4:0]$  регистра  $ADC\_SQR3$ .

\*/

```
ADC1->SQR3 = 0x00000001;
```

```
ADC1->CR2 |= 0x00000001;
```

```
while(((ADC1->SR)&(0x00000002))!=0x00000000);
```

```
j = ADC1->DR;
```

```
//Обработка и анализ результатов преобразований
```

•••

```
}
```

```
}
```

**10.3.12.3. Пример 3.** Пусть необходимо выполнять мониторинг напряжений по 8-и каналам (с 0-го по 7-й) АЦП МК *STM32F103C8* (подсемейство *ARM Cortex-M3*, модельный ряд *STM32F10xxx* [13]), с периодом дискретизации по каждому из каналов, равным 100 мкс.

Наиболее рациональным решением данной задачи является опрос каналов в режиме *Scan Single Conversion Mode* (см. подпункты 10.3.11.8 и 10.3.11.11), с записью результатов АЦ-преобразования в ОЗУ в режиме ПДП, и их считыванием, обработкой и анализом по окончании каждой из процедур сканирования выбранных каналов. Такой подход реализуется программным модулем, приведенным в пункте 8.4.1 (см. также рис. 8.24 и пояснения к нему).

С учетом материалов подпункта 10.3.6.13, необходимо сделать некоторые **дополнения** к пункту 8.4.1. Для обеспечения минимальной нестабильности периода дискретизации следует:

- запуск процедуры сканирования производить сигналом, формируемым одним из таймеров МК;
- тактирование таймера и АЦП осуществлять синхроимпульсами, формируемыми из выходного сигнала ГТИ МК с ПЭР;
- период дискретизации по каждому из каналов, без учета пренебрежимо малой нестабильности времени выборки и преобразования выходного напряжения БВХ в код, равен  $t_{TRIG} \pm (\Delta t_{LAT}/2)$ ; см. рис. 8.24, а также табл. 10.3 и пояснения к ней;
- нестабильность периода дискретизации при данных условиях минимальна и равна  $\pm(\Delta t_{LAT}/2)$ ;
- предполагается, что автокалибровка АЦП, а также калибровка его ИОН не требуются.

**Примечание.** В принципе, мониторинг напряжений по нескольким каналам АЦП МК семейства *ARM Cortex-Mx* может быть реализован и без использования ПДП, в частности:

- программно-управляемым переключением каналов с однократным преобразованием по каждому (см. пример в подпункте 10.3.12.2);
- использованием режима *Discontinuous mode*, в котором у АЦП большинства модельных рядов МК семейства *ARM Cortex-Mx*

признак *EOC* (см. подпункт 10.3.11.25) устанавливается в единицу по окончании цикла преобразования по **каждому** из выбранных регулярных каналов [9, 13, 14]; при этом считывание результатов преобразования по каналам может производиться по определяемому программно установлению признака *EOC* или по прерываниям, генерируемым по данному событию;

- архитектура блока АЦП модельных рядов *STM32F030xx* [15], *STM32F4xx* [14] и некоторых других обеспечивает установление признака *EOC* в режиме сканирования, как и в режиме *Discontinuous mode*, после цикла преобразования по каждому из выбранных каналов, с возможностью считывания результатов преобразований по установлению признака *EOC*, выявляемому программным опросом или по прерыванию;

- если число подлежащих сканированию каналов не превышает 4-х, они могут быть включены в группу инжектированных, результаты преобразования по каждому из которых записываются в регистр данных, выделенный для соответствующего канала, из которого они считываются по событию *JEOC* (см. подпункт 10.3.11.25), выявляемому программно или по прерыванию.

В последних трех из перечисленных вариантов, для обеспечения максимальной стабильности периода дискретизации, запуск сканирования следует производить сигналом, формируемым одним из таймеров МК (см. пункт 8.4.1).

Все перечисленные варианты «проигрывают» сканированию с использованием ПДП как по быстродействию, так и по эффективности использования ЦП. Поэтому их применение может быть рациональным только в тех, достаточно редко встречающихся на практике случаях, в которых обмен АЦП с ОЗУ в режиме ПДП по каким-либо причинам нежелателен или невозможен; например, если контроллер ПДП загружен другими задачами.

**10.3.12.4. Пример 4.** В данном подпункте рассматривается простой пример использования АОД (см. подпункт 10.3.11.20), а также прерываний от блока АЦП МК.

В данном примере, аналогично приведенному в пункте 10.2.3, решается задача мониторинга температуры в рабочей камере некоторой технологической установки. Контроль температуры

осуществляется 2-мя датчиками, расположенными в различных точках рабочей камеры. Выходные напряжения датчиков через блоки сопряжения (см. пункт 10.5.1) поступают соответственно на 0-й и 1-й канал АЦП1 МК *STM32F103C8* (подсемейство *ARM Cortex-M3*, модельный ряд *STM32F10xxx* [13]). Используется внешний ИОН АЦП с номинальным значением выходного напряжения, равным 2,5 В. Как и в примере, приведенном в пункте 10.2.3, в качестве ИУ, управляемых по результатам мониторинга, служат нагреватель, вентилятор и два светодиода, один из которых включается в режиме нагрева, другой – в режиме охлаждения. Управление драйвером нагревателя и светодиодом-индикатором нагрева производится сигналами со 2-го и 3-го выводов порта *A* МК, вентилятором и светодиодом-индикатором нагрева – с 4-го и 5-го выводов того же порта. Включение ИУ производится при единичном уровне сигнала управления, выключение – при нулевом.

Тактирование МК, в т. ч. АЦП1, осуществляется ГТИ частотой 8 МГц с внешним ПЭР.

Мониторинг температуры производится по среднему значению выходных напряжений датчиков. Как и в примере, приведенном в пункте 10.2.3:

- при **устойчивом** превышении напряжения уставки средним значением выходных напряжений датчиков, нагреватель и светодиод-индикатор режима нагрева отключаются, и производится включение вентилятора, а также светодиода-индикатора режима охлаждения;

- при **устойчивом** снижении среднего значения выходных напряжений датчиков до нижнего порогового уровня, меньшего уставки на значение гистерезиса, вентилятор и светодиод-индикатор режима охлаждения отключаются, и включаются нагреватель и светодиод-индикатор режима нагрева.

При этом под **устойчивым** понимается уменьшение / увеличение, зафиксированное в 10-ти последовательных во времени циклах АЦ-преобразования.

В рассматриваемом примере значение уставки является **фиксированным** и равным 2 В; значение гистерезиса – 200 мВ.

В пункте 10.2.3 подобная задача решалась с помощью АК, который отсутствует в составе МК *STM32F103C8*. Однако архитектура его АЦП, как и практически всех МК семейства *ARM Cortex-Mx*, предоставляет возможность использования функции АОД (см. подпункт 10.3.11.20), которая заменяет АК, причем с несколько расширенными возможностями по сравнению с АК семейства *AVR*.

Для минимизации временных затрат основной программы МК мониторинг осуществляется в режиме **непрерывного сканирования** (см. подпункт 10.3.11.12, в т. ч. рис. 10.44), с использованием прерываний, генерируемых по срабатыванию АОД (т. е. по событию *Analog watchdog event, AWD*, см. подпункт 10.3.11.25). 0-му каналу присвоен статус регулярного, 1-му – инжектированного, т. е. в группы регулярных и инжектированных включены по одному каналу. Это позволяет считывать (без потерь) результаты преобразований по 0-му каналу из общего регистра данных по регулярным каналам (*ADC1\_DR*), а по 1-му каналу – из регистра данных по 1-му инжектированному каналу (*ADC1\_JDR1*).

Сканирование каналов осуществляется по варианту *Auto-injection* (см. подпункт 10.3.11.15), что в данном примере сводится к поочередному АЦ-преобразованию вначале по 0-му (регулярному), затем по 1-му (инжектированному) каналу.

Частота тактирования АЦП1 выбрана равной 1 МГц. Условие (10.23) удовлетворяется при времени выборки, равном 1,5 периодам синхросигнала АЦП. Суммарное время преобразования составляет  $(1,5 + 12,5) \times 1$  мкс, т. е. 14 мкс, что меньше максимально допустимого (см. табл. 47 в *Datasheet* [10]).

**Алгоритм мониторинга и управления ИУ следующий.**

1. По включении питания МК:

- включаются нагреватель и светодиод-индикатор режима нагрева, при отключенных вентиляторе и индикаторе режима охлаждения;

- верхний порог результата АЦ-преобразования назначается равным  $0xCCD$ , что соответствует напряжению уставки (2 В) при равном 2,5 В опорном напряжении АЦП, см. выражение (10.46);

- нижний порог результата преобразования устанавливается равным его минимально возможному значению,  $0x000$ ; при этом событие *Analog watchdog event* реально будет происходить только по превышению результатом преобразования верхнего порога (уменьшение результата ниже значения  $0x000$  невозможно);

- из прерываний от АЦП1 разрешаются генерируемые по событию *Analog watchdog event*;

- счетчик прерываний от АЦП1 устанавливается в нулевое состояние;

- обнуляется сумма результатов АЦ-преобразований (по которой в дальнейшем рассчитывается их среднее значение, см. пункт 3.2).

2. Запускается АЦП1 и основная программа МК, которая прерывается по запросам от АЦП1.

3. Прерывание от АЦП1 обрабатывается по следующему алгоритму.

3.1. По переходу к подпрограмме обслуживания прерывания:

- обнуляется признак события *Analog watchdog event*, *AWD* (см. подпункт 7.3.2.16);

- счетчик прерываний от АЦП1 увеличивается на единицу;

- сумма результатов АЦ-преобразований увеличивается на среднее значение результатов преобразований по 0-му и 1-му каналам;

- если счетчик достиг значения 10 (т. е. зафиксировано 10 срабатываний АОД) – переход к пункту 3.2; в противном случае – выход из подпрограммы.

3.2. Сумма результатов преобразований делится на 10, т. е. вычисляется их среднее значение. Если оно больше верхнего порога результата АЦ-преобразования, что может произойти только при работе на нагрев по достижении максимально допустимой температуры (см. пояснения в пункте 1) – **переход к пункту 3.3.** Если вычисленное среднее значение меньше нижнего порога результата АЦ-преобразования, что может произойти только при работе на охлаждение по достижении минимально допустимой температуры (см. пояснения в пункте 3.3) – **переход к пункту 3.4.**

3.3. Переход в режим охлаждения:

- нагреватель и светодиод-индикатор нагрева отключаются;

- с задержкой 100 мс (во избежание перегрузок по питанию, см. примечание к пункту 4.5 алгоритма, приведенного в подпункте 10.2.3.2) включаются вентилятор и светодиод-индикатор охлаждения;

- нижний порог результата АЦ-преобразования назначается равным  $0x85$ , что соответствует напряжению уставки, уменьшенному на значение гистерезиса (т. е. напряжению 1,8 В) при опорном напряжении, равном 2,5 В (см. выражение (10.46));

- верхний порог результата преобразования назначается равным его максимально возможному значению,  $0xFF$ ; при этом событие *Analog watchdog event* реально будет происходить только при результате преобразования, меньшем нижнего порога (превышение результатом значения  $0xFF$  невозможно);

- осуществляется переход к пункту 3.5.

#### 3.4. Переход в режим нагрева:

- вентилятор и светодиод-индикатор режима охлаждения отключаются;

- с задержкой 100 мс (см. пункт 3.3) включаются нагреватель и светодиод-индикатор режима нагрева;

- верхний порог результата АЦ-преобразования назначается равным  $0xCC$ , нижний –  $0x00$  (см. пункт 1);

- осуществляется переход к пункту 3.5.

3.5. Счетчик прерываний и сумма результатов преобразований обнуляются. Производится выход из подпрограммы.

Текст программы, реализующей данный алгоритм мониторинга (с необходимыми комментариями) приведен ниже.

**Примечание.** В данном примере, как и в приведенных в подпункте 10.3.12.2 и в пункте 8.4.1, предполагается, что автокалибровка АЦП, а также калибровка его ИОН не требуются.

```
//Подключение файла описания МК модельного ряда stm32f10x
#include "stm32f10x.h"
/*
```

```
Объявление, как 32-битового целого, переменной x, служащей в качестве
суммы результатов АЦ-преобразования, а также их среднего значения
*/
```

```
long int x;
```

```

/*
Объявление, как 16-битовых целых, средних значений результатов АЦ-
преобразований, соответствующих выходным напряжениям датчиков, равным
1,8 и 2 В
*/
int xmin = 0xB85;
int xmax = 0xCCD;
/*
Объявление счетчика прерываний (i) и счетчика циклов при формировании
временных задержек (j) как 16-битовых целочисленных переменных
*/
int i, j;
//Объявление других переменных, используемых в программе
. . .
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
//Основная программа
int main(void)
{
/*
Конфигурирование подсистемы синхронизации МК, в соответствии с
подразделом 7.3 Руководства [13].
Объявление генератора HSE (см. подпункт 4.4.2.1) источником тактирования
МК; в рассматриваемом примере частота HSE равна 8 МГц.
Программный фрагмент конфигурирования подсистемы синхронизации
полностью аналогичен приведенному в подпункте 4.4.2.4.
*/
RCC->CR |=0x00010000;
while(((RCC->CR)&(0x00020000))==0x00000000);
RCC->CFGR = 0x00000001;
while(((RCC->CR)&(0x0000000C))!=0x00000004);
RCC->CR = (RCC->CR)&(0xFFFFF0FE);
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
//Конфигурирование используемого ПБВ (ПБВ A)
/*
Разрешение тактирования ПБВ A установкой в единицу 2-го бита (IOPAEN)
регистра RCC_APB2ENR (см. пункт 7.3.7 Руководства [13])
*/
RCC->APB2ENR |= 0x00000004;

```

/\*

Конфигурирование 0-го и 1-го выводов на режим работы «Аналоговый вход», выводов с 2-го по 5-й – на режим работы «Двухтактный цифровой выход» (см. пункт 9.2.1 Руководства [13])

\*/

```
GPIOA -> CRL &= 0xFF000000;
```

```
GPIOA -> CRL |= 0x00222200;
```

```
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
```

```
//Конфигурирование АЦП1
```

/\*

Разрешение тактирования АЦП1 установкой в единицу 9-го бита (*ADC1EN*) регистра *RCC\_APB2ENR* (см. пункт 7.3.7 Руководства [13])

\*/

```
RCC->APB2ENR |= 0x00000200;
```

/\*

Задание частоты тактирования АЦП, равной 1/8 частоты тактирования домена *APB2*, т. е. 1 МГц, установкой в единицу битового поля *ADCPRE* (14-го и 15-го битов) регистра *RCC\_CFGR* (см. пункт 7.3.2 Руководства [13])

\*/

```
RCC->CFGR |= 0x0000C000;
```

/\*

Разрешение прерываний от АЦП1 и АЦП2 (номер позиции в таблице векторов прерываний – 18, см. табл. 63 Руководства [13]) установкой в единицу 18-го бита регистра *NVIC\_ISER[0]* (см. пункт 4.3.2 Руководства [18], а также подпункт 7.3.2.18)

\*/

```
NVIC->ISER[0] |= 0x00040000;
```

/\*

Конфигурирование 1-го регистра управления АЦП1 (см. пункт 11.12.2 Руководства [13]):

- разрешение срабатывания АОД по выбранным как регулярным (0-му), так и инжектированным (1-му) каналам, установкой в единицу 23-го (*AWDEN*) и 22-го (*JAWDEN*) битов;

- выбор варианта опроса каналов *Auto-injection* (см. подпункт 10.3.11.15); в данном примере - поочередного преобразования вначале по 0-му (регулярному), затем по 1-му (инжектированному) каналу; выбор варианта *Auto-injection* осуществляется установкой в единицу 10-го бита (*JAUTO*);

- разрешение автоматического сканирования выбранных каналов (см. подпункт 10.3.11.8) установкой в единицу 8-го бита (*SCAN*);

- разрешение прерываний по срабатыванию АОД установкой в единицу 6-го бита (*AWDIE*).

\*/

*ADC1->CR1 = 0x00C00540;*

*/\**

Разрешение режима непрерывного сканирования (см. подпункт 10.3.11.) выбранных каналов (0-го и 1-го) установкой в единицу 1-го бита (*CONT*) 2-го регистра управления АЦП1 (см. пункт 11.12.3 Руководства [13])

*\*/*

*ADC1->CR2 |= 0x00000002;*

*/\**

Выбор числа и номеров каналов, включаемых в группу инжектированных. Выбор производится с помощью регистра *ADC1\_JSQR* (см. пункт 11.12.12 Руководства [13]):

- содержимое битового поля *JL[1:0]* (20-й и 21-й биты регистра *ADC1\_JSQR*) оставлено нулевым, что соответствует включению только одного канала в группу инжектированных;

- указание номера канала, включаемого в группу инжектированных, в битовом поле *JSQ4[4:0]* (биты с 15-го по 19-й регистра *ADC1\_JSQR*); в данном примере в группу инжектированных включен 1-й канал, что соответствует содержимому битового поля *JSQ4[4:0]*, равному 00001; см. также примечания к пункту 11.12.12 Руководства [13].

*\*/*

*ADC1->JSQR = 0x00008000;*

*/\**

### **Примечания.**

1. Число и номера каналов, включаемых в группу регулярных, задаются регистрами *ADC1\_SQR1* – *ADC1\_SQR3* (см. пункты 11.12.9 – 11.12.11 Руководства [13]). Содержимое данных регистров оставлено нулевым («по умолчанию»), что соответствует одному регулярному каналу с номером 0.

2. Время выборки по каналам оставлено равным 1,5 периодам синхросигнала АЦП («по умолчанию»), т. е. 1,5 мкс.

*\*/*

*/\**

Задание верхнего и нижнего пороговых значений результата АЦ-преобразования в соответствии с пунктом 1 алгоритма мониторинга и управления

*\*/*

*ADC1->HTR = xmax;*

*ADC1->LTR = 0x00000000;*

*/\**

Вывод АЦП1 из режима пониженного энергопотребления установкой в единицу 0-го бита (*ADON*) 2-го регистра управления АЦП1 (см. пункт 11.12.3 Руководства [13])

*\*/*

```

ADC1->CR2 |= 0x00000001;
////////////////////////////////////////////////////////////////
//Конфигурирование других используемых функциональных блоков МК
...
////////////////////////////////////////////////////////////////
/*
В соответствии с пунктом 1 алгоритма мониторинга и управления:
- обнуление счетчика прерываний и суммы результатов преобразований;
- включение нагревателя и индикатора режима нагрева;
- задержка на время примерно 100 мс;
- запуск АЦ-преобразований записью единицы в предварительно
установленный в единицу бит ADON 2-го регистра управления АЦП1 (см.
пункт 11.12.3 Руководства [13]); после запуска АЦП работает в режиме
непрерывного сканирования 0-го и 1-го каналов (см. подпункт 10.3.11.12).
*/
i = 0;
x = 0;
GPIOA->ODR |= 0x000C;
for(j=0;j<54000;j++);
ADC1->CR2 |= 0x00000001;
////////////////////////////////////////////////////////////////
//"Бесконечный" цикл
while (1)
{
//Основной программный код
...
}

}
////////////////////////////////////////////////////////////////
/*

```

Подпрограмма обработки прерываний по срабатывании АОД АЦП1

**Примечание.** Для прерываний от АЦП1 и АЦП2 в таблице векторов прерываний МК модельного ряда *STM32F10xxx* выделена только одна позиция (см. табл. 63 Руководства [13]). Поэтому при поступлении прерывания и от АЦП1, и от АЦП2, вызванному любым событием, ЦП осуществит переход к подпрограмме *ADC1\_2\_IRQHandler*. Вообще говоря, по переходу к данной подпрограмме должен быть выполнен опрос признаков событий, потенциально являющихся источниками прерываний от АЦП1 и АЦП2, для выявления события, вызвавшего прерывание (см. подпункт 7.3.2.15). В данном

конкретном примере разрешено прерывание только по одному событию – срабатыванию АОД АЦП1, поэтому опрос не требуется.

```
*/
```

```
void ADC1_2_IRQHandler(void)
```

```
{
```

```
//Выполнение пункта 3.1 алгоритма мониторинга и управления
```

```
ADC1->SR &= 0xFFFFFEE;
```

```
x = x + (((ADC1->DR)+(ADC1->JDR1))/2);
```

```
i = i + 1;
```

```
//Если число прерываний достигло 10-ти – выполнение пункта 3.2 алгоритма
```

```
if(i == 10)
```

```
{
```

```
x = x / 10;
```

```
/*
```

Если среднее значение результатов АЦ-преобразования больше верхнего порогового значения – выполнение пункта 3.3 алгоритма

```
*/
```

```
if(x > (ADC1->HTR))
```

```
{
```

```
GPIOA->ODR &= 0xFFF3;
```

```
for(j=0;j<54000;j++);
```

```
GPIOA->ODR |= 0x0030;
```

```
ADC1->HTR = 0x0000FFF;
```

```
ADC1->LTR = xmin;
```

```
}
```

```
/*
```

Если среднее значение результатов АЦ-преобразования меньше нижнего порогового значения – выполнение пункта 3.4 алгоритма

```
*/
```

```
if(x < (ADC1->LTR))
```

```
{
```

```
GPIOA->ODR &= 0xFFCF;
```

```
for(j=0;j<54000;j++);
```

```
GPIOA->ODR |= 0x000C;
```

```
ADC1->HTR = xmax;
```

```
ADC1->LTR = 0x00000000;
```

```
}
```

```
//Выполнение пункта 3.5 алгоритма и выход из подпрограммы
```

```
i = 0;
```

```
x = 0;
```

```
}
```

```
}
```

## 10.4 Типовые структурно-архитектурные решения и основы применения встроенных ЦАП МК

### 10.4.1. Общие положения

При контроле и управлении техническими объектами (которые, напомним, являются основными областями применения МК общего назначения) часто возникает необходимость формирования аналоговых сигналов (напряжений или токов), управляемых цифровым кодом. Данные задачи решаются посредством устройств, называемых **цифро-аналоговыми преобразователями (ЦАП)**.

ЦАП, в общем случае, представляет собой источник аналогового сигнала (напряжения или тока), значение которого является некоторой функцией (как правило – линейной) от числового эквивалента входного (управляющего) двоичного кода ЦАП.

Наиболее распространены на практике следующие разновидности ЦАП [20, 23]:

- ШИМ-ЦАП;
- ЦАП на основе управляемых кодом делителей напряжения или тока.

ШИМ-ЦАП применяются для формирования кодоуправляемых постоянных или низкочастотных аналоговых сигналов (в диапазоне до сотен Гц – единиц кГц). Они реализуются на основе таймеров МК; вопросы их реализации освещены в пункте 9.3.2, а также подпункте 9.5.2.2 раздела 9; останавливаться на них еще раз излишне. Следует только отметить, что кодоуправляемые аналоговые сигналы, формируемые в системах контроля и управления техническими объектами, в основном, находятся именно в частотном диапазоне от нуля до сотен Гц (реже – единиц кГц). Поэтому большинство современных семейств МК общего назначения **предоставляют** возможность реализации ШИМ-ЦАП, за счет наличия в их составе таймеров с функцией ШИМ (см. пункт 9.3.3).

ЦАП на основе управляемых кодом делителей напряжения или тока позволяют формировать сигналы в частотном диапазоне до десятков – сотен кГц. Задачи формирования таких сигналов в системах контроля и управления техническими объектами

встречаются значительно реже. Поэтому встроенными ЦАП данной категории снабжаются МК не всех семейств / модельных рядов. В частности, они отсутствуют в составе МК практически всех семейств класса «*cost-sensitive*», большинства семейств класса «*mainstream*» (в т. ч. семейства *AVR* [6]), а также относительно простых МК класса «*high performance*» (например, большинства моделей МК подсемейства *ARM Cortex-M0* [9]). С другой стороны, ЦАП на основе кодоуправляемых делителей входят в структуру, например, МК семейства *ATxmega* [21], некоторых моделей МК модельного ряда *STM32F10xxx* [13], а также большинства моделей подсемейства *ARM Cortex-M4* (см., например, [14]). Поэтому типовые структурно-архитектурные решения встроенных ЦАП данной категории подлежат рассмотрению. В качестве их типового примера будем использовать структуру и архитектуру блока ЦАП МК подсемейства *ARM Cortex-M4*, модельный ряд *STM32F4xx* [14].

Следует отметить, что встроенные ЦАП МК общего назначения практически без исключения являются линейными. Поэтому в дальнейшем, по умолчанию, будут рассматриваться только ЦАП с **линейной** характеристикой преобразования.

#### **10.4.2. Принципы реализации ЦАП МК семейства *ARM Cortex-Mx***

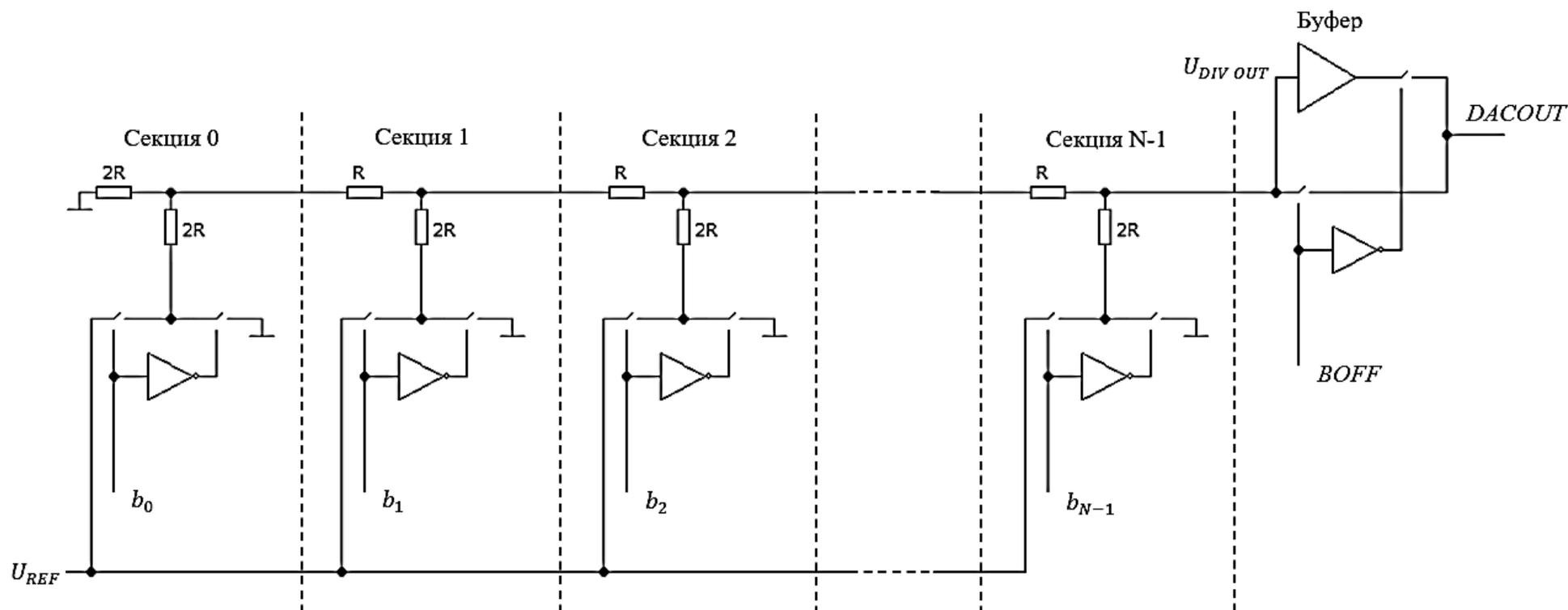
В общем, ЦАП могут строиться на основе как резистивных кодоуправляемых делителей напряжения или тока [20, 23], так и емкостных кодоуправляемых делителей напряжения. Последние известны под названием «ЦАП на переключаемых конденсаторах» (ПК-ЦАП) [65].

В отличие от встроенных АЦП МК семейства *ARM Cortex-Mx*, которые реализуются по схемам на переключаемых конденсаторах (см. пункт 10.3.7), ЦАП МК данного семейства строятся на основе кодоуправляемых резистивных делителей напряжения типа  $R-2R$  [9]. Несмотря на преимущества ПК-технологии, указанные в подпункте 10.3.7.3, ее использование для реализации ЦАП связано с проблемой хранения напряжений на конденсаторах емкостного делителя ЦАП. Действительно, поскольку порядок емкостей конденсаторов

интегрального ПК-ЦАП составляет десятые доли – единицы пФ, неизбежен их быстрый (в течение десятков мкс) разряд токами утечки ключей, током нагрузки ЦАП и т. п. Поэтому для возможности практического использования ПК-ЦАП необходима **регенерация** напряжений на конденсаторах с периодом порядка единиц – десятков мкс, реализуемая на аппаратном или программном уровне, что приведет к существенному усложнению схемы ЦАП или ПО, управляющего им. Заметим, что регенерация напряжений на конденсаторах **ПК-АЦП** (см. подпункт 10.3.7.4) осуществляется **естественным** путем, при каждой выборке, и, если сумма времени выборки и времени преобразования выходного напряжения БВХ в код не превышает максимально допустимое значение (см., например, табл. 47 Datasheet [10]), специальных мер по регенерации не требуется.

Ввиду сказанного, встроенные ЦАП большинства распространенных семейств МК общего назначения (в т. ч. семейства *ARM Cortex-Mx*) реализуются на базе не требующих регенерации кодоуправляемых резистивных делителей напряжения. В частности ЦАП МК семейства *ARM Cortex-Mx* строятся по схеме кодоуправляемого делителя опорного напряжения на основе коммутируемой резистивной матрицы  $R-2R$  [9]. Упрощенная функциональная схема ЦАП МК семейства *ARM Cortex-Mx* приведена на рис. 10.58.

Кодоуправляемый делитель опорного напряжения состоит из одной секции младшего разряда, обозначенной на рис. 10.58 как Секция 0, и  $N - 1$  секций (с 1-й по  $N - 1$ -ю), реализуемых по однотипным схемам, где  $N$  – разрядность ЦАП, равная 12-ти у ЦАП МК семейства *ARM Cortex-Mx*. Сопротивления резисторов, обозначенных на рис. 10.58 как  $2R$ , в 2 раза больше сопротивлений резисторов, обозначенных как  $R$ , причем сопротивления как всех резисторов  $R$ , так и всех резисторов  $2R$  равны между собой. Нижние по схеме выводы резисторов  $2R$  при единичном состоянии соответствующего бита входного кода подключаются к опорному напряжению ЦАП, при нулевом – к общей шине.



$U_{REF}$  – опорное напряжение ЦАП  
 $b_i$  ( $i = 0 \dots N - 1$ ) – биты входного кода ЦАП  
 $U_{DIV\ OUT}$  – выходное напряжение делителя  
 $BOFF$  – бит отключения буфера  
 $DACOUT$  – выход ЦАП

Рис. 10.58. Упрощенная функциональная схема ЦАП МК семейства ARM Cortex-Mx [9]

Напряжение на выходе делителя, обозначенное на рис. 10.58 как  $U_{DIV OUT}$ , равно (в предположении, что погрешности ЦАП отсутствуют, а к выходу делителя не подключено никаких элементов нагрузки, кроме входа буферного повторителя):

$$U_{DIV OUT} = U_{REF} \sum_{i=0}^{N-1} (b_i 2^i / 2^N); \quad (10.54)$$

Выходное сопротивление делителя  $R-2R$  может считаться независимым от входного кода ЦАП [66] и равным примерно  $R$ . Оно сравнительно велико; например, у ЦАП МК модельного ряда *STM32F4xx* составляет порядка 15 кОм [29], в связи с чем сопротивление нагрузки, подключаемой к выходу делителя, должно быть не менее 1,5 МОм [29]. Для возможности работы ЦАП на нагрузку с меньшим сопротивлением в структуру блока ЦАП МК включается буферный усилитель с высоким входным и низким выходным сопротивлением (см. рис. 10.58). По умолчанию, выходное напряжение делителя передается на выход ЦАП через буфер (бит *BOFF* равен нулю, см. подпункт 10.4.6.2). Опционально, оно может передаваться напрямую, установкой бита *BOFF* в единичное состояние. Такая конфигурация выхода ЦАП используется, например, если внутренний буферный усилитель не обеспечивает требуемого быстродействия ЦАП, и необходимо подключение внешнего буфера [66].

Функциональная схема, приведенная на рис. 10.58, является несколько упрощенной, для облегчения понимания принципа ее функционирования. Реальные ЦАП МК семейства *ARM Cortex-Mx*, в частности, отличаются более сложной схемой реализации выходного каскада. Подробнее вопросы схемотехники ЦАП МК изложены, например, в *Application note* [66].

### 10.4.3. Базовые параметры ЦАП

**10.4.3.1.** Основными статическими параметрами ЦАП являются:

- разрядность;

- диапазон выходного напряжения;
- максимально допустимый выходной ток;
- статические **инструментальные** погрешности, к которым относятся погрешность смещения (*Offset error*); мультипликативная погрешность (*Gain error*) и погрешности от нелинейности (в первую очередь – интегральная нелинейность, *INL*).

В свою очередь, к основным **динамическим** параметрам ЦАП относятся:

- время установления (*Settling time*);
- максимальная скорость обновления входного кода (*Update rate*).

**10.4.3.2. Разрядность ЦАП** определяется как число битов его входного кода. Очевидно, от разрядности ЦАП зависит минимальный шаг, с которым может задаваться выходной сигнал (напряжение или ток) ЦАП. В частности, для ЦАП, схема которого приведена на рис. 10.58, данный шаг равен  $U_{REF}/2^N$ . Он же представляет собой аналоговый эквивалент единицы младшего значащего разряда (**ЕМЗР**) ЦАП; в дальнейшем, для краткости именуемый ЕМЗР ЦАП. Разрядность ЦАП, аналогично разрядности АЦП (см. подпункт 10.3.2.1) также косвенно характеризует пределы остаточной погрешности преобразования кода в напряжение (ток), в соответствии с выражением (10.15). Очевидно, если в конечной точке шкалы ЦАП (т. е. при числовом эквиваленте входного кода, равном  $2^N - 1$ ) данная погрешность равна  $\pm 0,05\%$ , разрядность входного кода ЦАП более 10-ти бит не имеет смысла.

**10.4.3.3. Диапазон выходного напряжения ЦАП**, схема которого приведена на рис. 10.58, находится в пределах от 0 до  $U_{REF}$ . Максимальный выходной ток равен максимально допустимому выходному току буфера (внутреннего или внешнего). Если для управления ИУ необходимы напряжение или / и ток, превышающие максимальные выходные напряжение или / и ток ЦАП, необходимо применение одного из вариантов устройств сопряжения, описанных в пункте 10.5.2.

**10.4.3.4. Статические инструментальные погрешности ЦАП** выражают отклонение его характеристики преобразования от идеальной. Реальная характеристика преобразования ЦАП, в общем

случае, имеет следующий вид (ср. с выражениями (10.16) – (10.18), описывающими реальную характеристику преобразования АЦП):

$$X_{OUT} = (K_{DAC}N_{DAC}/2^N) + \Delta X_{OUT} + (\Delta K_{DAC}N_{DAC}/2^N) + \Delta_{NL}(N_{DAC}); \quad (10.55)$$

где  $X_{OUT}$  – значение выходного аналогового сигнала ЦАП (напряжения или тока);  $K_{DAC}$  и  $\Delta K_{DAC}$  – соответственно номинальное значение и абсолютная погрешность коэффициента преобразования ЦАП (в частности, коэффициент  $K_{DAC}$  ЦАП, схема которого приведена на рис. 10.58, равен произведению номинальных значений опорного напряжения и коэффициента передачи);  $N_{DAC}$  – числовой эквивалент входного кода ЦАП;  $\Delta X_{OUT}$  – погрешность смещения;  $\Delta_{NL}(N_{DAC})$  – погрешность от нелинейности.

**Погрешность смещения** ЦАП, вообще говоря, представляет собой значение выходного аналогового сигнала при нулевом  $N_{DAC}$ . Ввиду того, что у ЦАП МК данный сигнал является однополярным, погрешность смещения часто нормируется как выраженное в ЕМЗР или в милливольтках отклонение выходного напряжения ЦАП от половины номинального опорного напряжения при входном коде ЦАП 100...0, т. е. при числовом эквиваленте данного кода, равном половине его максимального значения; см., например, табл. 74 *Datasheet* [29].

**Мультипликативная** составляющая погрешности ЦАП равна  $\Delta K_{DAC}N_{DAC}/2^N$ . Она нормируется в ЕМЗР или в процентах от максимального выходного напряжения.

**Погрешность от нелинейности**, аналогично той же составляющей погрешности АЦП (см. подпункт 10.3.2.5), определяется как отклонение реальной характеристики преобразования ЦАП от прямой линии **после устранения** аддитивной и мультипликативной погрешностей (на практике – сведения их суммы до уровня, меньшего ЕМЗР). Основным нормируемым параметром ЦАП (как и АЦП), характеризующим погрешность от нелинейности, является **интегральная нелинейность** (*INL*). Аналогично тому же параметру АЦП (см. рис. 10.17) она определяется как максимальное (во всем диапазоне изменения  $N_{DAC}$ ) отклонение реальной характеристики преобразования от прямой линии после устранения аддитивной и

мультипликативной погрешностей. Как правило, интегральная нелинейность ЦАП, как и АЦП, нормируется в ЕМЗР.

Например, нормируемые *Datasheet* [29] составляющие погрешности ЦАП МК модельного ряда *STM32F4xx* находятся в пределах:

- аддитивная погрешность -  $\pm 12$  ЕМЗР;
- мультипликативная погрешность -  $\pm 0,5\%$ ;
- интегральная нелинейность -  $\pm 4$  ЕМЗР при 12-битовой конфигурации;  $\pm 1$  ЕМЗР при 10-битовой.

Из сказанного следует, что для минимизации **относительных** погрешностей ЦАП желательно, чтобы максимальное значение формируемого им сигнала было равно напряжению или току **полной шкалы** ЦАП (т. е. максимально возможному выходному напряжению или току ЦАП), сравните с рекомендациями по уменьшению относительной погрешности АЦП, приведенными в подпункте 10.3.2.7.

Вопросы **коррекции** аддитивной и мультипликативной погрешностей ЦАП освещены в пункте 10.4.4.

**10.4.3.5.** Как указано в подпункте 10.4.3.1, основными **динамическими** параметрами ЦАП являются время установления и максимальная скорость обновления входного кода.

**Время установления** (*Settling time*) определяется как длительность интервала времени от момента изменения  $N_{DAC}$  на определенное значение (как правило, на максимально возможное, т. е. на  $2^N - 1$ ) до момента установления выходного сигнала ЦАП с заданной погрешностью, при определенных значениях сопротивления и емкости нагрузки. Например, в *Datasheet* [29] МК модельного ряда *STM32F4xx* время установления ЦАП определяется как длительность интервала от момента изменения входного кода ЦАП на  $2^{10} - 1$  до момента установления выходного кода с погрешностью  $\pm 4$  ЕМЗР (т. е. равной максимальному значению интегральной нелинейности, см. подпункт 10.4.3.3), при сопротивлении нагрузки не более 5 кОм и емкости нагрузки не более 50 пФ. При перечисленных условиях время установления ЦАП МК модельного ряда *STM32F4xx* не превышает 6 мкс (см. табл. 74 *Datasheet* [29]).

**Максимальная скорость обновления** входного кода определяется как максимальная частота последовательного инкрементирования  $N_{DAC}$  (т. е. его увеличения на ЕМЗР), при которой обеспечивается корректная работа ЦАП, т. е. нормируемые значения его погрешностей. Значение данного параметра ЦАП МК модельного ряда *STM32F4xx*, при сопротивлении нагрузки не более 5 кОм и емкости нагрузки не более 50 пФ, равно 1 *MS/s* (*Mega sample per second*), т. е. фактически 1 МГц (см. табл. 74 *Datasheet* [29]).

Динамические параметры ЦАП (в частности, ЦАП МК модельного ряда *STM32F4xx*) нормируются при условии, что задействован выходной буфер (см. рис. 10.58). Время установления может быть уменьшено, а скорость обновления входного кода увеличена использованием высокочастотного внешнего буферного усилителя при отключенном внутреннем [66]. При этом калибровка ЦАП (см. пункт 10.4.4) **обязательна**.

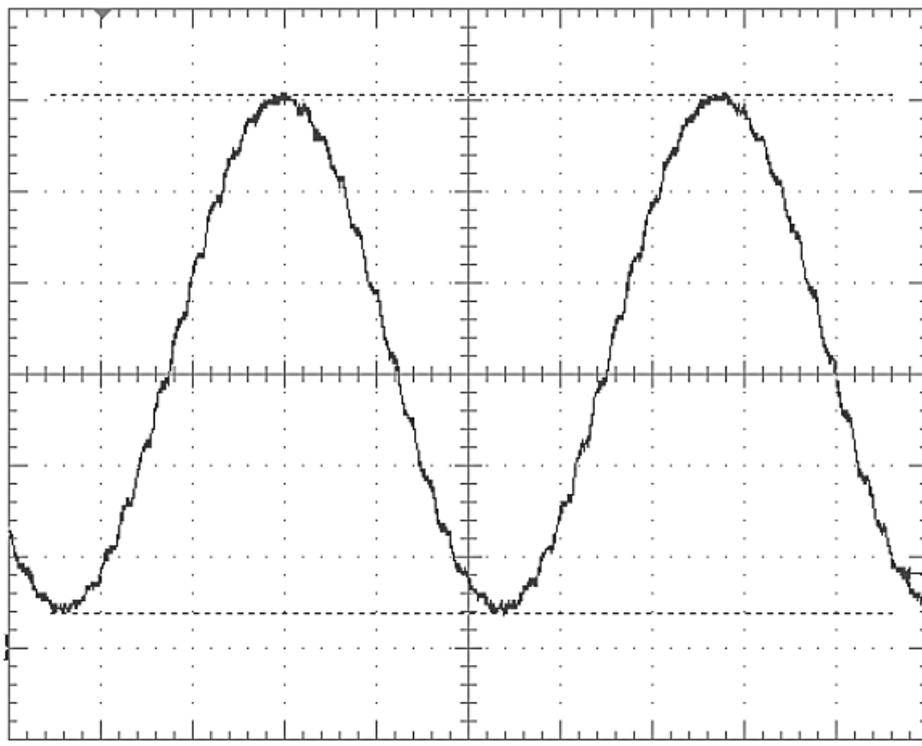
**10.4.3.6.** Необходимо отметить одну важную **особенность** переходных процессов, возникающих при изменениях входного кода ЦАП с  $x \dots x01x \dots x$  на  $x \dots x10x \dots x$  или в обратном направлении (где  $x \dots x$  – безразличное состояние битов). При таких изменениях в выходном сигнале ЦАП возникают кратковременные **выбросы**, «глитчи» (*glitches*), см. пример осциллограммы выходного напряжения ЦАП МК, приведенный на рис. 10.59 [66].

Максимальная амплитуда (до половины полной шкалы) и длительность выброса имеют место на так называемом **главном переходе** кода – с 0111...1 на 1000...0 или в обратном направлении. Для ИМС ЦАП (особенно быстродействующих) амплитуда и длительность выброса на главном переходе нормируются технической документацией на ИМС. Более того, в качестве нормируемого времени установления выходного сигнала ряда ИМС ЦАП выступает именно длительность установления при главном переходе. Для встроенных ЦАП МК общего назначения данный параметр, как и амплитуда выбросов, как правило, не нормируются (см., например, [29]). В таких случаях приближенно можно считать, что:

- **длительность** «глитча» примерно равна времени установления ЦАП (см. подпункт 10.4.3.4);

- **амплитуда** «глитча» не превышает значения  $\min\{X_{DACOUT}, X_{REF} - X_{DACOUT}\}$  (если выходной сигнал ЦАП является однополярным, что характерно для встроенных ЦАП МК).

- **направление** «глитча» ЦАП на основе матрицы  $R-2R$  (см. рис. 10.58), как правило, противоположно направлению переключения «полезного» сигнала (см. приведенный далее рис. 10.63).



**Рис. 10.59.** Пример оциллограммы выходного напряжения ЦАП МК [66]

При практическом использовании ЦАП для формирования переменных сигналов, должно быть обеспечено подавление / устранение «глитчей» (см. подпункты 10.4.5.5 и 10.4.5.6).

**10.4.3.7.** Кроме «глитчей», обусловленных переходными процессами в схеме ЦАП, при переключениях его выходного сигнала возникают выбросы, вызванные переходными процессами в паразитных емкостях и индуктивностях нагрузки ЦАП и соединительных проводников, в т. ч. печатных [69]. Снижение / устранение данных выбросов осуществляется комбинированием способов, применяемых для подавления / устранения «глитчей» (см. подпункты 10.4.5.5 и 10.4.5.6) и конструктивных методов [69] (применения элементов нагрузки с минимальными паразитными

емкостями и индуктивностями, минимизации длины соединительных проводников и т. п.).

#### 10.4.4. Коррекция погрешностей ЦАП МК

Аддитивная и мультипликативная погрешности ЦАП, аналогично тем же составляющим погрешности АЦП, могут быть минимизированы **калибровкой** ЦАП; его остаточная погрешность при этом сводится практически до значения погрешности от нелинейности.

В *Application note* [66] рекомендуется способ калибровки ЦАП МК семейства *ARM Cortex-Mx*, основанный на АЦ-преобразовании выходного напряжения ЦАП в 3-х реперных точках (т. е. при 3-х определенных значениях  $N_{DAC}$ , которые рекомендовано выбирать равными 1/4, 1/2 и 3/4 от максимального, т. е. от  $2^N - 1$ ), с последующим вычислением калибровочных поправок по результатам преобразований. Они осуществляются посредством встроенного АЦП того же МК, причем АЦП должен использовать тот же ИОН, что и ЦАП. АЦП и ИОН должны быть, в свою очередь, предварительно калиброваны (см. подпункты 10.3.11.22 и 10.3.11.23). Предполагается также, что и АЦП, и ЦАП сконфигурированы на одинаковую разрядность  $N$  как результата преобразования, так и входного кода, в приведенных в [66] примерах равную 12-ти битам.

При соблюдении перечисленных условий результат АЦ-преобразования выходного напряжения ЦАП будет равен (без учета остаточных погрешностей АЦП после калибровки):

$$N_{ADC} = U_{DACOUT} 2^N / U_{REF}; \quad (10.56)$$

где  $U_{DACOUT}$  – напряжение на выходе ЦАП (см. рис. 10.58), равное (без учета погрешности от нелинейности):

$$U_{DACOUT} = (K_{BUF} U_{REF} N_{DAC} / 2^N) + \Delta U_{DACOUT}; \quad (10.57)$$

где  $K_{BUF}$  – реальный коэффициент передачи буферного усилителя (внутреннего или внешнего), равный 1, если он не используется;  $\Delta U_{DACOUT}$  – напряжение смещения (аддитивная погрешность).

Поправка для коррекции мультипликативной погрешности (фактически – реальное значение  $K_{BUF}$ ) вычисляется по результатам преобразования, полученных в 1-й и 3-й реперных точках, т. е. при  $N_{DAC}$ , равном 1/4 и 3/4 от  $2^N - 1$ . Из выражений (10.56) и (10.57) нетрудно получить, что реальное значение  $K_{BUF}$  вычисляется следующим образом:

$$K_{BUF} = \frac{N_{ADC3} - N_{ADC1}}{N_{DAC3} - N_{DAC1}} = \frac{N_{ADC3} - N_{ADC1}}{0,5(2^N - 1)}; \quad (10.58)$$

где  $N_{ADC1}$ ,  $N_{ADC3}$  – результаты АЦ-преобразования выходного напряжения ЦАП и в 1-й и 3-й реперных точках;  $N_{DAC1}$  и  $N_{DAC3}$  – значения  $N_{DAC}$  в данных точках.

В свою очередь, аддитивная погрешность ЦАП определяется по результату преобразования во 2-й реперной точке, т. е. при  $N_{DAC}$ , равном 2047 (1/2 от  $2^N - 1$ ). На основании выражений (10.56) и (10.57), данная составляющая погрешности рассчитывается следующим образом:

$$\begin{aligned} \Delta U_{DACOUT} &= \frac{N_{ADC2} - K_{BUF} N_{DAC2}}{2^N} U_{REF} \\ &= \frac{N_{ADC2} - K_{BUF} 0,5(2^N - 1)}{2^N} U_{REF}. \end{aligned} \quad (10.59)$$

Вычисленные по выражениям (10.58) и (10.59) поправки затем используются для расчета  $N_{DAC}$ , обеспечивающего заданные значения  $U_{DACOUT}$  выходного напряжения ЦАП. Расчет производится по следующему выражению:

$$N_{DAC} = \left[ \frac{U_{DACOUT} - \Delta U_{DACOUT}}{K_{BUF} U_{REF}} 2^N \right]. \quad (10.60)$$

Здесь  $[\cdot]$  - оператор округления до ближайшего целого.

Выражения (10.58) – (10.60) справедливы при использовании как внутреннего, так и внешнего буферного усилителя [66].

*Application note* [66] рекомендует проводить калибровку, как минимум, при каждом включении питания, а также при изменении температуры окружающей среды более чем на 10°C. Естественно, необходимость в калибровке **отсутствует**, если нормируемые

*Datasheet* на МК значения погрешностей ЦАП (см., например, подпункт 10.4.3.3) удовлетворяют требованиям конкретной задачи.

Следует также отметить, что остаточные погрешности ЦАП после калибровки определяются его погрешностями от нелинейности, а также погрешностями АЦП.

В заключение необходимо отметить, что архитектура блоков ЦАП некоторых «продвинутых» модельных рядов МК семейства *ARM Cortex-Mx* (в частности, *STM32L4xxx* [67, 68]) предусматривает возможность автоматического (**на аппаратном уровне**) внесения поправки, компенсирующей аддитивную погрешность ЦАП. В состав регистров блока ЦАП МК данных модельных рядов входит регистр *DAC\_CCR* (*DAC calibration control register*), в котором имеются 5-битовые поля *OTRIM1[4:0]* и *OTRIM2[4:0]* (соответственно *DAC channel1* и *DAC channel2 offset trimming value*). В процессе производства БИС МК в данные поля записываются индивидуальные для каждой БИС поправочные коды, компенсирующие напряжение смещения по каждому из каналов ЦАП. Имеется также возможность обновления поправочных кодов в процессе работы МК, под управлением ПО, по алгоритму, представленному, например, в пункте 19.4.11 Руководства [67] и в пункте 17.4.11 Руководства [68].

#### **10.4.5. Базовые требования к периоду дискретизации сигнала, формируемого ЦАП. Фильтрация выходного сигнала ЦАП**

**10.4.5.1.** Аналогично тому, как при использовании АЦП важны выбор периода дискретизации **входного** сигнала и обеспечение стабильности данного периода (см. пункт 10.3.6), при использовании ЦАП важны выбор периода / частоты дискретизации **формируемого** аналогового сигнала и обеспечение его стабильности, а также минимизация погрешностей формирования выходного сигнала ЦАП, обусловленных конечным значением периода дискретизации и наличием выбросов выходного сигнала (см. рис. 10.59).

Частота дискретизации выходного сигнала ЦАП фактически равна скорости обновления входного кода ЦАП (см. также подпункт 10.4.3.4); период дискретизации, естественно, обратен ее частоте.

Частота / период дискретизации, в целом, не играют существенной роли, если ЦАП используется для формирования кодоуправляемых постоянных сигналов. Однако, их значения критичны, если ЦАП выполняет функцию формирования переменного сигнала, причем значение периода дискретизации тем значительнее, чем выше частота данного сигнала.

**10.4.5.2.** С математической точки зрения, формирование переменного сигнала посредством ЦАП представляет собой ступенчатую аппроксимацию данного сигнала, что иллюстрирует рис. 10.60. На нем представлены идеализированные (не учитывающие наличия выбросов) временные диаграммы выходного сигнала ЦАП (ступенчатая линия) и аппроксимируемого им аналогового (гармонического) сигнала.

На рис. 10.60а и 10.60б частота дискретизации соответственно в 16 раз и в 64 раза выше частоты формируемого гармонического сигнала. Период дискретизации на рис. 10.60 обозначен как  $T_{DAC}$ .

В реальных выходных сигналах ЦАП также присутствуют выбросы, см. рис. 10.59.

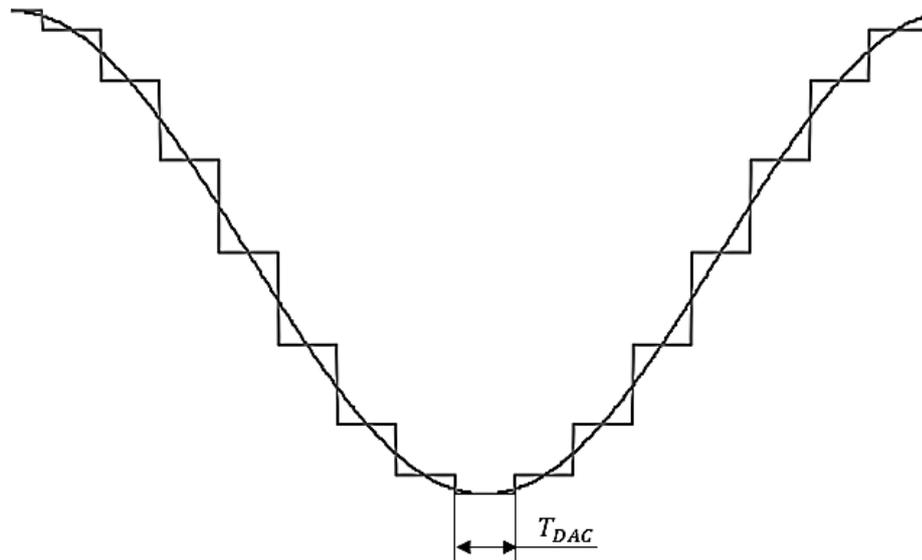
**10.4.5.3.** Из рис. 10.60 нетрудно заметить, что конечное значение периода дискретизации приводит к **отклонениям** выходного сигнала ЦАП от аппроксимируемого сигнала. Отклонения тем больше, чем меньше отношение частоты дискретизации к частоте формируемого сигнала и, соответственно, его периода к периоду дискретизации.

Присутствие «глитчей» в выходном сигнале ЦАП (см. подпункт 10.4.3.5), а также выбросов, обусловленных паразитными индуктивностями и емкостями нагрузки и соединительных проводников, является дополнительным источником его отклонений от аппроксимируемого сигнала.

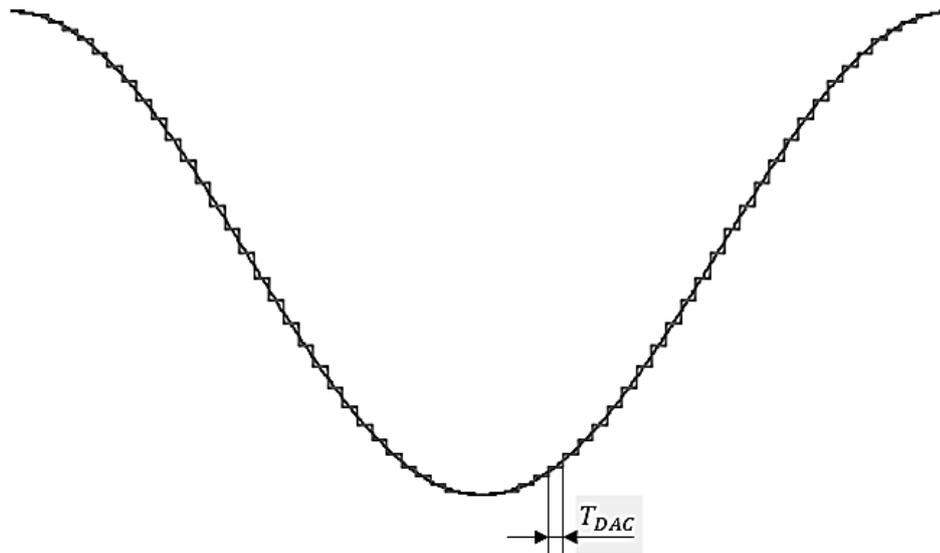
**10.4.5.4.** В частотной области конечное значение частоты / периода дискретизации выходного сигнала ЦАП приводит к появлению в его составе паразитных спектральных компонент (гармоник) с частотами [56, 59]:

$$f_n = (n/T_{DAC}) \mp (1/T_s), n = 1, 2, 3, \dots \quad (10.61)$$

где  $T_s$  – период аппроксимируемого сигнала. Амплитуды данных компонент убывают с увеличением  $n$  (т. е. с возрастанием их частоты).



а)



б)

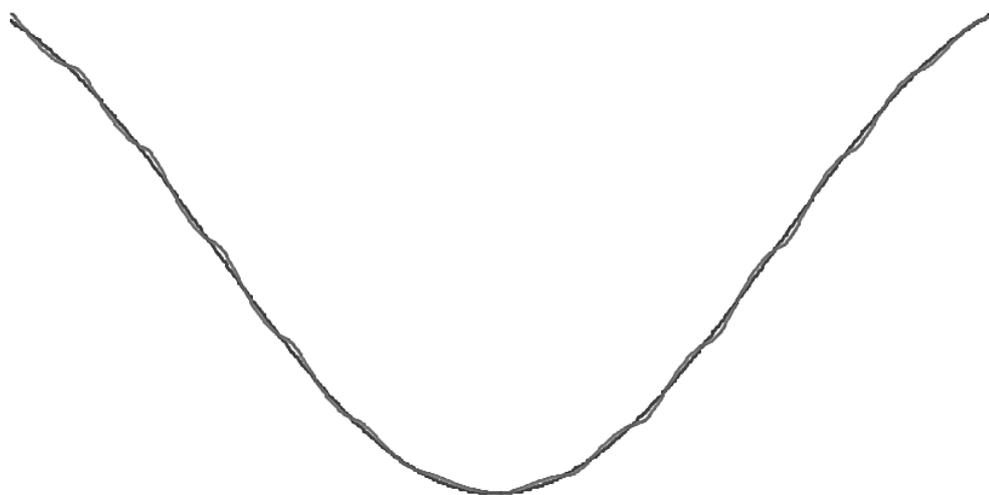
**Рис. 10.60.** Временные диаграммы, поясняющие влияние периода дискретизации выходного сигнала ЦАП на погрешность его формирования (см. пояснения в тексте)

Чем выше частота дискретизации по сравнению с частотой аппроксимируемого сигнала, тем больше отношение частот паразитных гармоник к частотам спектральных составляющих

аппроксимируемого сигнала и, следовательно, тем проще отделить фильтрацией «полезные» спектральные компоненты от паразитных.

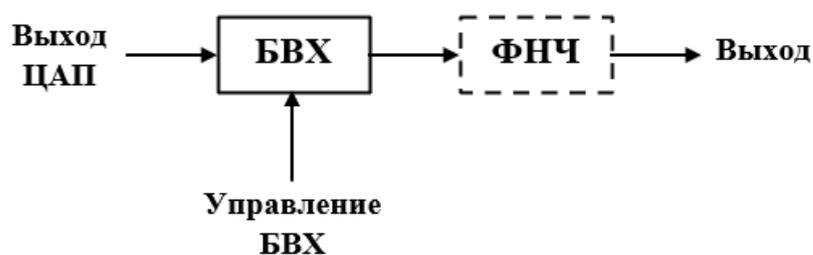
Присутствие «глитчей» в выходном сигнале ЦАП, а также выбросов, обусловленных паразитными индуктивностями и емкостями нагрузки и соединительных проводников, приводит к появлению в его спектре дополнительных компонент, распределенных по диапазону частот от  $1/T_s$  и (теоретически) до бесконечности. Амплитуды данных компонент убывают с ростом частоты, причем они меньше, чем у ближайших к ним по частоте спектральных составляющих, описываемых выражением (10.61).

**10.4.5.5.** Уровень паразитных спектральных составляющих сигнала, формируемого ЦАП, а также его отклонения от аппроксимируемого сигнала могут быть уменьшены НЧ-фильтрацией («сглаживанием») выходного сигнала ЦАП, что иллюстрирует рис. 10.61. На нем представлены временные диаграммы аппроксимируемого гармонического сигнала и аппроксимирующего его выходного сигнала ЦАП, приведенного на рис. 10.60а, после его фильтрации ФНЧ Баттерворта 2-го порядка с частотой среза, равной  $0,5/T_{DAC}$ . Фазовый сдвиг, вносимый ФНЧ, скомпенсирован. Из рис. 10.61 нетрудно заметить, что отклонение сигнала, полученного в результате фильтрации, от аппроксимируемого сигнала существенно меньше, чем отклонение от него выходного сигнала ЦАП (см. рис. 10.60а).



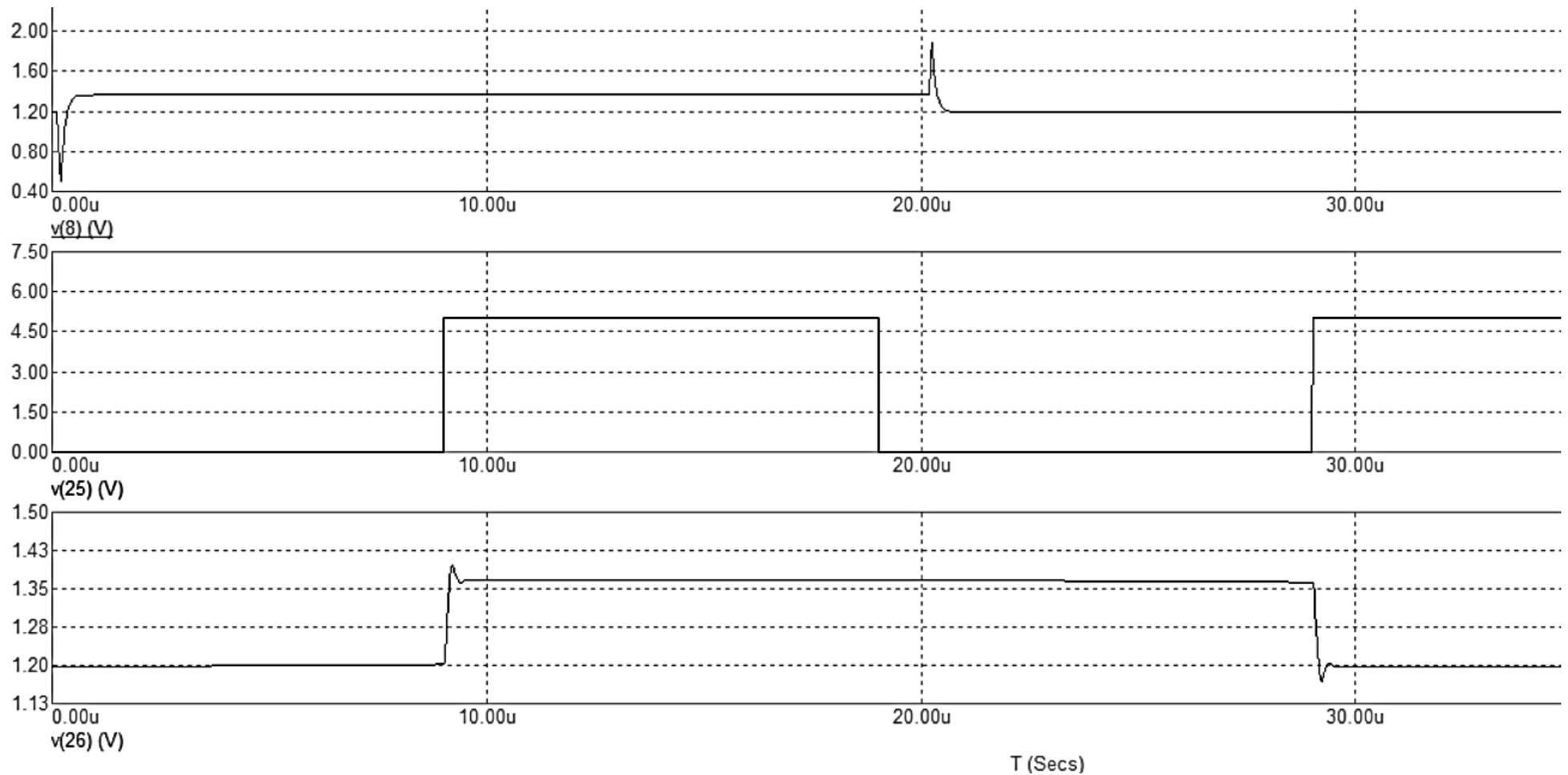
**Рис. 10.61.** Влияние НЧ-фильтрации выходного сигнала ЦАП на погрешность его формирования (см. пояснения в тексте)

**10.4.5.6.** Следует отметить, что, кроме **подавления** выбросов выходного сигнала ЦАП (как «глитчей», так и выбросов, обусловленных паразитными индуктивностями и емкостями нагрузки и соединительных проводников), способом «классической» НЧ-фильтрации, может быть применен способ их **устранения** (на практике – снижения до пренебрежимо малых значений), основанный на применении БВХ. Данный способ поясняют структурная схема, приведенная на рис. 10.62, и представленные на рис. 10.63 временные диаграммы.



*Рис. 10.62.* Структурная схема реализации способа устранения выбросов выходного напряжения ЦАП

Способ устранения выбросов выходного сигнала ЦАП с помощью БВХ состоит в следующем. БВХ осуществляет выборку выходного напряжения ЦАП с задержкой по отношению к моментам изменения входного кода ЦАП, гарантированно превышающей длительность выброса (см. рис. 10.63). В моменты переключения выходного сигнала ЦАП БВХ находится в режиме хранения напряжения, выбранного в предыдущем периоде дискретизации. В результате выходной сигнал БВХ повторяет выходное напряжение ЦАП, со смещением во времени, равным задержке моментов выборки относительно моментов переключения выхода ЦАП; для большинства задач практического применения ЦАП данное смещение не критично. При этом, если БВХ идеален, выбросы в его выходном напряжении отсутствуют. На практике при переходе БВХ из режима выборки в режим хранения возникают выбросы, вызванные переходными процессами в схеме БВХ (см. подпункт 10.3.4.7 и рис. 10.24), однако амплитуда этих выбросов минимум на порядок меньше амплитуды выбросов выходного напряжения ЦАП (см. рис. 10.63). Они могут быть подавлены ФНЧ, подключенным к выходу БВХ (см. рис. 10.62).



$v(8)$  – выходное напряжение ЦАП  
 $v(25)$  – управляющее напряжение БВХ (единица – режим выборки, ноль – режим хранения)  
 $v(26)$  – выходное напряжение БВХ

**Рис. 10.63.** Временные диаграммы, поясняющие способ устранения «глитчей», реализуемый приведенной на рис. 10.62 структурной схемой

Следует отметить, что переходные процессы, возникающие при заряде запоминающей емкости БВХ (см. подпункт 10.3.4.5), в целом, приводят к положительному эффекту «сглаживания» (т. е. НЧ-фильтрации) выходного напряжения ЦАП. Однако, при этом должны соблюдаться приведенные ниже требования к временным параметрам БВХ.

Для реализации описанного способа устранения выбросов:

- период управляющего сигнала БВХ должен быть равен периоду дискретизации выходного сигнала ЦАП ( $T_{DAC}$ );
- длительности интервалов выборки и хранения должны быть равны (т. е. скважность управляющего сигнала БВХ должна быть равна 2-м, см. рис. 10.63);
- время выборки БВХ должно быть меньше, чем  $T_{DAC}/2$ ;
- задержка момента перехода БВХ из режима хранения в режим выборки относительно момента переключения выходного сигнала ЦАП, которую обозначим  $t_{D H/S}$  должна удовлетворять условию:

$$\max\{t_{GLITCH}, t_{TRANS}\} < t_{D H/S} < T_{DAC} - t_A;$$

где  $t_{GLITCH}$ ,  $t_{TRANS}$  – длительность соответственно «глитча» и выброса, обусловленного паразитными индуктивностями и емкостями нагрузки и соединительных проводников,  $t_A$  – апертурное время БВХ (см. рис. 10.23 и пояснения к нему).

На практике управление БВХ, как и управление ЦАП, осуществляет МК. Рациональным представляется загрузку входных кодов ЦАП и формирование управляющего сигнала БВХ производить посредством таймера, причем одного и того же.

Естественно, описанный способ применим при условиях, что перечисленные требования могут быть удовлетворены, а также допустимо использование внешнего (по отношению к МК) БВХ.

**10.4.5.7.** Таким образом, при использовании ЦАП, в общем случае, необходимо:

- выбрать период  $T_{DAC}$  дискретизации выходного сигнала ЦАП;
- определить способ «сглаживания» сигнала, формируемого ЦАП, в т. ч. подавления / устранения выбросов его выходного сигнала («классическая» НЧ-фильтрация или способ, описываемый рис. 10.62);

- выбрать порядок и частоту среза ФНЧ (при его использовании).

В зависимости от конкретной задачи, для решения которой применяется ЦАП, выбор  $T_{DAC}$ , способа «сглаживания» выходного сигнала ЦАП и параметров ФНЧ может осуществляться:

- по обеспечиваемым отклонениям формируемого сигнала от аппроксимируемого, если приоритетной является точность формирования сигнала во временной области (например, если ЦАП применяется для генерирования некоторого тестового сигнала заданной формы);

- по обеспечиваемому уровню паразитных спектральных компонент формируемого сигнала в некотором диапазоне / диапазонах частот, если приоритетным является спектральный состав формируемого сигнала (например, при использовании ЦАП для генерации сигналов, передаваемых по каналам связи).

Из сигналов, для которых приоритетна точность формирования во временной области, посредством ЦАП на практике наиболее часто генерируются **треугольные** и **пилообразные**, реже **прямоугольные**. ЦАП достаточно широко используются также для формирования **гармонических** сигналов, при генерации которых, как правило, приоритетным является уровень паразитных спектральных компонент (см. подпункт 10.4.5.15). Архитектура блоков ЦАП некоторых модельных рядов МК, в частности, *STM32F4xx* [14], предусматривает также возможность генерации **псевдослучайных** (шумоподобных) сигналов, погрешности формирования которых ни во временной, ни в частотной области не критичны.

Формирование других классов сигналов, кроме перечисленных, в практике применения ЦАП МК общего назначения встречается достаточно редко.

**10.4.5.8.** В качестве основного параметра, характеризующего **отклонения** формируемого сигнала от аппроксимируемого во временной области, вызванные конечным значением  $T_{DAC}$ , рационально использовать максимальное отклонение, приведенное к конечной точке шкалы ЦАП, равное  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$ . Здесь:  $|\Delta_A(T_{DAC})|_{max}$  - максимальная по модулю составляющая разности мгновенных значений формируемого и

аппроксимируемого сигналов во всем диапазоне их изменения, вызванная конечным  $T_{DAC}$  (напомним, что другими составляющими данной разности являются погрешность квантования и инструментальная погрешность ЦАП);  $X_{DACOUT\ max}$  - максимальное значение выходного сигнала ЦАП (т. е. конечная точка его шкалы).

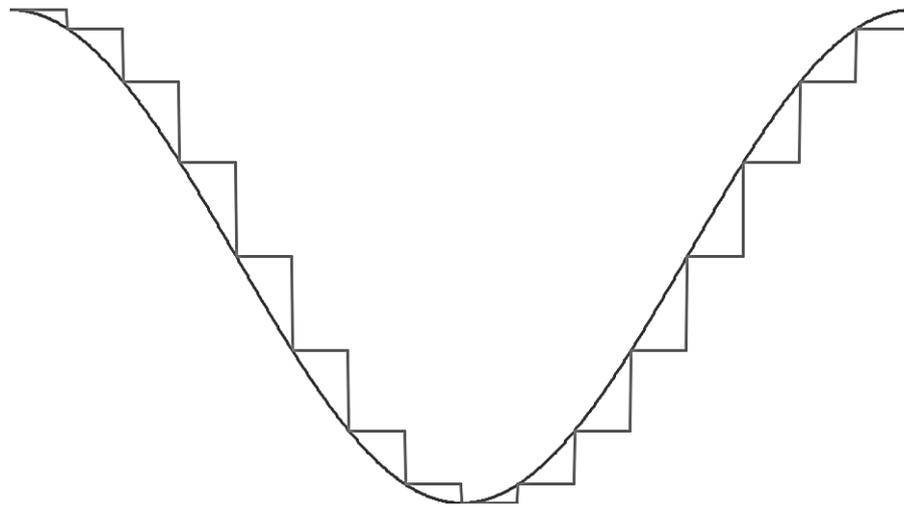
**Важно отметить**, что отклонение  $|\Delta_A(T_{DAC})|_{max}$  зависит от способа вычисления входного кода ЦАП. В примерах, представленных на рис. 10.60, в пределах интервала дискретизации числовой эквивалент данного кода равен (с точностью до ЕМЗР) значению аппроксимируемого сигнала в **центральной** точке интервала дискретизации. В принципе, возможен вариант, при котором данный числовой эквивалент равен (также с точностью до ЕМЗР) значению аппроксимируемого сигнала в начальной (см. рис. 10.64а) или в конечной (см. рис. 10.64б) точке интервала дискретизации.

Сопоставляя рис. 10.60 и 10.64, нетрудно увидеть, что, при прочих равных условиях, выбор числового эквивалента входного кода ЦАП, равным значению аппроксимируемого сигнала в центральной точке интервала дискретизации, обеспечивает в 2 раза меньшее отклонение  $|\Delta_A(T_{DAC})|_{max}$ , чем при равенстве числового эквивалента входного кода ЦАП значению аппроксимируемого сигнала в начальной или в конечной точке интервала дискретизации. Поскольку второй вариант назначения входного кода ЦАП не отличается от первого никакими преимуществами с программно-алгоритмической или какой-либо другой точки зрения, он **не рекомендуется** для применения, и в дальнейшем рассматриваться не будет. По умолчанию, будет предполагаться, что числовой эквивалент входного кода ЦАП равен значению аппроксимируемого сигнала в **центральной** точке интервала дискретизации.

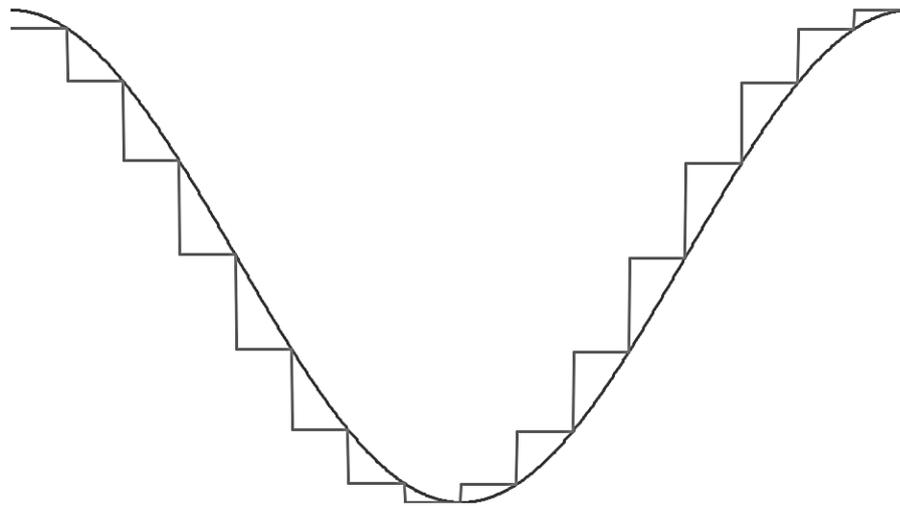
**10.4.5.9.** Нетрудно увидеть, что при равенстве входного кода ЦАП значению аппроксимируемого сигнала в центральной точке интервала дискретизации, в отсутствие выбросов выходного сигнала ЦАП (например, при их устранении способом, описанным в подпункте 10.4.5.6) и в отсутствие фильтрации выходного сигнала ЦАП его максимальное отклонение от аппроксимируемого сигнала (**без учета погрешностей ЦАП**) может быть оценено по выражению:

$$|\Delta_A(T_{DAC})|_{max} \approx 0,5|v|_{max} \times T_{DAC}; \quad (10.62)$$

где  $|v|_{max}$  – максимальное абсолютное значение скорости изменения аппроксимируемого сигнала. Строгое равенство имеет место только при постоянной скорости изменения аппроксимируемого сигнала.



а)



б)

**Рис. 10.64.** Примеры временных диаграмм выходного сигнала ЦАП и аппроксимируемого им непрерывного сигнала при равенстве числового эквивалента входного кода ЦАП значению аппроксимируемого сигнала в начальной (а) и конечной (б) точках интервала дискретизации

Например, если он является гармоническим,  $|\Delta_A|_{max} = 2\pi X_m (1/T_S)$ , где  $X_m$  и  $T_S$  – соответственно его амплитуда и период. Если амплитуда равна половине полной шкалы ЦАП, т. е.  $0,5X_{DACOUT max}$ , а размах сигнала – напряжению или току полной шкалы (см. подпункт 10.4.3.3), то для гармонического сигнала:

$$|\Delta_A(T_{DAC})|_{max} \approx 0,5\pi \times X_{DACOUT max} (T_{DAC}/T_S);$$

$$\frac{|\Delta_A(T_{DAC})|_{max}}{X_{DACOUT max}} \approx 0,5\pi \times (T_{DAC}/T_S). \quad (10.63)$$

Рассмотрим также, в качестве показательных примеров, обусловленные конечным значением  $T_{DAC}$  погрешности формирования симметричного треугольного и пилообразного сигналов во временной области. Скорости их изменения постоянны, и, при равенстве размаха сигнала напряжению или току полной шкалы ЦАП, равны:

- у пилообразного сигнала -  $X_{DACOUT max}/T_S$ ;
- у симметричного треугольного -  $2X_{DACOUT max}/T_S$ .

На основании выражения (10.61) получаем, что при данных условиях:

- для пилообразного сигнала:

$$\frac{|\Delta_A(T_{DAC})|_{max}}{X_{DACOUT max}} = 0,5T_{DAC}/T_S; \quad (10.64)$$

- для симметричного треугольного:

$$\frac{|\Delta_A(T_{DAC})|_{max}}{X_{DACOUT max}} = T_{DAC}/T_S. \quad (10.65)$$

**10.4.5.10.** Как указано ранее, выражения (10.63) – (10.65) корректны в отсутствие выбросов и фильтрации выходного сигнала ЦАП. При наличии выбросов и в отсутствие фильтрации значение  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT max}$  больше рассчитанного по выражениям (10.63) – (10.65) на отношение максимальной амплитуды «глитча» (см. подпункт 10.4.3.5) к  $X_{DACOUT max}$ . При наличии НЧ-фильтрации и отсутствии выбросов значение  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT max}$  меньше рассчитанного по выражениям (10.63) – (10.65), и зависит от

типа передаточной характеристики ФНЧ и его порядка, а также от отношения его частоты среза к частоте дискретизации выходного сигнала ЦАП. При наличии как выбросов, так и НЧ-фильтрации выходного сигнала ЦАП значение  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$  зависит от сочетания: типа передаточной характеристики ФНЧ, его порядка, отношения его частоты среза к частоте дискретизации выходного сигнала ЦАП, а также от отношения амплитуды выброса к  $X_{DACOUT\ max}$  и его длительности – к  $T_{DAC}$ .

Отметим, что для каждого конкретного сочетания отношений  $T_{DAC}/T_S$  и  $\max\{t_{GLITCH}, t_{TRANS}\}/T_S$ , а также типа и порядка передаточной характеристики ФНЧ существует значение частоты среза, при котором обеспечивается минимальное значение  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$  (т. е. оптимальное сочетание степени «сглаживания» сигнала и степени искажения его информативной составляющей). Поэтому, если приоритетна точность формирования сигнала во временной области, необходим выбор **сочетания** значения  $T_{DAC}$ , способа «сглаживания» выходного сигнала ЦАП и параметров ФНЧ, которое обеспечивает значение  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$ , не выше допустимого, определяемого конкретной задачей, при заданных  $T_S$  и параметров выбросов.

Аналитические выражения для расчета  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$ , как функции от параметров выходного сигнала ЦАП и ФНЧ, громоздки и неудобны для применения. Поэтому на практике оценка значений  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$ , а также выбор сочетания  $T_{DAC}$  и параметров ФНЧ, обеспечивающих (в каждом конкретном случае) отношение  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$ , не превышающее допустимое, осуществляются численным моделированием или экспериментально.

**10.4.5.11.** В табл. 10.4 представлены минимальные достижимые значения приведенного отклонения  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$  при формировании симметричного **треугольного** сигнала для ряда типовых сочетаний отношения  $T_{DAC}/T_S$ ,  $t_{GLITCH}/T_S$  и параметров ФНЧ. Там же приведены вычисленные по выражению (10.65) значения данного отклонения в отсутствие фильтрации. При этом:

Таблица 10.4

Достижимые погрешности формирования симметричного треугольного сигнала при типовых сочетаниях параметров ФНЧ и выходного сигнала ЦАП

$\frac{t_{GLITCH}}{T_S}$	$\frac{T_S}{T_{DAC}}$	Порядок ФНЧ <sup>2)</sup>	$f_C^{3)}$ , $1/T_S$	$f_C^{3)}$ , $1/T_{DAC}$	$\frac{ \Delta_A(T_{DAC}) _{max}}{X_{DACOUT max}}$	
0 <sup>1)</sup>	16	Без фильтрации			6,25%	
		1	6,4	0,4	2,3%	
		2			1,1%	
	32	Без фильтрации			3,13%	
		1	12,8	0,4	1,2%	
		2			0,6%	
	64	Без фильтрации			1,56%	
		1	25,6	0,4	0,5%	
		2			0,3%	
	0,001	16	1	6,4	0,4	2,9%
			2			1,4%
		32	1	10,24	0,32	2,5%
2			1,3%			
64		1	10,69	0,167	2,4%	
		2	16	0,25	1,4%	
0,003	16	1	6,4	0,4	3,1%	
		2			1,6%	
	32	1	8	0,25	3,0%	
		2	9,15	0,286	1,6%	
	64	1	9,15	0,143	2,5%	
		2	12,8	0,2	1,6%	
0,01	16	1	4,58	0,286	3,9%	
		2	5,33	0,333	2,2%	
	32	1	6,4	0,2	4,0%	
		2	8	0,25	2,3%	
	64	1	6,4	0,1	3,9%	
		2	8	0,125	2,4%	
0,03	16	1	3,2	0,2	6,4%	
		2	4,19	0,262	3,7%	
	32 <sup>4)</sup>	1	4	0,125	5,5%	
		2	5,34	0,167	3,9%	

<sup>1)</sup> Выбросы устраняются посредством БВХ (см. подпункт 10.4.5.6).

<sup>2)</sup> Предполагается применение ФНЧ Баттерворта (см. текст).

<sup>3)</sup>  $f_C$  - частота среза ФНЧ.

<sup>4)</sup> При данном значении  $t_{GLITCH}/T_S$  формирование сигналов с отношением  $T_S/T_{DAC}$ , превышающим 32, не имеет практического смысла.

- поскольку длительность и амплитуда выбросов, обусловленных паразитными индуктивностями и емкостями нагрузки и соединительных проводников, зависят от многих факторов и «трудно предсказуемы», предполагалось, что данные выбросы **подавлены** конструктивными способами [69] до значений, пренебрежимо малых по сравнению с амплитудами «глитчей», или, наряду с «глитчами», **устранены** посредством БВХ (см. подпункт 10.4.5.6);

- симметричный треугольный сигнал выбран как наиболее показательный пример, для которого приоритетна точность его формирования во временной области (заметим, что функция формирования треугольного сигнала предусмотрена архитектурой блока ЦАП МК модельного ряда *STM32F4xx* [14] и некоторых других);

- размах тестового сигнала, применявшегося при получении данных, приведенных в табл. 10.4, равен полной шкале ЦАП (от 0 до  $X_{REF}(1 - 2^{-N})$ );

- амплитуды «глитчей» принимались максимально возможными и равными  $\min\{X_{DACOUT}, X_{REF} - X_{DACOUT}\}$  (см. подпункт 10.4.3.5);

- полагалось, что во времени «глитч» при  $i$ -м переключении выходного сигнала ЦАП описывается следующим выражением (см. временную диаграмму напряжения  $v(\delta)$  на рис. 10.63):

$$X_{GLITCHi}(t) \approx X_{m\ GLITCHi} \times \exp\left(-\frac{(t - iT_{DAC})}{\tau_{DAC}}\right); \quad (10.66)$$

где  $X_{m\ GLITCHi}$  – амплитуда «глитча» при  $i$ -м переключении выходного сигнала ЦАП;  $\tau_{DAC}$  – постоянная времени, характеризующая длительность переходного процесса при переключении входного кода ЦАП с  $x \dots x01x \dots x$  на  $x \dots x10x \dots x$  или в обратном направлении (см. подпункт 10.4.3.5), причем  $t_{GLITCH} \approx 3\tau_{DAC}$ ;

- приведенные в табл. 10.4 данные получены при использовании ФНЧ с передаточной характеристикой **Баттерворта**, обеспечивающей наиболее приемлемое для большинства практических случаев сочетание селективности, равномерности

АЧХ в полосе пропускания и подавления спектральных компонент, находящихся в полосе заграждения [20, 23];

- с учетом необходимости минимизации числа внешних компонентов, подключаемых к МК, не рассматривались варианты применения ФНЧ с порядком более 2-го;

- приведенные в табл. 10.4 значения погрешностей формирования сигнала вычислены для наихудшего случая («с запасом»).

Представленные в табл. 10.4 данные могут быть непосредственно использованы для выбора отношения  $T_{DAC}/T_S$ , порядка и частоты среза ФНЧ при формировании треугольного сигнала.

**10.4.5.12.** При формировании **пилообразного** сигнала значение  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT max}$ :

- в отсутствие «глитчей» (т. е. при их устранении посредством БВХ, см. рис. 10.62) – в 2 раза меньше, чем при формировании симметричного треугольного сигнала с тем же периодом и с тем же отношением  $T_{DAC}/T_S$  (см. выражения (10.64) и (10.65));

- при наличии «глитчей» – не выше значений  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT max}$  треугольного сигнала при прочих равных условиях.

Таким образом, представленные в табл. 10.4 данные могут быть использованы, с учетом перечисленных особенностей пилообразного сигнала, и при его формировании.

**10.4.5.13.** Может быть предложен следующий обобщенный алгоритм выбора отношения  $T_S/T_{DAC}$  и параметров ФНЧ при формировании треугольного или пилообразного сигнала.

1. Исходными данными для выбора являются:

- период формируемого сигнала ( $T_S$ );

- отношение  $t_{GLITCH}/T_S$ ; если значение  $t_{GLITCH}$  не нормируется *datasheet*, можно положить его равным времени установления (см. подпункт 10.4.3.4);

- максимально допустимое значение  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT max}$ , рассчитываемое как разность допустимого значения  $|\Delta_A|_{max}/X_{DACOUT max}$  и погрешности ЦАП, приведенной к конечной точке шкалы, равной сумме приведенной

погрешности квантования ( $1/2^N$ ) и приведенной инструментальной погрешности ЦАП, которая равна  $|\Delta X_{OUT} + (\Delta K_{DAC} N_{DAC} / 2^N) + \Delta_{NL}(N_{DAC})|_{max} / X_{DACOUT max}$  (см. выражение (10.55));

- возможность или невозможность применения БВХ для устранения «глитчей» (см. подпункт 10.4.5.6);

2. По табл. 10.4 выбрать отношение  $T_S/T_{DAC}$ , обеспечивающее значение  $|\Delta_A(T_{DAC})|_{max} / X_{DACOUT max}$ , равное или меньшее допустимого при перечисленных в пункте 1 исходных данных для выбора и **минимальном** порядке ФНЧ (при формировании пилообразного сигнала – с учетом особенностей, перечисленных в подпункте 10.4.5.12). **Например**, при максимально допустимом значении  $|\Delta_A(T_{DAC})|_{max} / X_{DACOUT max}$ , равном 3%, и  $t_{GLITCH}/T_S = 0,003$ , рационален выбор отношения  $T_S/T_{DAC}$ , равного 32-м, при использовании ФНЧ 1-го порядка (см. табл. 10.4).

**Примечание.** Допустима **линейная интерполяция** между значениями, приведенными в табл. 10.4. Например, если при  $t_{GLITCH}/T_S$ , равном 0,003, по каким-либо причинам выбрано отношение  $T_S/T_{DAC}$ , равное 24-м, то при использовании ФНЧ 1-го порядка достижимо значение  $|\Delta_A(T_{DAC})|_{max} / X_{DACOUT max}$ , равное примерно 3,05%.

3. Для выбранного сочетание отношения  $T_S/T_{DAC}$  и порядка ФНЧ определить его частоту среза.

**Примечание.** При устранении «глитчей» посредством БВХ, подавление остаточных выбросов его выходного напряжения (см. рис. 10.63) обеспечивается сглаживающим ФНЧ. При этом составляющие отклонения  $|\Delta_A(T_{DAC})|_{max} / X_{DACOUT max}$ , обусловленные неполным подавлением данных выбросов, пренебрежимо малы по сравнению со значениями, приведенными в табл. 10.4.

4. Правильность выбора отношения  $T_S/T_{DAC}$  и параметров ФНЧ желательно проверить **экспериментально**, при необходимости – с их корректировкой по результатам проверки.

Отдельного рассмотрения требует задача формирования треугольных или пилообразных сигналов с переменным,

программно-задаваемым периодом. Вопросы генерации таких сигналов рассмотрены в подпунктах 10.4.5.17 – 10.4.5.19.

**10.4.5.14.** На практике встречаются задачи генерации **прямоугольного** сигнала посредством ЦАП. Как правило, для формирования таких сигналов используются таймеры (см. раздел 9). Применение ЦАП для данной цели оправдано, если:

- необходима более высокая точность задания «низкого» и «высокого» уровней сигнала, чем при его формировании посредством таймера;

- необходима генерация прямоугольного сигнала с уровнями, отличающимися от логических 0 и 1.

При формировании посредством ЦАП прямоугольного сигнала:

- его период и скважность целиком определяются исходными требованиями к сигналу;

- «сглаживание» сигнала, естественно, не требуется; необходимо только устранение / подавление «глитчей» и выбросов из-за паразитных индуктивностей нагрузки ЦАП, в т. ч. соединительных проводников.

Условием возникновения «глитча» при генерации прямоугольного сигнала является (см. подпункт 10.4.3.5):

- состояние  $i$ -го разряда изменяется при переключении уровней формируемого сигнала с 0 на 1 или с 1 на 0;

- состояние  $i-1$ -го разряда при этом изменяется в противоположном направлении, т. е. с 1 на 0 или с 0 на 1 соответственно.

Отметим, что, если ни один из битов входного кода ЦАП не удовлетворяет данным условиям, «глитчи», вызванные переходными процессами в ЦАП, **отсутствуют** (однако, не исключены выбросы при переключениях выходного сигнала ЦАП из-за паразитных индуктивностей и емкостей нагрузки ЦАП и соединительных проводников). Поэтому при генерации прямоугольных сигналов посредством ЦАП, следует, по возможности, выбирать входные коды ЦАП, характеризующиеся отсутствием «глитчей».

Амплитуда «глитча», как указано в подпункте 10.4.3.5, не превышает значения  $\min\{X_{DACOUT}, X_{REF} - X_{DACOUT}\}$ . **Направление**

выброса выходного сигнала ЦАП на основе матрицы  $R-2R$  (см. рис. 10.58) при «глитче», как правило, противоположно направлению переключения «полезного» сигнала (см. рис. 10.63).

**Выбросы**, обусловленные паразитными индуктивностями и емкостями нагрузки и соединительных проводников, как указано в подпункте 10.4.5.11, зависят от многих факторов и «трудно предсказуемы». Поэтому в дальнейшем полагается, что данные выбросы **подавлены** конструктивными способами [69] до значений, пренебрежимо малых по сравнению с амплитудами «глитчей», или, наряду с «глитчами», **устранены** посредством БВХ (см. подпункт 10.4.5.6).

Подавление / устранение «глитчей», как и при формировании сигналов других типов может осуществляться посредством БВХ (см. подпункт 10.4.5.6) или ФНЧ. Применяемый способ подавления / устранения «глитчей» должен обеспечивать:

- с одной стороны – снижение амплитуды «глитчей» до минимально возможного уровня (в идеале – до ЕМЗР ЦАП);
- с другой стороны – отсутствие существенных искажений формы сигнала; применительно к прямоугольному сигналу – обеспечение длительности фронта и спада, не превышающих допустимые значения, зависящие от конкретной задачи.

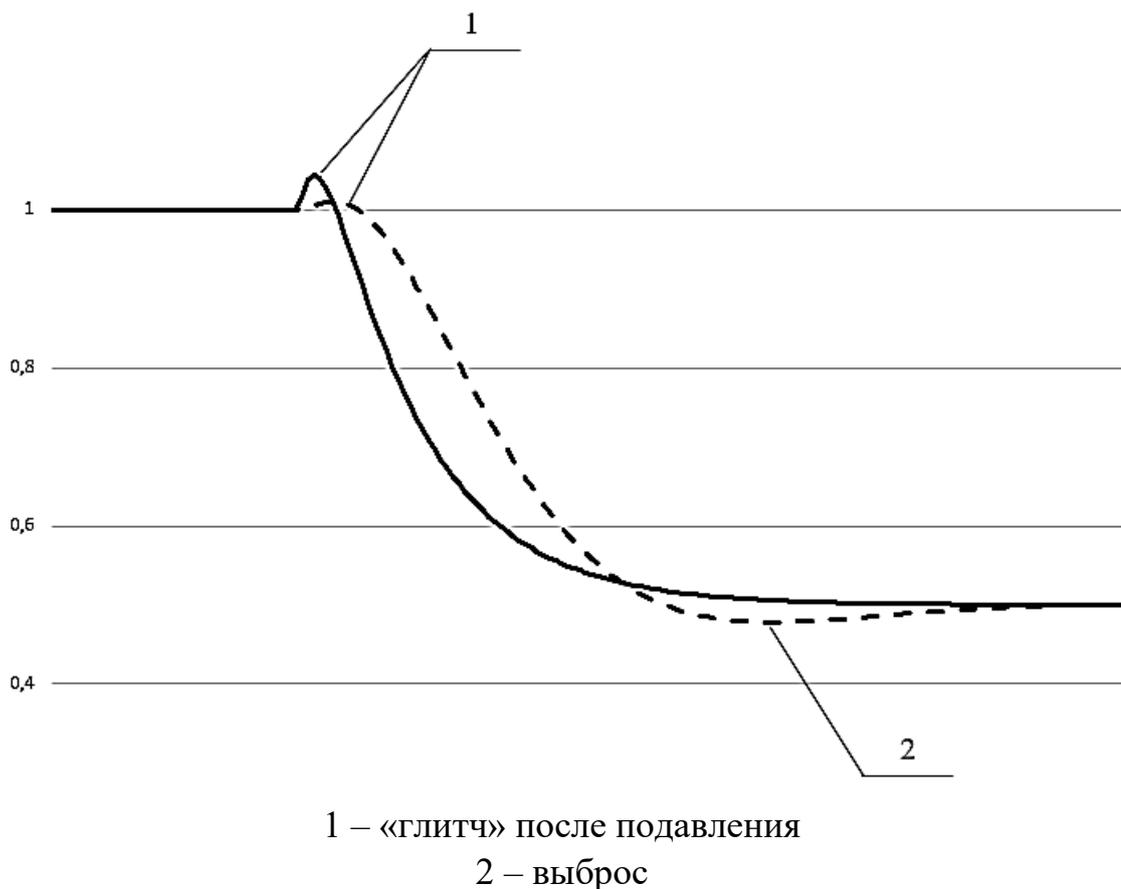
В целом, при формировании прямоугольного сигнала устранение «глитчей» (и выбросов в целом) предпочтительно осуществлять посредством БВХ (см. подпункт 10.4.5.6), при условиях, что:

- допустимо использование внешнего БВХ;
- возможно удовлетворение требований к БВХ, приведенных в подпункте 10.4.5.6;
- время выборки БВХ меньше или равно допустимой длительности фронта / спада формируемого сигнала.

При невозможности выполнения одного из этих условий «глитчи» должны подавляться посредством ФНЧ. Необходимо отметить, что ФНЧ с порядком выше 1-го вносят дополнительные искажения прямоугольного импульса из-за выброса выходного сигнала при скачкообразном изменении входного [20, 22]; см. рис. 10.65. При этом амплитуда выброса не зависит от наличия или

отсутствия «глитча», и определяется только типом и порядком передаточной характеристики ФНЧ. Наименьшей амплитудой выброса, при прочих равных условиях, характеризуются фильтры Бесселя [20, 22].

Отметим, что данные выбросы не критичны при использовании ФНЧ в качестве сглаживающего фильтра при формировании, например, треугольных или гармонических сигналов (см. подпункты 10.4.5.11 и 10.4.5.16).



**Рис. 10.65.** Пример временных диаграмм выходного сигнала ФНЧ Баттерворта 1-го порядка (сплошная линия) и 2-го порядка (пунктирная линия) при входном прямоугольном сигнале с «глитчем»

В табл. 10.5 представлены данные, характеризующие возможности подавления «глитчей» посредством ФНЧ Баттерворта 1-го порядка, а также ФНЧ Баттерворта и Бесселя 2-го порядка; применение ФНЧ более высоких порядков не рассматривалось, т. к. их применение не рационально из-за необходимости подключения большого количества внешних компонентов к МК. Данные,

приведенные в табл. 10.5, получены в предположении, что «глитч» описывается выражением (10.66).

Приведенные в табл. 10.5 данные могут быть использованы как ориентировочные при выборе параметров ФНЧ, подавляющего «глитчи» формируемого ЦАП прямоугольного сигнала. С точки зрения минимизации аппаратных затрат, предпочтительно применение ФНЧ 1-го порядка (при возможности удовлетворения требований к коэффициенту ослабления амплитуды глитча, а также длительности фронта и спада формируемого сигнала).

Отметим также, что приведенные в табл. 10.5 данные могут быть использованы для выбора частоты среза фильтра выходного сигнала БВХ (см. рис. 10.62); при этом рационально использование ФНЧ 1-го порядка.

Результаты выбора желательно проверить экспериментально, при необходимости – с их корректировкой по результатам проверки.

Таблица 10.5

*Сравнительные характеристики ФНЧ по подавлению «глитчей»  
прямоугольного сигнала*

Коэффициент ослабления амплитуды «глитча»	ФНЧ Баттерворта 1-го порядка		ФНЧ Баттерворта 2-го порядка		ФНЧ Бесселя 2-го порядка	
	$f_C^{1)}$ , $1/t_{GLITCH}$	$t_{SET}^{2)}$ , $t_{GLITCH}$	$f_C$ , $1/t_{GLITCH}$	$t_{SET}^{2)}$ , $t_{GLITCH}$	$f_C$ , $1/t_{GLITCH}$	$t_{SET}^{2)}$ , $t_{GLITCH}$
4	0,59	1,34	0,97	0,83	0,62	0,98
8	0,24	3,28	0,53	1,50	0,33	1,80
16	0,11	7,16	См. примечание <sup>3)</sup>		0,20	3,00
32	0,054	14,8			0,13	4,76
64	0,026	30,0			0,083	7,24
128	0,017	46,4			См. примечание <sup>4)</sup>	
256	0,015	52,4				

<sup>1)</sup>  $f_C$  – частота среза ФНЧ.

<sup>2)</sup>  $t_{SET}$  – время установления с точностью 1%; фактически – длительность фронта / спада выходного сигнала ФНЧ.

<sup>3)</sup> Коэффициент подавления «глитча» более 13,5 не имеет смысла, т. к. при этом уже преобладает искажение амплитуды сигнала, обусловленное выбросом (см. рис. 10.65).

<sup>4)</sup> Коэффициент подавления «глитча» более 116-ти не имеет смысла, т. к. при этом уже преобладает искажение амплитуды сигнала, обусловленное выбросом.

**10.4.5.15.** ЦАП МК достаточно широко используются также для генерации **гармонических** сигналов, однако критерием качества их формирования, как правило, являются не их отклонения от аппроксимируемого сигнала во временной области, а уровень **паразитных спектральных компонент** выходного сигнала ЦАП в некотором частотном диапазоне. Основными **причинами** их возникновения в формируемом ЦАП гармоническом сигнале, в общем случае являются:

- ступенчатый характер выходного сигнала ЦАП, т. е. конечное значение  $T_{DAC}$ ;
- выбросы выходного сигнала ЦАП («глитчи» и выбросы обусловленные паразитными индуктивностями и емкостями нагрузки и соединительных проводников);
- погрешности квантования ЦАП;
- погрешности нелинейности ЦАП.

Основным параметром, характеризующим уровень паразитных спектральных компонент гармонического сигнала, является **суммарный коэффициент гармонических составляющих** (*Total Harmonic Distortion, THD*), определяемый по следующему выражению:

$$THD = \left( \sqrt{\sum_{h=2}^{H_{max}} X_{RMS h}^2} \right) / X_{RMS 1}; \quad (10.67)$$

где  $X_{RMS h}$  – СКЗ паразитной гармонической составляющей (гармоники) с номером  $h$ , т. е. с частотой, в  $h$  раз большей частоты основной, «полезной» гармонической составляющей, называемой 1-ой гармоникой;  $X_{RMS 1}$  – СКЗ 1-ой гармоники;  $h = 2, 3, 4, \dots, H_{max}$ ;  $H_{max}$  – номер наиболее высокочастотной из паразитных гармоник, подлежащих учету при определении  $THD$  (на практике  $H_{max}$  обычно полагают равным 40).

Во многих практических случаях важен не только суммарный коэффициент гармонических составляющих (в т. ч. возникших из-за конечного значения  $T_{DAC}$ ), но и коэффициент гармонических

составляющих с номерами, находящимися в определенных пределах, отличающихся от 2-х и / или от  $H_{max}$ . Он известен под названием **частичного коэффициента гармонических составляющих** (*Partial Harmonic Distortion, PHD*), и определяется по выражению:

$$PHD = \left( \sqrt{\sum_{h_{min}}^{h_{max}} X_{RMS h}^2} \right) / X_{RMS 1}; \quad (10.68)$$

где  $h_{min}$  и  $h_{max}$  – соответственно минимальный и максимальный номера гармонических составляющих частотного диапазона, для которого определяется *PHD*.

При формировании гармонического сигнала посредством ЦАП **состав** паразитных спектральных компонент следующий.

**Ступенчатый** характер сигнала (т. е. конечное значение  $T_{DAC}$ ) приводит к наличию в его составе гармоник с номерами, равными:

$$h = (nT_S/T_{DAC}) \mp 1, n = 1, 2, 3, \dots \quad (10.69)$$

приближенные значения СКЗ которых могут быть вычислены по следующему выражению [56, 59]:

$$X_{RMS h} \approx \frac{X_{RMS 1} \times (T_S/T_{DAC}) \times \sin(\pi T_{DAC}/T_S)}{\pi h}; \quad (10.70)$$

Присутствие «глитчей» в выходном сигнале ЦАП, а также **выбросов**, обусловленных паразитными индуктивностями и емкостями нагрузки и соединительных проводников, приводит к присутствию в его спектре дополнительных компонент, распределенных по диапазону частот от  $1/T_S$  и (теоретически) до бесконечности. Амплитуды данных компонент убывают с ростом частоты, причем они меньше, чем у ближайших к ним по частоте спектральных составляющих с номерами, описываемыми выражением (10.69).

**Погрешности квантования и нелинейности** ЦАП приводят к наличию в спектре формируемого сигнала паразитных составляющих с частотами, распределенными случайным образом в диапазоне теоретически от 0 до бесконечности. Отношение их СКЗ

к СКЗ основной гармоники не превышают значений  $2 \times |1 + \Delta_{NL}(N_{DAC})|_{max} / X_{DACOUT\ max}$  (см. выражение (10.55)), при условии, что размах формируемого сигнала примерно равен  $X_{DACOUT\ max}$ . В большинстве задач применения ЦАП МК общего назначения данными спектральными компонентами можно пренебречь; они должны учитываться только при реализации прецизионных генераторов гармонических сигналов, а также в задачах высококачественных звукозаписи и звуковоспроизведения. Поэтому в дальнейшем паразитные спектральные компоненты, обусловленные погрешностями квантования и нелинейности ЦАП, учитываться не будут.

Основным способом снижения СКЗ паразитных спектральных компонент формируемого ЦАП гармонического сигнала является его НЧ-фильтрация («сглаживание»), при возможности – в сочетании с устранением выбросов (в т. ч. «глитчей») посредством БВХ, см. подпункт 10.4.5.6. После фильтрации коэффициенты  $THD$  и  $PHD$  равны:

$$THD = \left( \sqrt{\sum_{h=2}^{H_{max}} |H(h/T_S)|^2 \times X_{RMS\ h}^2} \right) / (|H(1/T_S)| \times X_{RMS\ 1}); \quad (10.71)$$

$$PHD = \left( \sqrt{\sum_{h_{min}}^{h_{max}} |H(h/T_S)|^2 \times X_{RMS\ h}^2} \right) / (|H(1/T_S)| \times X_{RMS\ 1}); \quad (10.72)$$

где  $|H(h/T_S)|$  – АЧХ сглаживающего ФНЧ на частотах данных гармоник. В частности, при использовании ФНЧ Баттерворта  $n$ -го порядка с частотой среза  $f_c$ :

$$|H(h/T_S)| = 1 / \sqrt{1 + (h/(T_S f_c))^{2n}}.$$

**10.4.5.16.** Таким образом, при формировании гармонического сигнала посредством ЦАП, необходим выбор **сочетания** отношения  $T_S/T_{DAC}$ , способа «сглаживания» выходного сигнала ЦАП и параметров ФНЧ, которое обеспечивает суммарный и / или частичные коэффициенты гармонических составляющих, не превышающие допустимых значений, определяемых конкретной задачей, при **заданных**  $T_S$  и параметрах выбросов.

В отсутствие выбросов выходного сигнала ЦАП (например, при их исключении способом, описанным в подпункте 10.4.5.6) данное сочетание, в принципе, может быть получено путем расчетов по выражениям (10.67) – (10.70), в предположении, что из паразитных спектральных компонент в выходном сигнале ЦАП присутствуют только составляющие, обусловленные его ступенчатым характером (см. выражения (10.69) и (10.70)). Однако, и в этом случае необходимые расчеты достаточно громоздки и неудобны. Если же в выходном сигнале ЦАП присутствуют также «глитчи» и выбросы, обусловленные паразитными индуктивностями и емкостями нагрузки и соединительных проводников, выбор сочетания  $T_{DAC}$ , способа «сглаживания» выходного сигнала ЦАП и параметров ФНЧ расчетным путем весьма затруднителен или невозможен. Поэтому в таких случаях выбор данного сочетания рационально проводить численным моделированием или экспериментально.

В табл. 10.6 приведены сочетания порядка и частоты среза ФНЧ, необходимые для обеспечения ряда значений  $THD$ , характерных для практики применения ЦАП МК общего назначения, при типовых отношениях  $T_S/T_{DAC}$  и  $t_{GLITCH}/T_S$ . Там же представлены времена установления данных ФНЧ, значения их АЧХ на частоте 1-й гармоники, а также обеспечиваемых при этом коэффициентов  $RHD$  в характерных диапазонах частот.

При формировании табл. 10.6:

- в качестве сигнала, формируемого ЦАП, выбран гармонический с положительной постоянной составляющей, равной половине размаха (напомним, что выходной сигнал ЦАП большинства МК может быть только **положительным**);

- приведенные данные получены при использовании ФНЧ с передаточной характеристикой **Баттерворта** не выше 2-го порядка (см. комментарии к табл. 10.4 в подпункте 10.4.5.11);

- как и при формировании табл. 10.4, амплитуды «глитчей» полагались равными максимальным значениям (см. подпункт 10.4.3.5), а их математическая модель – описываемой выражением (10.66);

- выбросы, обусловленные паразитными индуктивностями и емкостями нагрузки ЦАП и соединительных проводников, полагались подавленными до пренебрежимо малых значений (по сравнению с «глитчами») конструктивными способами [69].

**Выбор** отношения  $T_S/T_{DAC}$ , способа фильтрации и параметров ФНЧ по табл. 10.6 могут производиться по следующему обобщенному алгоритму.

1. Исходными данными для выбора являются:

- период формируемого гармонического сигнала ( $T_S$ );

- допустимое значение  $THD$ ;

- возможность или невозможность применения БВХ для устранения выбросов выходного сигнала ЦАП; при невозможности – ожидаемое отношение  $t_{GLITCH}/T_S$ .

2. По табл. 10.6 выбрать отношение  $T_S/T_{DAC}$ , обеспечивающее значение  $THD$ , равное или меньшее допустимого при перечисленных в пункте 1 исходных данных для выбора, **минимальном** порядке ФНЧ и **максимально близком** к 1 значении его АЧХ на частоте формируемого сигнала. Например, при максимально допустимом  $THD$ , равном 1% и  $t_{GLITCH}/T_S = 0,003$  рационален выбор отношения  $T_S/T_{DAC}$ , равного 64-м, с использованием ФНЧ 1-го порядка (см. табл. 10.6).

**Примечание.** Аналогично табл. 10.4, допустима **линейная интерполяция** между значениями, приведенными в табл. 10.6 (см. подпункт 10.4.5.13).

3. Для выбранного сочетание отношения  $T_S/T_{DAC}$  и порядка ФНЧ определить его частоту среза.

4. Правильность выбора отношения  $T_S/T_{DAC}$  и параметров ФНЧ желательно проверить **экспериментально**, при необходимости – с их корректировкой по результатам проверки.

Таблица 10.6

Погрешности формирования гармонического сигнала в частотной области, обусловленные конечным значением  $T_{DAC}$  (см. текст)

$\frac{t_{GLITCH}}{T_S}$	$\frac{T_S}{T_{DAC}}$	THD при $H_{max} = 40$	Порядок ФНЧ <sup>1)</sup>	$f_c^{2)}, 1/T_S$	$ H(\frac{1}{T_S}) $	$t_{SET}^{3)}, T_S$	PHD для гармоник с номерами:				
							2...14	15...17	18...30	31...33	34...40
1	2	3	4	5	6	7	8	9	10	11	12
0 <sup>4)</sup>	16	9,94% <sup>5)</sup>	1	Без фильтрации			0,25%	8,9%	0,058%	4,4%	0,026%
			2	Без фильтрации			0,25%	8,9%	0,058%	4,4%	0,026%
		3%	1	5,333	0,983	0,209	0,20%	2,9%	0,014%	0,74%	0,004%
			2	9,143	1	0,186	0,23%	2,9%	0,010%	0,36%	0,002%
		1%	1	1,407	0,815	0,792	0,11%	0,97%	0,004%	0,24%	0,001%
			2	5,120	0,999	0,332	0,21%	0,94%	0,003%	0,11%	0,001%
	32	4,4% <sup>5)</sup>	1	Без фильтрации			0,28%	0,13%	0,079%	4,4%	0,029%
			2	Без фильтрации			0,28%	0,13%	0,079%	4,4%	0,029%
		3%	1	29,26	0,999	0,038	0,27%	0,12%	0,062%	3,0%	0,018%
			2	30,12	1	0,056	0,27%	0,13%	0,069%	2,9%	0,016%
		1%	1	7,211	0,991	0,154	0,22%	0,055%	0,025%	0,98%	0,006%
			2	15,06	1	0,113	0,27%	0,089%	0,033%	0,96%	0,005%
	64	0,32% <sup>5)</sup>	1	Без фильтрации			0,25%	0,091%	0,16%	0,018%	0,079%
			2	Без фильтрации			0,25%	0,091%	0,16%	0,018%	0,079%

Продолжение таблицы 10.6

1	2	3	4	5	6	7	8	9	10	11	12
0,001	16	10%	1	64	1	0,017	0,73%	8,8%	0,66%	4,3%	0,43%
			2	42,67	1	0,040	0,74%	9,0%	0,67%	4,2%	0,38%
		3%	1	5,12	0,981	0,218	0,43%	2,8%	0,15%	0,77%	0,066%
			2	9,142	1	0,186	0,59%	2,9%	0,10%	0,39%	0,028%
		1%	1	1,333	0,8	0,836	0,18%	0,95%	0,049%	0,25%	0,021%
			2	5,020	0,999	0,339	0,34%	0,92%	0,031%	0,12%	0,009%
	32	5,2% <sup>5)</sup>	1	Без фильтрации <sup>6)</sup>			0,64%	1,00%	0,76%	4,9%	0,48%
			2								
		3%	1	21,79	0,999	0,051	0,60%	0,80%	0,51%	2,8%	0,24%
			2	25,6	1	0,066	0,64%	0,93%	0,57%	2,7%	0,19%
		1%	1	5,447	0,983	0,205	0,40%	0,32%	0,17%	0,84%	0,068%
			2	11,64	1	0,146	0,58%	0,46%	0,18%	0,65%	0,044%
	64	2,1% <sup>5)</sup>	1	Без фильтрации <sup>6)</sup>			0,76%	0,99%	0,74%	1,4%	0,50%
			2								
		1%	1	10,89	0,996	0,102	0,63%	0,55%	0,31%	0,44%	0,14%
			2	14,03	1	0,121	0,72%	0,59%	0,25%	0,26%	0,065%

Продолжение таблицы 10.6

1	2	3	4	5	6	7	8	9	10	11	12
0,003	16	10%	1	51,2	1	0,022	1,1%	8,9%	0,94%	4,5%	0,58%
			2	34,13		0,050	1,1%	9,1%	0,93%	3,9%	0,45%
		3%	1	4,876	0,980	0,228	0,60%	2,8%	0,21%	0,81%	0,093%
			2	8,904	1	0,191	0,84%	2,8%	0,14%	0,41%	0,039%
		1%	1	1,231	0,776	0,905	0,24%	0,93%	0,069%	0,26%	0,030%
			2	4,876	0,999	0,349	0,45%	0,89%	0,044%	0,12%	0,012%
	32	6,0% <sup>5)</sup>	1	Без фильтрации <sup>6)</sup>			0,98%	1,5%	1,1%	5,6%	0,71%
			2								
		3%	1	16,52	0,998	0,067	0,89%	1,1%	0,63%	2,6%	0,28%
			2	21,79	1	0,078	0,97%	1,3%	0,71%	2,3%	0,22%
		1%	1	4,163	0,972	0,268	0,51%	0,39%	0,20%	0,74%	0,078%
			2	8,828	1	0,193	0,77%	0,43%	0,15%	0,42%	0,038%
	64	3% <sup>5)</sup>	1	146,3	1	0,008	1,1%	1,5%	1,1%	2,0%	0,70%
			2	68,27	1	0,025	1,1%	1,5%	1,1%	2,0%	0,69%
		1%	1	5,818	0,985	0,191	0,72%	0,51%	0,26%	0,37%	0,11%
			2	8,605	1	0,198	0,89%	0,41%	0,14%	0,15%	0,036%

Продолжение таблицы 10.6

1	2	3	4	5	6	7	8	9	10	11	12	
0,01	16	10%	1	19,32	0,999	0,058	2,3%	8,7%	1,4%	3,9%	0,64%	
			2	18,96	1	0,090	2,5%	9,2%	1,2%	2,5%	0,33%	
		3%	1	3,606	0,964	0,309	1,1%	2,6%	0,36%	0,88%	0,14%	
			2	7,420	1	0,229	1,7%	2,4%	0,22%	0,41%	0,053%	
		1,2% <sup>7)</sup>	1	1	0,707	1,11	0,48%	1,0%	0,14%	0,34%	0,052%	
		1%	2	3,894	0,998	0,437	0,72%	0,69%	0,062%	0,11%	0,015%	
	32	10% <sup>5)</sup>	1	Без фильтрации <sup>6)</sup>				2,5%	3,5%	2,4%	8,6%	1,4%
			2									
		3%	1	7,111	0,990	0,157	1,7%	1,4%	0,69%	1,9%	0,26%	
			2	11,51	1	0,148	2,2%	1,6%	0,54%	1,1%	0,13%	
		1%	1	1,759	0,869	0,633	0,69%	0,44%	0,20%	0,54%	0,073%	
			2	4,452	0,999	0,382	0,95%	0,27%	0,084%	0,17%	0,019%	
	64	6,6% <sup>5)</sup>	1	Без фильтрации <sup>6)</sup>				2,7%	3,4%	2,3%	4,2%	1,4%
			2									
		3%	1	8,828	0,994	0,126	2,1%	1,7%	0,82%	1,1%	0,32%	
			2	11,64	1	0,146	2,4%	1,6%	0,55%	0,55%	0,13%	
		1%	1	1,832	0,878	0,608	0,82%	0,44%	0,21%	0,28%	0,076%	
			2	3,894	0,998	0,437	0,97%	0,20%	0,064%	0,063%	0,015%	

Окончание таблицы 10.6

1	2	3	4	5	6	7	8	9	10	11	12
0,03	16	10%	1	8,752	0,994	0,127	4,7%	8,3%	1,4%	2,7%	0,43%
			2	11,64	1	0,146	5,6%	8,1%	0,92%	1,4%	0,17%
		3%	1	1,903	0,885	0,585	1,8%	2,3%	0,35%	0,69%	0,11%
			2	4,83	0,999	0,352	2,5%	1,6%	0,16%	0,24%	0,030%
		2% <sup>7)</sup>	1	1	0,707	1,11	1,2%	1,5%	0,23%	0,46%	0,070%
		1%	2	2,606	0,989	0,652	0,88%	0,47%	0,048%	0,069%	0,009%
	32 <sup>8)</sup>	10%	1	17,66	0,998	0,063	5,7%	5,5%	2,4%	5,6%	0,78%
			2	20,08	1	0,085	6,2%	6,2%	2,3%	4,3%	0,49%
		3%	1	2,775	0,941	0,401	2,4%	1,3%	0,50%	1,1%	0,14%
			2	5,069	0,999	0,335	2,9%	0,75%	0,19%	0,29%	0,033%
		1,5% <sup>7)</sup>	1	1	0,707	1,11	1,3%	0,65%	0,24%	0,51%	0,069%
		1	2	2,516	0,988	0,676	0,98%	0,19%	0,046%	0,073%	0,008%

<sup>1)</sup> Предполагается применение ФНЧ Баттерворта (см. текст).

<sup>2)</sup>  $f_C$  – частота среза ФНЧ.

<sup>3)</sup>  $t_{SET}$  – время установления ФНЧ с погрешностью 0,1%.

<sup>4)</sup> См. примечание <sup>1)</sup> к табл. 10.4.

<sup>5)</sup> Таков максимальный коэффициент  $THD$  даже в отсутствие фильтрации.

<sup>6)</sup> На практике все же желательно использование ФНЧ 1-го порядка с частотой среза, равной минимум  $1/t_{GLITCH}$ .

<sup>7)</sup> Минимальный достижимый коэффициент  $THD$  при частоте среза ФНЧ, не меньшей частоты первой гармоники.

<sup>8)</sup> При  $t_{GLITCH}/T_S$ , равном 0,03, отношение  $T_S/T_{DAC}$ , большее 32-х, не имеет смысла.

Отдельного рассмотрения требует задача формирования гармонических сигналов с переменным, программно-задаваемым периодом. Вопросы генерации таких сигналов рассмотрены в подпунктах 10.4.5.17 – 10.4.5.19.

**10.4.5.17.** На практике достаточно часто встречаются задачи формирования посредством ЦАП МК сигналов с **переменным**, программно-задаваемым периодом (как гармонических, так и треугольных, пилообразных и прямоугольных).

Вначале остановимся на вопросах генерации сигналов первых 3-х категорий из перечисленных; задача формирования прямоугольных сигналов с переменным периодом или / и длительностью требует отдельного рассмотрения (см. подпункт 10.4.5.20).

В принципе, возможны следующие два подхода к генерации посредством ЦАП сигналов не прямоугольной формы с переменным периодом:

- формирование сигналов с **постоянным** отношением  $T_S/T_{DAC}$  (т. е. числом «ступеней» на период), но с **переменным** значением  $T_{DAC}$  (т. е. длительностью «ступени»);
- генерация сигналов с **переменным** отношением  $T_S/T_{DAC}$ , но с **постоянным**  $T_{DAC}$ .

При использовании обоих подходов, естественно, необходимо обеспечение отклонения  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT max}$  или, соответственно, коэффициента  $THD$ , не превышающих допустимые значения, определяемые конкретной задачей. В свою очередь, данную функцию реализует сглаживающий ФНЧ, параметры которого выбираются по табл. 10.4 или, соответственно, 10.6. Как несложно увидеть из данных таблиц, его частота среза зависит от периода / частоты формируемого сигнала. Поэтому, на первый взгляд, при использовании обоих подходов потребуются применение ФНЧ с **управляемой** МК частотой среза. Это приведет к существенному усложнению схемы ФНЧ, в т. ч. к значительному возрастанию числа внешних компонентов, подключаемых к МК, что **крайне нежелательно**. Поэтому необходимо выяснить возможность формирования сигналов с переменным периодом без перестройки частоты среза ФНЧ.

**10.4.5.18.** На основании данных, приведенных в табл. 10.4 и 10.6, можно сделать следующие **выводы**.

1. «Сглаживающие» свойства фильтра выходного сигнала ЦАП определяются отношением его частоты среза и частоты дискретизации данного сигнала, равной  $1/T_{DAC}$ , что несложно увидеть из табл. 10.4. В отсутствие «глитчей» (см. 1-е 6 строк табл. 10.4), при котором отклонение  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT max}$  определяется только «сглаживающими» свойствами ФНЧ, минимальное значение данного отклонения обеспечивается при одинаковом отношении  $f_C$  к  $1/T_{DAC}$ , не зависящем от отношения  $T_S/T_{DAC}$ .

2. Естественно, ФНЧ сглаживает «ступени» ЦАП тем в большей степени, чем ниже частота среза ФНЧ по сравнению с  $1/T_{DAC}$ , т. е. чем меньше значение  $f_C T_{DAC}$ . Однако, при чрезмерном сглаживании возрастает отклонение  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT max}$ ; поэтому существует значение  $f_C T_{DAC}$ , при котором данное отклонение минимально. Аналогично, при формировании гармонического сигнала чрезмерное сглаживание приводит к недопустимому снижению амплитуды формируемого сигнала (см. табл. 10.6).

3. Степень подавления «глитчей» тем выше, чем меньше отношение их длительности к значению  $T_{DAC}$ . Из табл. 10.4 нетрудно заметить, что в отсутствие «глитчей» достижимое значение отклонения  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT max}$  монотонно снижается с ростом  $T_S/T_{DAC}$  (т. е. с уменьшением длительности «ступени» выходного сигнала ЦАП). С другой стороны, при наличии «глитчей» данное отклонение с ростом отношения  $T_S/T_{DAC}$  может быть постоянным или несколько возрастать, т. к. составляющая данного отклонения, обусловленная неполным сглаживанием «ступеней», снижается с ростом отношения  $T_S/T_{DAC}$ , а составляющая, обусловленная неполным подавлением «глитчей» при этом растет из-за увеличения отношения  $t_{GLITCH}/T_{DAC}$ .

4. При заданных  $T_S/T_{DAC}$ ,  $t_{GLITCH}/T_S$  и порядке ФНЧ, его частота среза, при которой обеспечиваются допустимые значения  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT max}$  или, соответственно,  $THD$ , прямо пропорциональна как частоте формируемого сигнала ( $1/T_S$ ), так и частоте его дискретизации  $1/T_{DAC}$  с коэффициентом

пропорциональности, определяемым по табл. 1.4 или, соответственно, 10.6.

**10.4.5.19.** На основании приведенных в подпункте 10.4.5.18 выводов, проанализируем целесообразность / нецелесообразность применения каждого из ранее перечисленных подходов к формированию сигналов с переменным периодом посредством ЦАП. Анализ удобно провести на следующем **примере**.

Пусть в процессе работы МК необходимо попеременно формировать посредством ЦАП 2 сигнала одинаковой формы (например, гармонической или треугольной) с периодами  $T_{S1}$  и  $T_{S2}$ , причем  $T_{S1} > T_{S2}$ . При генерации обоих сигналов должно обеспечиваться значение  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$  или, соответственно,  $THD$ , не превышающее некоторое максимально допустимое. Длительность «глитча» ( $t_{GLITCH}$ ) при этом, естественно, постоянна, т. к. она определяется схемой ЦАП и параметрами его компонентов. Изменение параметров ФНЧ в процессе работы **нежелательно**.

Рассмотрим возможные варианты решения данной задачи.

**Вариант 1.** При формировании сигнала как с периодом  $T_{S1}$ , так и с периодом  $T_{S2}$  отношение  $T_S/T_{DAC}$  и остается равным некоторому фиксированному значению  $M$ . Для избежания перенастройки ФНЧ при изменении  $T_S$ , теоретически необходим выбор параметров ФНЧ, обеспечивающих допустимые значения  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$  или, соответственно,  $THD$ , при периоде генерируемого сигнала, равном как  $T_{S1}$ , так и  $T_{S2}$ . Однако, если  $T_{S1}$  и  $T_{S2}$  различаются в несколько раз (что обычно имеет место), данная задача практически не решаема, так как:

- если выбрана частота среза ФНЧ, обеспечивающая допустимые значения  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$  или  $THD$  при большем периоде формируемого сигнала (т. е. при  $T_S = T_{S1}$ ), то при  $T_S = T_{S2}$  будет иметь место **избыточное** сглаживание сигнала, приводящее к существенному увеличению  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$  или к значительному снижению амплитуды гармонического сигнала;

- если выбрана частота среза ФНЧ, обеспечивающая допустимые значения  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$  или  $THD$  при меньшем периоде формируемого сигнала (т. е. при  $T_S = T_{S2}$ ), то при  $T_S = T_{S1}$

будет иметь место **недостаточное** сглаживание сигнала и недостаточное подавление «глитчей», приводящие к существенному увеличению  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$  или  $THD$ .

Вышесказанное поясняют примеры, приведенные в табл. 10.7 и 10.8. Во всех данных примерах  $T_{S1} = 8T_{S2}$ ,  $T_{DAC} = T_S/16$  «глитчи» устранены посредством БВХ (см. подпункт 10.4.5.6), используются ФНЧ с передаточной характеристикой Баттерворта.

Таблица 10.7

*Примеры значений  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$  треугольного сигнала при  $T_S/T_{DAC} = 16$  и частоте среза ФНЧ, не перестраиваемой при изменении  $T_S$  (см. также пояснения в тексте)*

Порядок ФНЧ	$f_c$	$T_S$	$ \Delta_A(T_{DAC}) _{max}/X_{DACOUT\ max}$
1	$6,4/T_{S1}^{1)}$	$T_{S1}$	2,3% <sup>1)</sup>
		$T_{S2} = T_{S1}/8$	24%
	$6,4/T_{S2}^{1)}$	$T_{S2}$	2,3% <sup>1)</sup>
		$T_{S1} = 8T_{S2}$	8,4%
2	$6,4/T_{S1}^{1)}$	$T_{S1}$	1,1% <sup>1)</sup>
		$T_{S2} = T_{S1}/8$	28%
	$6,4/T_{S2}^{1)}$	$T_{S2}$	1,1% <sup>1)</sup>
		$T_{S1} = 8T_{S2}$	8,4%

<sup>1)</sup> См. табл. 10.4

Таблица 10.8

*Примеры значений  $THD$  гармонического сигнала при  $T_S/T_{DAC} = 16$  и частоте среза ФНЧ, не перестраиваемой при изменении  $T_S$  (см. также пояснения в тексте)*

Порядок ФНЧ	$f_c$	$T_S$	$THD$ при $H_{max} = 40$	$\left H\left(\frac{1}{T_S}\right)\right $
1	$5,333/T_{S1}^{1)}$	$T_{S1}$	3% <sup>1)</sup>	0,983 <sup>1)</sup>
		$T_{S2} = T_{S1}/8$	0,82%	0,555
	$5,333/T_{S2}^{1)}$	$T_{S2}$	3% <sup>1)</sup>	0,983 <sup>1)</sup>
		$T_{S1} = 8T_{S2}$	9,06%	0,9997
2	$9,143/T_{S1}^{1)}$	$T_{S1}$	3% <sup>1)</sup>	1 <sup>1)</sup>
		$T_{S2} = T_{S1}/8$	0,17%	0,794
	$9,143/T_{S2}^{1)}$	$T_{S2}$	3% <sup>1)</sup>	1 <sup>1)</sup>
		$T_{S1} = 8T_{S2}$	9,90%	1

<sup>1)</sup> См. табл. 10.6

Таким образом, при неизменных отношении  $T_S/T_{DAC}$ , порядке и частоте среза ФНЧ, любое отклонение периода формируемого сигнала от значения, для которого был произведен выбор частоты среза по табл. 10.4 или 10.6, приводит к изменению параметров сигнала в сторону **ухудшения**. В принципе, в некоторых частных случаях такие изменения могут быть приемлемы. Однако, в большинстве практических случаев, формирование сигналов с **переменным** периодом при **постоянных** отношении  $T_S/T_{DAC}$ , порядке и частоте среза ФНЧ **не позволяет** обеспечить значений  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$  или  $THD$ , не выше заданных, во всем диапазоне изменения периода сигнала.

С другой стороны, данный подход характеризуется относительной **простотой** реализации. Для нее необходимо только, в зависимости от  $T_S$ , программно изменять частоту строб-сигнала загрузки кодов в регистр данных ЦАП. Данный сигнал, в свою очередь, рационально формировать одним из таймеров МК.

**Вариант 2.** При формировании сигнала как с периодом как  $T_{S1}$ , так и  $T_{S2}$ , период дискретизации выходного сигнала ЦАП,  $T_{DAC}$ , поддерживается равным некоторому фиксированному значению, при отношении  $T_S/T_{DAC}$ , изменяемом в зависимости от  $T_S$ , при неизменных порядке и частоте среза ФНЧ.

Необходимо остановиться на выборе значения  $T_{DAC}$ . Как следует из выводов, приведенных в подпункте 10.4.5.18, рационален выбор  $T_{DAC}$ , обеспечивающего требования к  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$  или, соответственно, к  $THD$  при **минимальном** возможном периоде  $T_S$  (т. е. при максимальной частоте генерируемого сигнала). Действительно, как следует из табл. 10.4 и 10.6 если требования к  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$  или к  $THD$  удовлетворяются при минимальном  $T_S$  и, соответственно, минимальном отношении  $T_S/T_{DAC}$ , то при **большем**  $T_S/T_{DAC}$  (т. е. меньшей частоте сигнала) и неизменных  $T_{DAC}$ , порядке и частоте среза ФНЧ:

- степень сглаживания сигнала будет выше, чем при минимальном отношении  $T_S/T_{DAC}$ ;
- амплитуда сигнала исказится в меньшей степени, чем при максимальной частоте формируемого сигнала.

Вышесказанное поясняют примеры, приведенные в табл. 10.9 и 10.10. Во всех данных примерах «глитчи» устранены посредством БВХ (см. подпункт 10.4.5.6), используются ФНЧ с передаточной характеристикой Баттерворта.

Таблица 10.9

*Примеры значений  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT max}$  треугольного сигнала при  $T_{DAC} = const$  и частоте среза ФНЧ, не перестраиваемой при изменении  $T_S$  (см. также пояснения в тексте)*

Порядок ФНЧ	$f_c$	$T_S$	$ \Delta_A(T_{DAC}) _{max}/X_{DACOUT max}$
1	$0,4/T_{DAC}^{1)}$	$T_{S2} = 16T_{DAC}$	2,3% <sup>1)</sup>
		$T_{S1} = 128T_{DAC}$	0,32%
2		$T_{S2} = 16T_{DAC}$	1,1% <sup>1)</sup>
		$T_{S1} = 128T_{DAC}$	0,17%

<sup>1)</sup> См. табл. 10.4

Таблица 10.10

*Примеры значений THD гармонического сигнала при  $T_{DAC} = const$  и частоте среза ФНЧ, не перестраиваемой при изменении  $T_S$  (см. также пояснения в тексте)*

Порядок ФНЧ	$f_c$	$T_S$	THD при $H_{max} = 40$	$\left H\left(\frac{1}{T_S}\right)\right $
1	$5,333/T_{S2}^{1)} = 0,333/T_{DAC}$	$T_{S2} = 16T_{DAC}$	3% <sup>1)</sup>	0,983 <sup>1)</sup>
		$T_{S1} = 128T_{DAC}$	0,24%	0,9997
2	$9,143/T_{S2}^{1)} = 0,571/T_{DAC}$	$T_{S2} = 16T_{DAC}$	3% <sup>1)</sup>	1 <sup>1)</sup>
		$T_{S1} = 128T_{DAC}$	0,27%	1

<sup>1)</sup> См. табл. 10.6

Таким образом, при неизменных значениях  $T_{DAC}$  и порядке и частоте среза ФНЧ, удовлетворяющих требованиям к  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT max}$  или к THD при минимально возможном периоде формируемого сигнала, его отклонение от минимального, приводит к изменению параметров сигнала в сторону **улучшения**.

**Вывод.** В общем случае, при генерации посредством ЦАП сигналов с изменяемым периодом, **предпочтителен** вариант

формирования сигнала, при котором период его дискретизации ( $T_{DAC}$ ) и параметры ФНЧ (порядок и частота среза) неизменны, а отношение  $T_S/T_{DAC}$  (т. е. число «ступеней» за период) изменяется в зависимости от периода  $T_S$  генерируемого сигнала. При этом **выбор**  $T_S/T_{DAC}$ , а также параметров ФНЧ должны осуществляться таким образом, чтобы требования к  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$  или, соответственно, к  $THD$  удовлетворялись при **минимально** возможном периоде формируемого сигнала.

**Реализация** данного подхода может осуществляться двумя способами.

1. Если необходимо формирование сигнала с несколькими фиксированными значениями периода, в памяти МК рационально хранить массивы отсчетов генерируемого сигнала для каждого возможного значения его периода. Размер массива отсчетов сигнала с периодом  $T_{Si}$  равен  $T_{Si}/T_{DAC}$ , и на практике не превышает нескольких десятков слов разрядностью от 8-и до 12-ти бит, что вполне приемлемо для МК класса «*high performance*» (для МК классов «*cost-sensitive*» и «*mainstream*» наличие в их составе встроенных ЦАП не характерно). При генерации сигнала с периодом  $T_{Si}$  его отсчеты считываются из соответствующего ( $i$ -го) массива.

2. Если же необходима генерация сигнала с частотой, программно-задаваемой числом возможных значений периода, большим 5-ти – 10-ти, производится перерасчет массива при каждом изменении периода сигнала, что также реализуемо на МК класса «*high performance*».

При обоих способах реализации частота строб-сигнала загрузки кодов в регистр данных ЦАП должна поддерживаться **постоянной**.

**10.4.5.20.** Необходимо также остановиться на формировании посредством ЦАП **прямоугольных** сигналов (см. подпункт 10.4.5.14) с переменными периодом и длительностью.

Как указано в подпункте 10.4.5.14, при генерации прямоугольных сигналов нет необходимости в их сглаживании; следует только обеспечить подавление / устранение «глитчей» (в идеале – до уровня ЕМЗР), при длительности фронта и спада формируемого сигнала, не превышающих допустимые значения, определяемые конкретной задачей.

Можно рекомендовать следующий общий подход к решению данной задачи:

- при возможности устранения «глитчей» с помощью БВХ (при этом условия применения БВХ для данной цели, приведенные в подпунктах 10.4.5.6 и 10.4.5.14, должны удовлетворяться при **минимальных** длительности и периоде формируемого импульса), предпочтительно устранение «глитчей» способом, описанным в подпункте 10.4.5.6;

- если устранение «глитчей» данным способом невозможно или нежелательно – необходимо их подавление с помощью ФНЧ, параметры которого должны выбираться (например, по табл. 10.5) таким образом, чтобы требования к длительности фронта и спада формируемого сигнала удовлетворялись при его **минимальных** длительности и периоде.

**10.4.5.21.** В заключение необходимо также остановиться на требованиях к **стабильности** периода дискретизации (т. е. длительности «ступени») выходного сигнала ЦАП и основных способах обеспечения данных требований.

**Первое** из данных требований по сущности аналогично требованию к стабильности периода дискретизации АЦП (см. подпункт 10.3.6.13). Оно состоит в том, что изменение аппроксимируемого ЦАП сигнала за время, равное отклонению  $T_{DAC}$  от номинального значения, должно быть пренебрежимо мало (в качестве пренебрежимо малого значения обычно принимается не превышающее 0,25 от аналогового эквивалента ЕМЗР ЦАП). Математически данное требование выражается следующим образом:

$$\Delta T_{DAC} \times |v|_{max} < X_{REF} / 2^{N+2}; \quad (10.73)$$

где  $\Delta T_{DAC}$  – нестабильность  $T_{DAC}$  (т. е. разность его максимального и минимального значения);  $|v|_{max}$  – абсолютное значение максимальной скорости изменения аппроксимируемого сигнала (см. подпункт 10.4.5.9).

**Второе** из требований состоит в том, что отклонение периода генерируемого сигнала от номинального значения не должно

превышать допустимое, определяемое конкретной задачей, т. е. должно соблюдаться условие:

$$\frac{|T_{DAC} - T_{DAC\ nom}|_{max}}{T_{DAC\ nom}} \leq \frac{|T_S - T_{S\ nom}|_{max}}{T_{S\ nom}}; \quad (10.74)$$

где  $T_{DAC\ nom}$  и  $T_{S\ nom}$  – номинальные значения  $T_{DAC}$  и  $T_S$  соответственно.

Естественно, стабильность значения  $T_{DAC}$  не критична при формировании постоянных сигналов посредством ЦАП.

Наиболее рациональным подходом к **минимизации** нестабильности  $T_{DAC}$  является следующий:

- использовать режим «*Triggering by an external event*» для загрузки кодов в регистр данных ЦАП, которая при этом осуществляется по строб-сигналу, вырабатываемому некоторым внешним по отношению к ЦАП блоком МК по определенному событию (выбор блока и события, инициирующих загрузку, осуществляется программно, см. подпункт 10.4.6.4);

- в качестве источника строб-сигнала использовать один из таймеров МК, а в качестве события, инициирующего генерацию строб-сигнала – событие, наступающее с строго определенной периодичностью, например, переполнение счетчика таймера или достижение его содержимым некоторого заданного значения.

См., например, программный фрагмент в пункте 8.4.2.

При этом нестабильность значения  $T_{DAC}$  будет равна:

$$\Delta T_{DAC} = \Delta T_{TRIG} + \Delta t_{DELAY} + \Delta t_{SET}; \quad (10.75)$$

где  $\Delta T_{TRIG}$  и  $\Delta t_{DELAY}$  – нестабильность соответственно периода строб-сигнала ЦАП и времени задержки между моментом поступления активного фронта строб-сигнала и моментом загрузки очередного кода в регистр данных ЦАП;  $\Delta t_{SET}$  – нестабильность времени установления выходного сигнала ЦАП.

Период строб-сигнала фактически равен периоду наступления события, инициирующего его генерацию. Задержка  $t_{DELAY}$  определяется архитектурой блока ЦАП конкретного семейства / подсемейства МК и, как правило, равна определенному числу периодов тактового сигнала домена, к которому относится

ЦАП. Например, у МК модельного ряда *STM32F4xx* данная задержка равна 3-м периодам синхросигнала домена *APB1* [14].

При условии, что тактирование как таймера – источника строб-сигнала ЦАП, так и МК в целом осуществляются ГТИ на основе ПЭР (см. раздел 4), нестабильность как периода строб-сигнала ЦАП ( $T_{TRIG}$ ), так и задержки  $t_{DELAY}$  пренебрежимо малы по сравнению со значением  $T_{DAC}$ . При этом его нестабильность будет практически равна  $\Delta t_{SET}$ , которая физически присуща ЦАП и практически не устранима. Значение  $\Delta t_{SET}$  ЦАП МК общего назначения, как правило, не нормируется. Исходя из того, что порядок  $t_{SET}$  составляет несколько мкс [29], его нестабильность не должна превышать нескольких десятков нс. Например, даже при  $\Delta t_{SET}$ , равном 100 нс:

- для треугольного сигнала с размахом, равным  $X_{REF}$ , т. е. с  $|v|_{max}$ , равной  $2X_{REF}/T_S$ , условие (10.74) соблюдается при  $T_S$ , большем 200 мкс, если  $N$  равно 8 бит, и 3,2 мс – при  $N = 12$  бит;

- для гармонического сигнала с равным  $X_{REF}$  размахом (т. е. с  $|v|_{max}$ , равной  $\pi X_{REF} f$ ), условие (10.73) соблюдается на частоте до 3100 Гц при  $N = 8$  бит, и до 195 Гц – при  $N = 12$  бит;

- в соответствии с выражением (10.75), относительная погрешность периода сигнала, равная  $\pm 0,1\%$ , обеспечивается при номинальном значении  $T_{DAC}$ , большем 100 мкс;

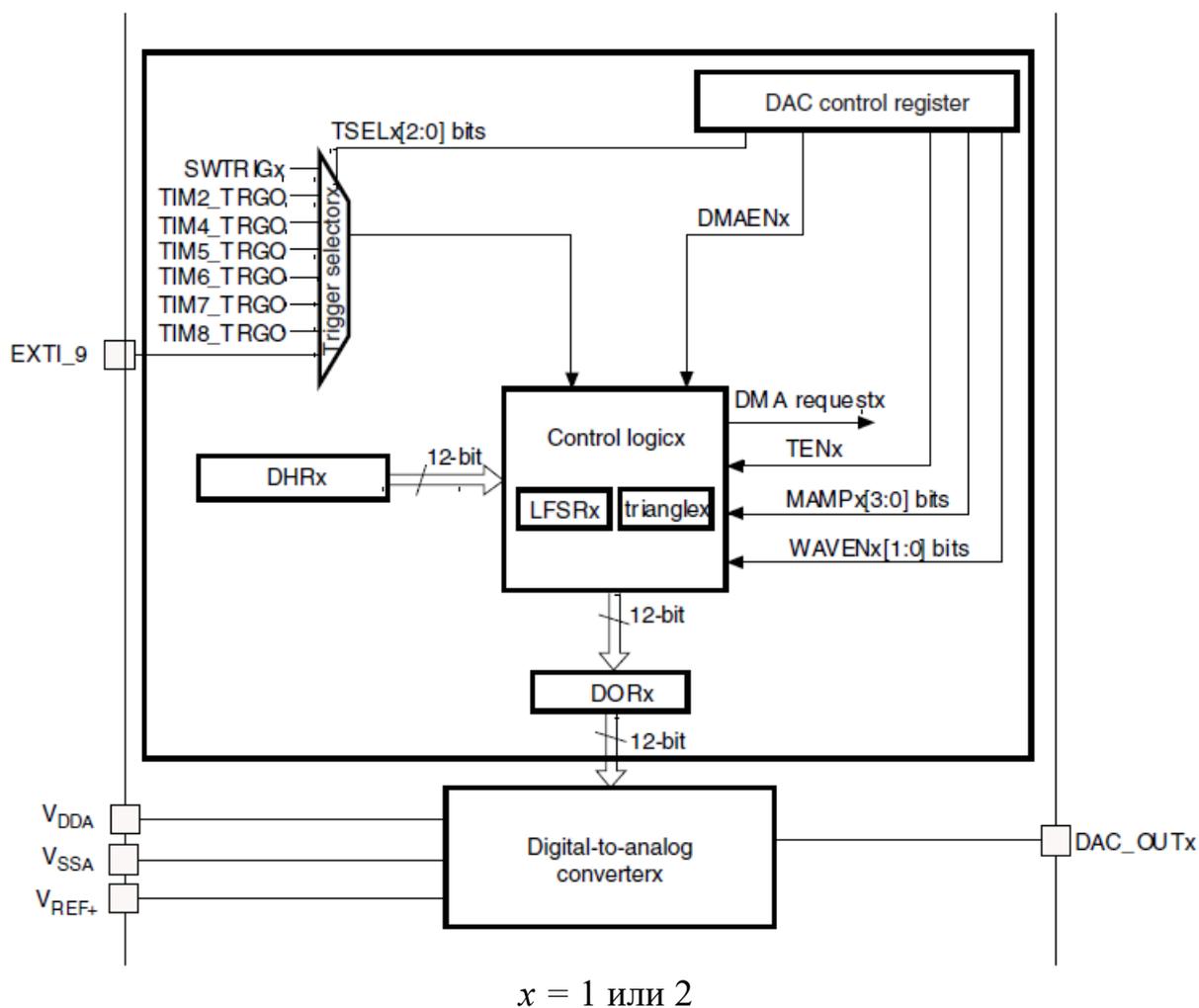
что приемлемо для многих областей применения ЦАП МК общего назначения.

**Примечание.** Учет  $\Delta t_{SET}$  имеет практический смысл, если не используется сглаживающий ФНЧ (см. табл. 10.4 и 10.6). При его применении и обеспечении пренебрежимо малых значений  $\Delta T_{TRIG}$  и  $\Delta t_{DELAY}$  погрешности формирования сигнала определяются сочетанием параметров ФНЧ и выходного сигнала ЦАП (см. табл. 10.4 и 10.6).

## 10.4.6. Типовой пример структуры и архитектуры блока ЦАП МК

10.4.6.1. Как указано в пункте 10.4.1, типовые структурно-архитектурные решения блока ЦАП МК будем рассматривать на примере ЦАП МК модельного ряда *STM32F4xx* [14].

Модуль ЦАП МК данного модельного ряда содержит два блока ЦАП, реализованных по структурной схеме, приведенной на рис. 10.66.



**Рис. 10.66.** Структурная схема одного блока ЦАП МК модельного ряда *STM32F4xx* [14]  
(пояснения приведены в тексте)

Каждый из блоков ЦАП содержит:  
- собственно ЦАП (*Digital-to-analog converter*);

- схему управления ЦАП (*Control logic*), в том числе генераторы отсчетов сигнала треугольной формы (*triangle*) и псевдослучайного сигнала (*LFSR*), подробнее – см. подпункт 10.4.6.5;

- регистр входного кода собственно ЦАП (*DORx*);

- *Trigger selector* – мультиплексор-селектор строб-сигнала загрузки очередного кодового слова в регистр *DORx*;

- не показанные на рис. 10.66 программно-доступные регистры входных кодов модуля ЦАП; в их составе имеются регистры для записи как 12-, так и 8-битовых слов поддерживаемых форматов (см. подпункт 10.4.6.3);

- программно-недоступный буферный регистр (*DHRx*), в который загружаются кодовые слова, записываемые в регистры входных кодов модуля ЦАП; при загрузке они автоматически приводятся к формату входного кода собственно ЦАП, подробнее – см. подпункт 10.4.6.3.

Регистр управления (*DAC control register*) является общим для обоих блоков ЦАП.

**10.4.6.2.** Собственно ЦАП (*Digital-to-analog converter*) реализован по представленной на рис. 10.58 функциональной схеме. Разрядность входного кода ЦАП равна 12-ти битам. Если для решения некоторой конкретной задачи достаточна 8-битовая точность ЦА-преобразования, в составе регистров входных кодов модуля ЦАП имеются регистры, предназначенные для загрузки 8-битовых данных. Они на аппаратном уровне преобразуются в 12-битовые и записываются в регистр *DHRx*, из которого загружаются в регистр *DORx* (подробнее – см. подпункт 10.4.6.3).

Опорное напряжение ЦАП подключается к выводу  $V_{REF+}$ . В его качестве может служить или напряжение питания аналоговой части МК (при отсутствии жестких требований к точности ЦАП), или выходное напряжение внешнего ИОН.

На вывод *DAC\_OUTx*, в зависимости от состояния бита *BOFFx* регистра управления ЦАП (*DAC\_CR*), поступает выходное напряжение или делителя *R-2R*, или буферного повторителя (см. рис. 10.58).

**10.4.6.3.** Архитектура модуля ЦАП МК модельного ряда *STM32F4xx* допускает следующие форматы подаваемых на модуль

ЦАП входных кодов, в зависимости от решаемой задачи и от особенностей прикладного ПО [14]:

- 8-битовый с «выравниванием вправо» (*right alignment*);
- 12-битовое с «выравниванием вправо»;
- 12-битовое с «выравниванием влево» (*left alignment*).

В составе программно-доступных регистров блока ЦАП имеется:

- по одному регистру для записи входного кода каждого из 2-х ЦАП в каждом из перечисленных форматов;

- по одному регистру для записи входных кодов каждого из перечисленных форматов в режиме двухканального преобразования (см. подпункт 10.4.6.7).

Все перечисленные регистры доступны также для чтения.

Состав и форматы программно-доступных регистров входных кодов модуля ЦАП МК модельного ряда *STM32F4xx* приведены на рис. 10.67. На нем:

- *DAC\_DHR12R1* и *DAC\_DHR12R2* – регистры 12-битового входного кода соответственно 1-го и 2-го блока ЦАП с «выравниванием вправо»;

- *DAC\_DHR12L1* и *DAC\_DHR12L2* – регистры 12-битового входного кода 1-го и 2-го блока ЦАП с «выравниванием влево»;

- *DAC\_DHR8R1* и *DAC\_DHR8R2* – регистры 8-битового входного кода 1-го и 2-го блока ЦАП с «выравниванием вправо»;

- *DAC\_DHR12RD* и *DAC\_DHR12LD* – регистры 12-битовых входных кодов (с выравниванием «вправо» и «влево» соответственно) 1-го и 2-го блока ЦАП в режиме двухканального преобразования;

- *DAC\_DHR8RD* – регистр 8-битовых входных кодов 1-го и 2-го блока ЦАП (с «выравниванием вправо») в режиме двухканального преобразования;

- *Offset* – смещение адреса регистра относительно базового адреса, выделенного для регистров блока ЦАП конкретной модели МК.

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x08	DAC_DHR12R1	Reserved											DACC1DHR[11:0]																				
0x0C	DAC_DHR12L1	Reserved											DACC1DHR[11:0]										Reserved										
0x10	DAC_DHR8R1	Reserved														DACC1DHR[7:0]																	
0x14	DAC_DHR12R2	Reserved											DACC2DHR[11:0]																				
0x18	DAC_DHR12L2	Reserved											DACC2DHR[11:0]										Reserved										
0x1C	DAC_DHR8R2	Reserved														DACC2DHR[7:0]																	
0x20	DAC_DHR12RD	Reserved		DACC2DHR[11:0]										Reserved				DACC1DHR[11:0]															
0x24	DAC_DHR12LD	DACC2DHR[11:0]										Reserved				DACC1DHR[11:0]										Reserved							
0x28	DAC_DHR8RD	Reserved														DACC2DHR[7:0]						DACC1DHR[7:0]											

**Рис. 10.67.** Состав и форматы программно-доступных регистров входных кодов модуля ЦАП МК модельного ряда *STM32F4xx* [14] (см. пояснения в тексте)

Запись кодов в регистры должна производиться в соответствии с представленными на рис. 10.67 форматами; например, 12-битовое кодовое слово должно записываться в биты с 15-го по 4-й регистра *DAC\_DHR12L1*. Коды, записываемые в программно-доступные регистры входных кодов модуля ЦАП, по ближайшему фронту сигнала синхронизации домена *APB1*, автоматически перезагружаются в регистры *DHR1 / DHR2*. При перезагрузке они также автоматически, на аппаратном уровне, приводятся к формату входного кода собственно ЦАП, а именно:

- содержимое поля *DACCxDHR[11:0]* регистров *DAC\_DHR12Rx*, *DAC\_DHR12Lx*, *DAC\_DHR12RD* и *DAC\_DHR12LD* (см. рис. 10.67) записывается в биты с 11-го по 0-й регистра *DHRx* (где  $x = 1, 2$ );

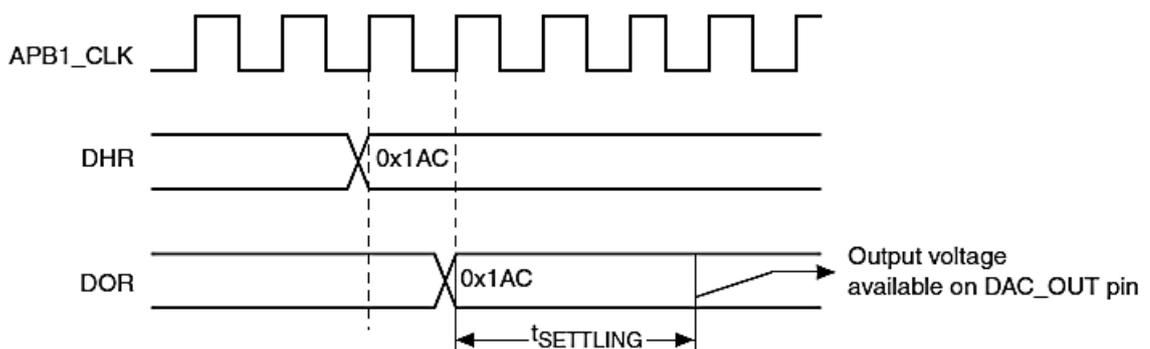
- содержимое поля *DACCxDHR[7:0]* регистров *DAC\_DHR8Rx* и *DAC\_DHR8RD* (см. рис. 10.67) загружается в биты с 11-го по 4-й регистра *DHRx* (где  $x = 1, 2$ ).

Из регистра *DHRx* данные, без изменения их формата, перезаписываются в регистр входного кода собственно ЦАП, *DORx*, доступный только для чтения. Перезапись осуществляется:

- если разрешен режим работы «*Triggering by an external event*» (см. подпункт 10.4.6.4) – по событию, инициирующему запись содержимого  $DHRx$  в регистр  $DORx$ ; задержка между данным событием и загрузкой регистра  $DORx$  равна 3-м периодам синхросигнала домена  $APB1$  (при варианте «*Software triggering*» режима «*Triggering by an external event*» – одному периоду);

- в противном случае – по обновлении содержимого регистра  $DHRx$ , т. е. при записи очередного кодового слова в какой-либо из регистров входных кодов модуля ЦАП (см. рис. 10.67); при этом задержка между загрузкой регистра  $DHRx$  и регистра  $DORx$  равна одному периоду синхросигнала домена  $APB1$ .

Временные диаграммы загрузки регистров  $DHRx$  и  $DORx$  в отсутствие режима «*Triggering by an external event*» приведены на рис. 10.68.



**Рис. 10.68.** Временные диаграммы загрузки регистров  $DHRx$  и  $DORx$  в отсутствие режима «*Triggering by an external event*» [14]

Выходное напряжение ЦАП с номером  $x$  (без учета погрешностей) равно, независимо от формата используемого регистра входных кодов модуля ЦАП (см. рис. 10.67):

$$U_{DACOUTx} = V_{REF+} \times DORx / 2^{12}.$$

**10.4.6.4.** Разрешение работы 1-го / 2-го блока ЦАП в режиме «*Triggering by an external event*» производится установкой в единицу бита  $TEN1$  или, соответственно  $TEN2$  регистра управления модулем ЦАП,  $DAC\_CR$ . Выбор события «*Triggering event*», инициирующего загрузку содержимого регистра  $DHRx$  в регистр  $DORx$  ( $x = 1, 2$ ), осуществляется битовыми полями  $TSEL1[2:0]$  и  $TSEL2[2:0]$

регистра *DAC\_CR*. В качестве данных событий, в зависимости от содержимого битового поля *TSEL1[2:0] / TSEL2[2:0]* могут служить:

- активный перепад сигнала *TRGO* (см. рис. 9.41 и подпункт 9.5.3.7) 2-го, 4-го, 5-го, 6-го, 7-го или 8-го таймера;

- активный перепад сигнала на 9-й линии внешних прерываний МК (см. подпункт 7.3.2.17);

- «*Software triggering*», т. е. инициирование загрузки регистра *DORx* программной установкой в единицу бита *SWTRIG1* или, соответственно, *SWTRIG2* регистра *DAC\_SWTRIGR*; после загрузки данные биты автоматически сбрасываются.

Подробнее – см. пункт 14.3.6 Руководства [14].

Отметим, что при необходимости обеспечения стабильности периода дискретизации (т. е. длительности «ступени») выходного сигнала ЦАП, рационален для применения режим «*Triggering by an external event*», с использованием сигнала *TRGO* в качестве строба загрузки (см. подпункт 10.4.5.21, а также программный фрагмент в пункте 8.4.2).

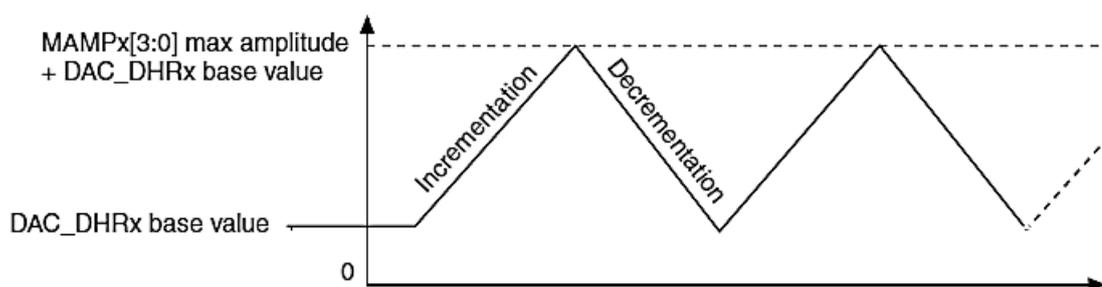
**10.4.6.5.** Модуль ЦАП МК модельного ряда *STM32F4xx* содержит генераторы отсчетов **симметричного треугольного** и **псевдослучайного** (шумоподобного) сигнала, обозначенные на рис. 10.66 как *triangle* и *LFSR*. Их наличие позволяет автоматически, на аппаратном уровне генерировать сигналы соответствующей формы на выходе каждого из ЦАП, без необходимости создания массива их отсчетов в памяти МК под управлением ПО. Генерация возможна **только** в режиме «*Triggering by an external event*» (см. подпункт 10.4.6.4), т. е. при установленных в единицу битах *TEN1* или, соответственно *TEN2* регистра *DAC\_CR*.

Формирование треугольного сигнала 1-м или 2-м блоком ЦАП запускается записью кода  $1x$  (где  $x$  – безразличное состояние) в битовое поле *WAVE1[1:0]* или, соответственно, *WAVE2[1:0]* регистра *DAC\_CR*; генерация псевдослучайного сигнала – записью кода  $01$  в поле *WAVE1[1:0]* или *WAVE2[1:0]*.

Временная диаграмма сигнала, генерируемого ЦАП в режиме ***triangle wave generation***, приведена на рис. 10.69. Он представляет собой сумму симметричного треугольного сигнала с размахом, задаваемым битовым полем *MAMP1[3:0] / MAMP2[3:0]* регистра

$DAC\_CR$ , и смещения, равного выраженному в ЕМЗР содержимому регистра  $DHR1$  или, соответственно,  $DHR2$ , загружаемому, в свою очередь, посредством записи одного из программно-доступных регистров входных кодов модуля ЦАП (см. подпункт 10.4.6.3). Например, при  $MAMPx[3:0] = 0000$  размах формируемого треугольного сигнала равен 1 ЕМЗР, при  $MAMPx[3:0] = 0001 - 3$  ЕМЗР;  $MAMPx[3:0] = 0010 - 7$  ЕМЗР;  $MAMPx[3:0] = 0100 - 31$  ЕМЗР;... при  $MAMPx[3:0] \geq 1011 - 4095$  ЕМЗР (подробнее – см. пункт 14.5.1 Руководства [14]).

**Примечание.** Запись битов  $MAMPx[3:0]$  должна производиться до разрешения работы ЦАП, т. е. до установки в единицу бита  $ENx$  регистра  $DAC\_CR$ .



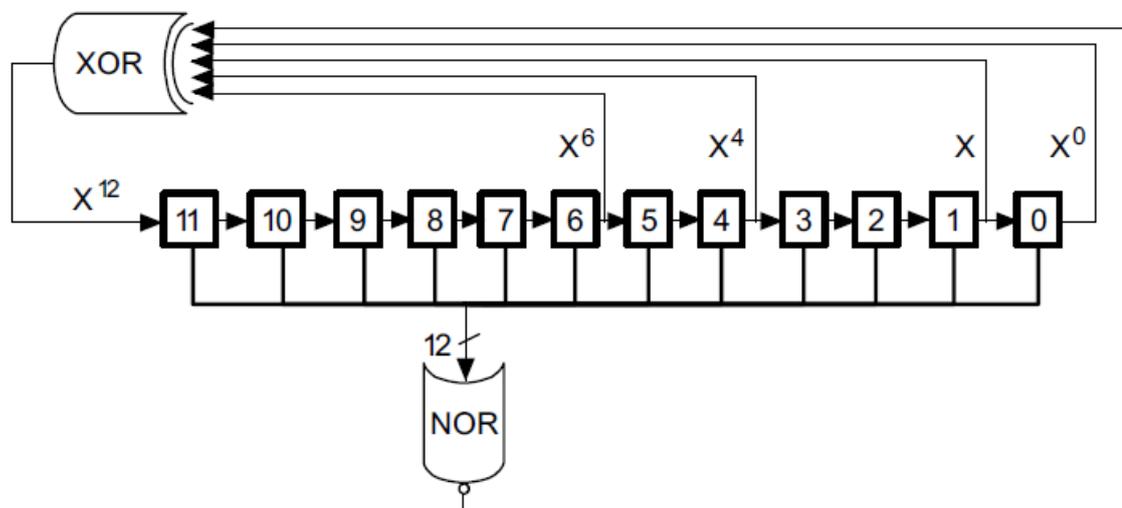
**Рис. 10.69.** Временная диаграмма сигнала, генерируемого ЦАП МК модельного ряда  $STM32F4xx$  в режиме *triangle wave generation* [14] (см. пояснения в тексте)

Отсчеты **псевдослучайного** сигнала каждого из блоков ЦАП формируются генераторами псевдослучайных чисел (ГПСЧ) на основе сдвигового регистра с обратными связями (*linear feedback shift register, LFSR*, см. рис. 10.66). ГПСЧ реализованы по типовой структурной схеме, приведенной на рис. 10.70. Ее основу составляет 12-битовый сдвиговый регистр; на его информационный вход поступает сумма (по модулю 2) битов, номера которых определяются порождающим полиномом ГПСЧ, в данном конкретном случае имеющим вид:

$$G(x) = x^{12-12} + x^{6-12} + x^{4-12} + x^{1-12} + x^{0-12} = \\ = 1 + x^{-6} + x^{-8} + x^{-11} + x^{-12}$$

12-входовой элемент ИЛИ-НЕ (*NOR*) предотвращает переход регистра в устойчивое нулевое состояние: если все его биты

оказываются нулевыми, выход элемента *NOR* устанавливается в единицу, которая поступает на вход регистра через элемент *XOR*.



**Рис. 10.70.** Структурная схема ГПСЧ модуля ЦАП МК модельного ряда *STM32F4xx* [14]

Как и в режиме *triangle wave generation*, в генерируемый псевдослучайный сигнал может вводиться смещение, равное выраженному в ЕМЗР содержимому регистра *DHRx*, а размах псевдослучайного сигнала определяется битовым полем *MAMPx[3:0]* регистра *DAC\_CR*.

В режимах генерации как треугольного, так и псевдослучайного сигнала его очередной отсчет формируется по событию «*Triggering event*», с задержкой относительно него, равной 3-м периодам синхросигнала домена *APB1* (следовательно, период  $T_{TRIG}$  события «*Triggering event*» должен быть не менее 3-х периодов данного синхросигнала). Номинальная длительность «ступени» генерируемого сигнала ( $T_{DAC}$ ) равна  $T_{TRIG}$ .

**10.4.6.6.** Архитектура модуля ЦАП практически всех моделей современных МК, в составе которых он имеется, в т. ч. МК модельного ряда *STM32F4xx*, позволяет осуществлять обмен данными между ЦАП и другими блоками / модулями МК (ОЗУ, флэш-памятью, АЦП и т. д.) в режиме ПДП (*DMA*). При обмене в данном режиме модуль ЦАП, практически без исключений, выступает в качестве **приемника** данных.

Разрешение использования режима ПДП блоком ЦАП с номером  $x$  ( $x = 1, 2$ ) МК модельного ряда *STM32F4xx* осуществляется

установкой в единицу бита *DMAENx* регистра *DAC\_CR*. ПДП-обмен возможен **только** при работе ЦАП в режиме «*Triggering by an external event*» (кроме варианта «*Software triggering*»). Как указано ранее, передача данных, практически без исключений, осуществляется в направлении: память (реже другие блоки МК) → ЦАП. При конфигурировании канала ПДП, выделяемого для ЦАП (см. пункт 8.4.2):

- ЦАП присваивается статус ПУ;
- в качестве адреса ПУ указывается адрес используемого регистра входного кода (в приведенном в пункте 8.4.2 программном фрагменте им является регистр *DAC\_DHR8R1*, см. рис. 10.67); записываемые в него данные автоматически перезагружаются в регистр *DHR1* или, соответственно, *DHR2* (см. подпункт 10.4.6.3).

Источником запроса на цикл ПДП-обмена является наступление очередного события «*Triggering event*» (см. подпункт 10.4.6.4), например, активного фронта сигнала *TRGO* выбранного таймера. По данному запросу очередное слово входного кода ЦАП записывается в регистр *DHRx*, с последующей перезагрузкой в регистр *DORx* ЦАП с номером *x*.

Наиболее распространенным на практике вариантом использования режима ПДП при ЦА-преобразовании является формирование аналогового сигнала, отсчеты которого хранятся в памяти, и в режиме ПДП поступают в регистр *DHRx*. Начальный адрес массива отсчетов указывается в качестве базового адреса памяти при конфигурировании выделенного для ЦАП канала ПДП (см. программный фрагмент в пункте 8.4.2).

В процессе ПДП-обмена данными между ЦАП и памятью (или каким-либо другим блоком МК) возможно возникновение события «*DMA underrun*», состоящего в том, что очередное событие «*Triggering event*» наступает до получения контроллером ПДП подтверждения о завершении предыдущего цикла ПДП-обмена. По наступлении события «*DMA underrun*»:

- процесс ПДП-обмена останавливается; в регистре *DORx* остаются данные, записанные в него в последнем нормально завершённом цикле ПДП;

- устанавливается в единицу бит  $DMAUDRx$  в регистре статуса модуля ЦАП;

- генерируется запрос на прерывание по событию «*DMA underrun*», если установлен в единицу бит  $DMAUDRIEx$  в регистре  $DAC\_CR$ .

При обнаружении события «*DMA underrun*» (по прерыванию или программным опросом бита  $DMAUDRx$ ) необходимо [14]:

- сбросить бит  $DMAUDRx$  записью в него единицы;
- сбросить бит разрешения работы используемого потока контроллера ПДП (см. подпункт 8.3.2.5);
- повторно инициализировать (конфигурировать) блок  $x$  ЦАП и контроллер ПДП, приняв меры по предотвращению повторного возникновения события «*DMA underrun*» (увеличением периода  $T_{TRIG}$  и / или, при возможности, «разгрузкой» контроллера ПДП от других задач);
- повторно запустить ПДП-обмен разрешением работы используемого потока контроллера ПДП, а также установкой в единицу битов  $TENx$  и  $DMAENx$ .

Отметим, что событие «*DMA underrun*» является единственным источником прерывания от модуля ЦАП МК модельного ряда  $STM32F4xx$ . При этом в таблице векторов прерываний МК выделена одна и та же позиция (и, соответственно, один и тот же адрес подпрограммы обслуживания) для прерываний от 6-го таймера, 1-го и 2-го ЦАП, обозначенная как  $TIM6\_DAC$  (см. табл. 61 и 62 Руководства [14]).

Существуют также некоторые особенности реализации ПДП-обмена при работе ЦАП в режиме двухканального преобразования (см. подпункт 10.4.6.7).

**10.4.6.7.** Благодаря наличию 2-х ЦАП в составе модуля ЦАП МК модельного ряда  $STM32F4xx$ , возможна его работа в режиме **двухканального ЦА-преобразования**, т. е. одновременного формирования сигналов на выходах ЦАП1 и ЦАП2. Существуют следующие варианты данного режима [14].

1. Вариант *Simultaneous software start*, при котором отсчеты генерируемых сигналов загружаются в регистры  $DORx$  ЦАП непосредственно по очередной записи данных отсчетов в регистр

*DAC\_DHR12RD*, *DAC\_DHR12LD* или *DAC\_DHR8RD* (см. рис. 10.67).

2. Вариант *Simultaneous trigger without wave generation*, при котором на выходах ЦАП1 и ЦАП2 формируются сигналы, отсчеты каждого из которых последовательно записываются в битовые поля *DACCxDHR[11:0]* или *DACCxDHR[7:0]* регистров *DAC\_DHR12RD*, *DAC\_DHR12LD* или *DAC\_DHR8RD* (см. рис. 10.67), и загружаются в регистры *DOR1* и *DOR2* по одному и тому же событию «*Triggering event*» (задаваемому *Simultaneous trigger with different LFSR generation* содержимым битовых полей *TSEL1[2:0]* и *TSEL2[2:0]*).

3. Вариант *Independent trigger without wave generation*, отличающийся от предыдущего тем, что загрузка отсчетов генерируемых сигналов в регистры *DOR1* и *DOR2* производится по различным событиям «*Triggering event*», также определяемым содержимым битовых полей *TSEL1[2:0]* и *TSEL2[2:0]*.

4. Вариант *Simultaneous trigger with single LFSR generation*, при котором на выходах ЦАП1 и ЦАП2 генерируются псевдослучайные сигналы с одинаковым размахом, задаваемым битовым полем *MAMPx[3:0]*, и со смещением, определяемым содержимым битовых полей *DACCxDHR[11:0]* или, соответственно, *DACCxDHR[7:0]* регистров *DAC\_DHR12RD*, *DAC\_DHR12LD* или *DAC\_DHR8RD* (см. рис. 10.67). Очередной отсчет генерируемого сигнала загружается в регистры *DOR1* и *DOR2* по одному и тому же событию «*Triggering event*».

5. Вариант *Simultaneous trigger with different LFSR generation*, отличающийся от предыдущего различными значениями размаха сигнала, генерируемого на выходах ЦАП1 и ЦАП2.

6. Вариант *Independent trigger with single LFSR generation*, отличающийся от 4-го варианта тем, что очередной отсчет генерируемого сигнала загружается в регистры *DOR1* и *DOR2* по различным событиям «*Triggering event*».

7. Вариант *Independent trigger with different LFSR generation*, отличающийся от варианта 6 различными значениями размаха сигнала, генерируемого на выходах ЦАП1 и ЦАП2.

8. Вариант *Simultaneous trigger with single triangle generation*, при котором на выходах ЦАП1 и ЦАП2 генерируются треугольные

сигналы с одинаковым размахом, задаваемым битовым полем  $MAMPx[3:0]$ , и со смещением (см. рис. 10.69), определяемым содержимым битовых полей  $DACCxDHR[11:0]$  или, соответственно,  $DACCxDHR[7:0]$  регистров  $DAC\_DHR12RD$ ,  $DAC\_DHR12LD$  или  $DAC\_DHR8RD$  (см. рис. 10.67). Очередной отсчет генерируемого сигнала загружается в регистры  $DOR1$  и  $DOR2$  по одному и тому же событию «*Triggering event*».

9. Вариант *Simultaneous trigger with different triangle generation*, отличающийся от предыдущего различными значениями размаха сигнала, генерируемого на выходах ЦАП1 и ЦАП2.

10. Вариант *Independent trigger with single triangle generation*, отличающийся от 8-го варианта тем, что очередной отсчет генерируемого сигнала загружается в регистры  $DOR1$  и  $DOR2$  по различным событиям «*Triggering event*».

11. Вариант *Independent trigger with different triangle generation*, отличающийся от варианта 10 различными значениями размаха сигнала, генерируемого на выходах ЦАП1 и ЦАП2.

Нетрудно увидеть, что варианты «*Simultaneous trigger*» предпочтительно использовать для генерации по 1-му и 2-му каналам сигналов с **одинаковой** частотой. При этом их амплитуды, а в варианте 2 – также форма и начальная фаза могут различаться. Для генерации сигналов, различающихся по частоте, предпочтительно использовать варианты «*Independent trigger*».

Более подробное описание перечисленных вариантов режима двухканального ЦА-преобразования, а также указания по их программной реализации приведены в подразделе 14.4 Руководства [14].

При реализации 2-го и 3-го вариантов двухканального преобразования рационально использовать передачу отсчетов генерируемых сигналов из памяти в регистры  $DAC\_DHR12RD$  /  $DAC\_DHR12LD$  /  $DAC\_DHR8RD$  в **режиме ПДП**. При 2-м варианте рационально задействовать **только один** канал контроллера ПДП, во избежание перегрузки контроллера, в т. ч. события «*DMA underrun*» (см. подпункт 10.4.6.6), особенно если ПДП-обмен используется, кроме ЦАП, и другими блоками МК. Благодаря тому, что при 2-м варианте двухканального преобразования загрузка регистров  $DOR1$

и *DOR2* производится по одному и тому же событию «*Triggering event*», оно может быть использовано как источник запроса на цикл ПДП-обмена, в котором происходит передача из памяти очередного отсчета генерируемого сигнала по каждому из каналов. При этом:

- в единичное состояние устанавливается только один из битов *DMAENx* (или *DMAEN1*, или *DMAEN2*), и задействуется канал ПДП, выделенный для ЦАП1 или, соответственно, ЦАП2 (см., например, табл. 42 Руководства [14]);

- отсчеты сигналов, генерируемых по каналам, должны храниться в памяти в форматах, соответствующих формату регистров *DAC\_DHR12RD*, *DAC\_DHR12LD* или *DAC\_DHR8RD* (см. рис. 10.67);

- при конфигурировании задействованного канала ПДП в качестве адреса ПУ назначается адрес регистра *DAC\_DHR12RD*, *DAC\_DHR12LD* или *DAC\_DHR8RD* соответственно, а в качестве адреса памяти – начальный адрес массива отсчетов по каналам, представленных в формате того из перечисленных регистров, который используется как регистр входных кодов модуля ЦАП.

При реализации 3-го варианта режима двухканального преобразования (*Independent trigger without wave generation*) должны быть задействованы каналы ПДП, выделенные как для ЦАП1, так и для ЦАП2, т. к. источники запросов на цикл ПДП-обмена различны.

**10.4.6.8.** Более подробное описание архитектуры модуля ЦАП МК модельного ряда *STM32F4xx* приведено в разделе 14 Руководства [14].

**10.4.6.9.** Описанные в подпунктах 10.4.6.1 – 10.4.6.7 структурно-архитектурные решения, являются типовыми для встроенных ЦАП МК семейства *ARM Cortex-Mx*, а также МК общего назначения **в целом** (исключая ряд второстепенных деталей).

**10.4.6.10.** Типовой пример **программирования** ЦАП МК модельного ряда *STM32F4xx* приведен в пункте 8.4.2.

## **10.5 Сопряжение аналоговых входов / выходов блоков аналого-цифрового интерфейса МК с внешними по отношению к МК устройствами**

В большинстве случаев практического применения встроенных АК и АЦП МК возникают следующие дополнительные проблемы:

- с одной стороны, напряжения, подлежащие АЦ-преобразованию или контролю посредством АК, могут принимать отрицательные значения или / и превышать напряжение питания аналоговой части МК;

- с другой стороны, амплитуда / размах данных напряжений могут быть слишком малы для удовлетворительной точности АЦ-преобразования или контроля (например, быть сопоставимы по значению с аналоговым эквивалентом ЕМЗР АЦП или с напряжением смещения АК);

- выходное сопротивление источника напряжения, подлежащего АЦ-преобразованию, может быть слишком велико для удовлетворения условия (10.23).

В свою очередь, при использовании встроенных ЦАП МК может возникнуть необходимость в решении одной из следующих задач:

- формирование биполярного сигнала, в то время как выходное напряжение ЦАП МК принципиально может быть только однополярным;

- формирование напряжения с амплитудой / размахом, превышающими напряжение питания аналоговой части МК или (реже) – много меньшими данного напряжения;

- генерируемое напряжение должно поступать на нагрузку, ток в которой превышает предельно допустимый выходной ток ЦАП, или сопротивление которой сопоставимо с выходным сопротивлением ЦАП.

Во всех перечисленных случаях необходимо применение специальных устройств сопряжения (УС) входа АК / АЦП с источником сигнала или выхода ЦАП с приемником генерируемого сигнала. Настоящий подраздел посвящен базовым схемам реализации данных устройств.

## 10.5.1. Устройства сопряжения АК / АЦП МК с источниками контролируемых / преобразуемых сигналов

10.5.1.1. Принципы и схемы реализации УС как АК, так и АЦП с источниками контролируемых / преобразуемых сигналов, в целом, аналогичны, и поэтому рассматриваются совместно.

Основными **требованиями** к данным устройствам являются следующие.

1. При максимально возможном размахе преобразуемого / контролируемого сигнала входное напряжение АЦП должно находиться в пределах от  $0,05U_{REF}$  до  $0,95U_{REF}$ ; входное напряжение АК - от  $0,05AV_{CC}$  до  $0,95AV_{CC}$  (где  $AV_{CC}$  – напряжение питания аналоговой части МК);

2. Выходное сопротивление ( $R_{OUT}$ ) УС с АЦП должно удовлетворять условию (10.23), в которое его следует подставить **вместо**  $R_{AIN}$ , а также быть пренебрежимо мало по сравнению со входным сопротивлением АЦП ( $R_{IN ADC}$ ), т. е. должно выполняться требование:

$$R_{IN ADC} / (R_{IN ADC} + R_{OUT}) \geq 1 - 2^{N+2}. \quad (10.76)$$

3. Выходное сопротивление УС с АК должно удовлетворять условию, аналогичному (10.76):

$$R_{IN AC} / (R_{IN AC} + R_{OUT}) \geq 1 - (\Delta_{AC max} / (4U_{OUT})); \quad (10.77)$$

где  $R_{IN AC}$  – входное сопротивление АК;  $U_{OUT}$  – выходное напряжение устройства сопряжения;  $\Delta_{AC max}$  – максимально допустимая относительная погрешность сравнения (см. подпункт 10.2.1.10).

4. УС должно быть снабжено цепями защиты, предотвращающими его повреждение при выходе входного напряжения за допустимые пределы.

5. Выходное напряжение УС ни при каких условиях (в т. ч. при его выходе из «штатного» режима работы, например, при переходе в состояние насыщения по выходу) не должно выходить за допустимые пределы входного напряжения АЦП или АК (от 0 до напряжения питания аналоговой части МК).

**6. Крайне желательно**, чтобы питание УС осуществлялось тем же напряжением, что и питание аналоговой части МК, и для работы УС не требовалось дополнительных источников электропитания. Данное требование важно, в первую очередь, с той точки зрения, что при его соблюдении естественным образом, без каких-либо специальных мер, удовлетворяется требование 5. Также отсутствие дополнительных источников электропитания, естественно, способствует упрощению и миниатюризации устройства сопряжения. Поэтому в дальнейшем будет рассматриваться, в основном, схемы УС, питаемые тем же напряжением, что и аналоговая часть МК, и не требующие дополнительных источников электропитания.

**10.5.1.2.** В табл. 10.11 приведены наиболее распространенные на практике сочетания характеристик источника входного напряжения УС, а также ссылки на возможные варианты функциональных схем реализации УС при каждом из сочетаний. Данные схемы с их краткими описаниями и основными расчетными соотношениями представлены в подпунктах 10.5.1.3 – 10.5.1.12.

**Общими характеристиками УС, схемы которых приведены на рис. 10.71 – 10.80, являются следующие:**

- электропитание всех данных УС осуществляется напряжением питания аналоговой части МК, обозначенным на рис. 10.71 – 10.80 как  $AV_{CC}$ ; дополнительных источников питания данные УС не требуют (см. п. 6 требований, приведенных в подпункте 10.5.1.1);

- модели операционных усилителей (ОУ), входящих в состав УС, схемы которых приведены на рис. 10.74 – 10.80, должны допускать питание однополярным напряжением; **желательно** использование моделей ОУ класса «*rail-to-rail*», диапазон выходных напряжений которых в линейном режиме работы находится в пределах от нуля до напряжения питания ОУ;

- естественно, напряжение  $AV_{CC}$  должно быть стабилизированным; цепи питания должны быть снабжены блокировочными конденсаторами (см. рис. 3.1);

- все УС снабжены цепями защиты по напряжению их входов или / и входов МК, реализованными на диодах Шоттки, применение которых предпочтительно из-за меньшего падения напряжения в

открытом состоянии (примерно 300 мВ) по сравнению с кремниевыми диодами (у которых оно составляет примерно 600 – 650 мВ); более подробные пояснения приведены в подпункте 10.5.1.3;

- схемы, приведенные на рис. 10.71 – 10.80, предназначены для работы на частотах не выше нескольких десятков кГц, поскольку АК и АЦП МК общего назначения, как правило, не используются для контроля и анализа сигналов с более высокими частотами;

- на рис. 10.71 – 10.80 аббревиатурой ОКУ обозначен объект контроля и управления; ПВВ – порт ввода – вывода МК, соответствующий пин которого **сконфигурирован** на выполнение функции входа АЦП или, соответственно, АК

Далее – см. подпункты 10.5.1.3 – 10.5.1.12.

Таблица 10.11

*Варианты сочетаний характеристик источника входного напряжения УС и соответствующих им схем УС*

Вариант	Входное напряжения УС	Вариант функциональной схемы УС
1	2	3
1	Соответствует требованию 1. Размах – одного порядка с $AV_{CC}^{1)}$	Рис. 10.71 или 10.72 <sup>2)</sup>
2	Положительное, с максимальным значением, большим $AV_{CC}^{1)}$	Рис. 10.73 или 10.74 <sup>3)</sup>
3	Положительное, с максимальным значением, много меньшим $AV_{CC}^{1)}$	Рис. 10.75
4	Отрицательное, с максимальным по модулю значением, одного порядка или большим $AV_{CC}^{1)}$	Рис. 10.76
5	Отрицательное, с максимальным по модулю значением, много меньшим $AV_{CC}^{1)}$	Рис. 10.76 или 10.77 <sup>4)</sup>
6	Переменное, без постоянной составляющей. Амплитуда – одного порядка с $AV_{CC}^{1)}$ , не более $0,9U_{REF}$ или $0,9AV_{CC}$ (при сопряжении с АЦП или с АК соответственно)	Рис. 10.78 или 10.79 <sup>5)</sup>

### Окончание таблицы 10.11

1	2	3
7	Переменное, без постоянной составляющей. Амплитуда превышает $0,9U_{REF}$ или, соответственно, $0,9AV_{CC}$ <sup>1)</sup>	Рис. 10.79
8	Переменное, без постоянной составляющей. Амплитуда много меньше $AV_{CC}$ <sup>1)</sup>	Рис. 10.79 или 10.80 <sup>6)</sup>

#### Примечания.

<sup>1)</sup> В технической документации на конкретные семейства / подсемейства МК различные фирмы – производители используют различные обозначения напряжения питания аналоговой части МК (см., например, рис. 3.2, 3.5, 10.33 и 10.41).

<sup>2)</sup> В зависимости от расчетного значения сопротивления резистора  $R1$  и выходного сопротивления источника входного напряжения УС (см. подпункт 10.5.1.3).

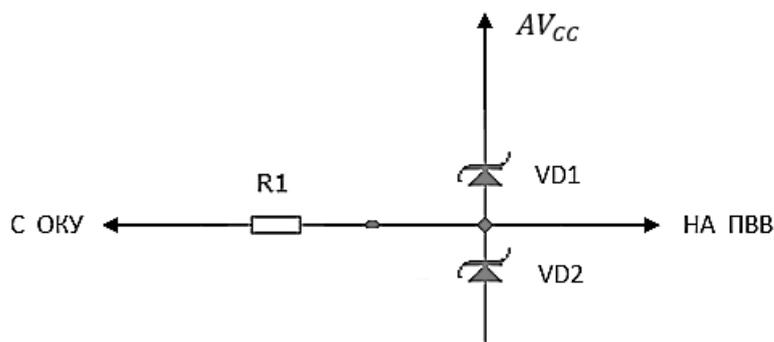
<sup>3)</sup> В зависимости от расчетных значений сопротивлений резисторов  $R1$  и  $R2$  (см. подпункт 10.5.1.5).

<sup>4)</sup> См. пояснения в подпункте 10.5.1.9.

<sup>5)</sup> См. Примечание в подпункте 10.5.1.11.

<sup>6)</sup> См. пояснения в подпункте 10.5.1.12.

**10.5.1.3.** Функциональная схема простейшего варианта УС приведена на рис. 10.71.



**Рис. 10.71.** Функциональная схема УС входа АК / АЦП МК с источником контролируемого / преобразуемого напряжения (вариант №1)

Приведенный на рис. 10.71 вариант схемы УС может быть применен, если поступающее с ОКУ напряжение в «штатном» режиме работы не выходит за пределы от  $0,05AV_{CC}$  до  $0,95AV_{CC}$ , его порядок таков же, как у  $AV_{CC}$ , а сумма выходного сопротивления его

источника и сопротивления резистора  $R1$  (назначение которого пояснено далее) соответствует требованиям (10.23) и (10.76) / (10.77). При таких условиях УС должно выполнять только задачу предохранения входа ПВВ МК от случайного попадания на него напряжений, превышающих  $AV_{CC}$ , или отрицательных напряжений, которые могут поступить с ОКУ в различных «нештатных» ситуациях.

Цепь предохранения входа ПВВ содержит защитные диоды Шоттки  $VD1$  и  $VD2$  и токоограничивающий резистор  $R1$ . Если напряжение, поступающее с ОКУ, находится в пределах от 0 до  $AV_{CC}$ , оба диода смещены в обратном направлении, и, при условии, что  $R_{OUT} + R1$  намного больше, чем  $R_{IN_{ADC}}$  или, соответственно,  $R_{IN_{AC}}$ , напряжение на входе ПВВ будет равно поступающему с ОКУ. Если напряжение, поступающее с ОКУ, превысит значение  $AV_{CC} + U_D$ , где  $U_D$  – падение напряжения на прямо смещенном диоде, диод  $VD1$  открывается, и напряжение на входе ПВВ фиксируется на уровне  $AV_{CC} + U_D$ . Если же напряжение с ОКУ станет меньше  $-U_D$ , откроется диод  $VD2$ , и напряжение на входе ПВВ зафиксируется на уровне  $-U_D$ . Таким образом, даже в «нештатных» ситуациях данное напряжение не превысит значения  $AV_{CC} + U_D$  и не снизится до уровня, меньшего  $-U_D$ . При условии, что  $U_D \leq 300$  мВ (что характерно для диодов Шоттки, **но не для кремниевых**). Входное напряжение ПВВ при этом останется в пределах, допустимых для большинства семейств / подсемейств МК (см., например, табл. 2.3 Руководства [8] или табл. 6 *Datasheet* [10]).

Назначение резистора  $R1$  – ограничение тока защитных диодов до уровня, не превышающего предельно допустимый (на практике – с 20 – 30-процентным запасом). Сопротивление данного резистора выбирается из условия:

$$R1 \approx (1,4 \dots 1,5) \times |U_{ОКУ}|_{max} / I_{D \ max}; \quad (10.78)$$

где  $|U_{ОКУ}|_{max}$  – максимально возможное (в т. ч. в «нештатной» ситуации) абсолютное значение напряжения, поступающего с ОКУ;  $I_{D \ max}$  – максимально допустимый прямой ток диодов  $VD1$  и  $VD2$ .

Если резистор  $R1$  отсутствует или не соответствует условию (10.78), в «нештатной» ситуации прямой ток одного из диодов или

их обоих превысит допустимое значение, что повлечет за собой их выход из строя, с последующим, практически мгновенным, **выходом из строя** соответствующего разряда ПВВ,

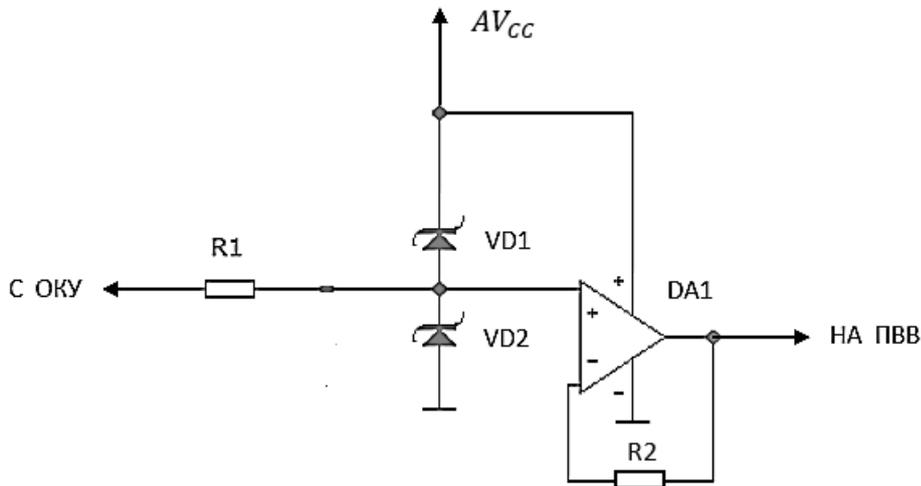
Отметим, что каждый из пинов ПВВ большинства современных МК снабжен **внутренними** защитными диодами, включенными аналогично диодам  $VD1$  и  $VD2$  на рис. 10.71 (см., например, рис. 3.30 Руководства [8] или рис. 13 и 14 Руководства [13]). В принципе, внутренние защитные диоды могут быть использованы вместо внешних. Включение резистора  $R1$  при этом обязательно, выбор его сопротивления производится также из условия (10.78). В качестве тока  $I_{Dmax}$  при выборе  $R1$  используется указываемое в *Datasheet* максимально допустимое значение тока инжекции пина ( $IINJ_{(PIN)}$ ), типовое значение которого, например, у МК семейства *ARM Cortex-Mx* равно 5 мА (см., например, табл. 6 *Datasheet* [10] или табл. 12 *Datasheet* [29]). Тем не менее, все же рекомендуется использование **внешних** защитных диодов [9].

**Выходное сопротивление** ( $R_{OUT}$ ) УС, схема которого приведена на рис. 10.71, равно  $R_{И} + R1$ , где  $R_{И}$  – выходное сопротивление источника напряжения, поступающего с ОКУ. Данное УС может применяться для сопряжения с АЦП МК, **только** если  $R_{OUT}$  удовлетворяет условию (10.23) (в которое  $R_{OUT}$  должно быть подставлено вместо  $R_{AIN}$ ) и условию (10.76), а для сопряжения с АК – **только** если  $R_{OUT}$  удовлетворяет условию (10.77). При неудовлетворении данных требований, необходимо введение в УС буферного повторителя (см. подпункт 10.5.1.4).

**10.5.1.4.** Схема УС, приведенная на рис. 10.72, отличается от представленной на рис. 10.71 наличием буферного повторителя на ОУ. Порядок его выходного сопротивления (а следовательно – и **выходного сопротивления УС**) – десятые – сотые доли Ом, что позволяет удовлетворить требования (10.23) и (10.76) или требование (10.77) при любой возможной на практике сумме сопротивлений  $R_{И}$  и  $R1$ . При этом требования к диапазону напряжения, поступающего с ОКУ, остаются теми же, что и для применения схемы, приведенной на рис. 10.71. В данном варианте УС, естественно, возможно использование только внешних защитных диодов. Выбор сопротивления резистора  $R1$  производится

также по выражению (10.78). Соотношение  $R_{И}$  и  $R1$  не критично, благодаря высокому (порядка десятков – сотен МОм) входному сопротивлению повторителя; таков же порядок и **входного сопротивления** УС в целом при обратно смещенных защитных диодах (т. е. в «штатном» режиме работы УС).

О назначении и выборе резистора  $R2$  – см. подпункт 10.5.1.14.



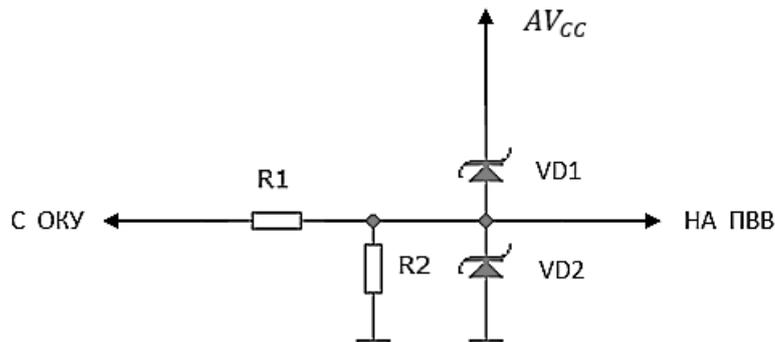
**Рис. 10.72.** Функциональная схема УС входа АК / АЦП МК с источником контролируемого / преобразуемого напряжения (вариант №2)

**10.5.1.5.** Если поступающее с ОКУ напряжение положительно, но его размах превышает значение  $AV_{CC}$ , УС должно привести его к диапазону от  $0,05U_{REF}$  до  $0,95U_{REF}$  (для АЦП) или от  $0,05AV_{CC}$  до  $0,95AV_{CC}$  (для АК). При этом простейшим вариантом схемы УС, применимого в данном случае, является представленный на рис. 10.73. Приведение поступающего с ОКУ напряжения к диапазону, допустимому для подачи на вход АЦП или АК, осуществляется делителем на резисторах  $R1$  и  $R2$ . **Выходное сопротивление** данного варианта УС в «штатном» режиме работы (т. е. при обратно смещенных защитных диодах) равно сопротивлению параллельно соединенных резистора  $R2$  и суммарного сопротивления  $R1$  и  $R_{И}$ , т. е.:

$$R_{OUT} = (R_{И} + R1)R2 / (R_{И} + R1 + R2). \quad (10.79)$$

Представленный на рис. 10.73 вариант схемы УС применим **только**, если  $R_{OUT}$  удовлетворяет условиям (10.23) (в которое  $R_{OUT}$  должно

быть подставлено вместо  $R_{AIN}$ ) и (10.76) или, соответственно, (10.77).



**Рис. 10.73.** Функциональная схема УС входа АК / АЦП МК с источником контролируемого / преобразуемого напряжения (вариант №3)

Если условия (10.76) и (10.77) удовлетворяются, то выходное напряжение УС равно:

$$U_{УС} = U_{ОКУ}R_2 / (R_{И} + R_1 + R_2). \quad (10.80)$$

Цепь предохранения входа ПВВ аналогична используемой в схеме, приведенной на рис. 10.71. Как и в ней, в качестве диодов  $VD1$  и  $VD2$ , в принципе, могут быть использованы внутренние защитные диоды ПВВ (при их наличии), см. подпункт 10.5.1.3; однако, предпочтительно применение **внешних** диодов [9]. Токоограничивающим служит резистор  $R1$ . Его **минимально** допустимое сопротивление рассчитывается по выражению (10.78).

**Примечание.** Как правило, точное значение  $R_{И}$  не известно, или сопротивление  $R_{И}$  не стабильно. При этом **дополнительным требованием** к сопротивлению резистора  $R1$  является необходимость, чтобы оно было намного больше  $R_{И}$ , т. е. чтобы сопротивление  $R_{И}$  было пренебрежимо мало по сравнению с  $R1$ . Поэтому, при необходимости, рассчитанное по выражению (10.78) сопротивление  $R1$  должно быть увеличено, для обеспечения условия  $R1 \gg R_{И}$ .

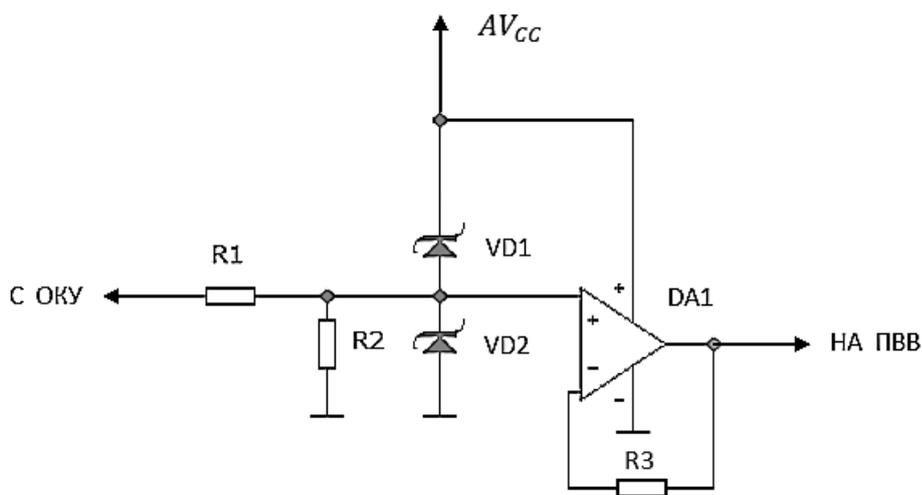
В свою очередь, сопротивление резистора  $R2$  рассчитывается на основе выражения (10.80):

$$R_2 = U_{УС \max} (R_{И} + R_1) / (U_{ОКУ \max} - U_{УС \max}); \quad (10.81)$$

где  $U_{\text{ОКУ}} \text{ max}$  – максимальное значение напряжения, поступающего с ОКУ, в «штатном» режиме работы;  $U_{\text{УС}} \text{ max}$  – максимально допустимое напряжение на выходе УС, также в «штатном» режиме (т. е.  $0,95U_{\text{REF}}$  для АЦП и  $0,95AV_{\text{CC}}$  – для АК).

Если выходное сопротивление УС не удовлетворяет условию (10.23) или (10.76) (для АЦП) или (10.77) (для АК), в т. ч. из-за необходимости обеспечения условия  $R1 \gg R_{\text{и}}$ , УС должен быть снабжен буферным повторителем (см. подпункт 10.5.1.6).

**10.5.1.6.** Схема УС, приведенная на рис. 10.74, предназначена для применения при тех же значениях поступающего с ОКУ напряжения, что и представленная на рис. 10.73, и отличается от нее наличием буферного повторителя на ОУ; аналогичный прием применен в схеме УС, приведенной на рис. 10.72. Благодаря этому **выходное сопротивление УС** составляет порядка десятых – сотых долей Ом, что позволяет удовлетворить требования (10.23) и (10.76) или требование (10.77) при любом возможном на практике выходном сопротивлении делителя на резисторах  $R1$  и  $R2$  (см. выражение (10.79)). Также, благодаря весьма высокому входному сопротивлению повторителя (порядка десятков – сотен МОм), он практически не нагружает делитель, и выражение (10.80) справедливо при любых возможных на практике сопротивлениях резисторов  $R1$  и  $R2$ . **Входное сопротивление УС** данного варианта УС равно  $R1 + R2$ .

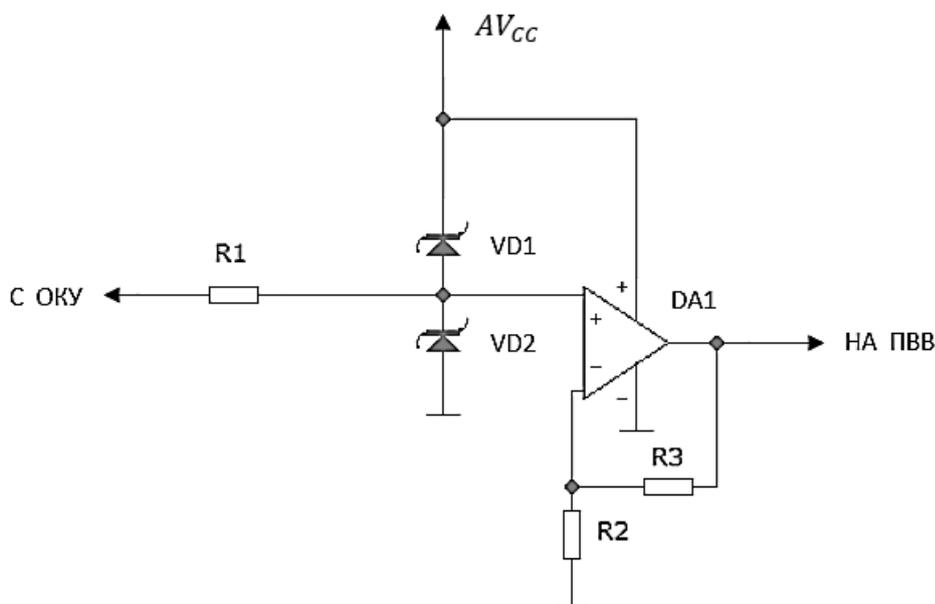


**Рис. 10.74.** Функциональная схема УС входа АК / АЦП МК с источником контролируемого / преобразуемого напряжения (вариант №4)

В данном варианте УС, как и в приведенном на рис. 10.72, возможно использование только внешних защитных диодов. Расчет **минимально** допустимого сопротивления резистора  $R1$  производится по выражению (10.78); см. также **Примечание** в подпункте 10.5.1.5. Сопротивление резистора  $R2$  рассчитывается по выражению (10.81).

О назначении и выборе резистора  $R3$  – см. подпункт 10.5.1.14.

**10.5.1.7.** Если поступающее с ОКУ напряжение положительно, но его максимальное значение много меньше напряжения  $AV_{CC}$ , основной функцией УС является усиление данного напряжения. УС при этом может быть реализовано, например по схеме, приведенной на рис. 10.75.



**Рис. 10.75.** Функциональная схема УС входа АК / АЦП МК с источником контролируемого / преобразуемого напряжения (вариант №5)

Данное УС представляет собой неинвертирующий усилитель на ОУ, коэффициент усиления которого равен  $(R2 + R3)/R2$ , и рассчитывается из условия:

$$(R2 + R3)/R2 = U_{УС\ max}/U_{ОКУ\ max}. \quad (10.82)$$

(см. также пояснения к выражению (10.81)).

Следует также остановиться на выборе **сопротивлений** резисторов  $R2$  и  $R3$ . Если входные токи ОУ вносят существенный

вклад в погрешность УС – см. подпункт 10.5.1.14. Если же они пренебрежимо малы (что характерно, в частности, для КМОП-ОУ, к которым относятся большинство ОУ класса «rail-to-rail», см., например, [70]) или их вклад не существен при решении конкретной задачи, выбор сопротивлений  $R_2$  и  $R_3$  производится, исходя из следующих соображений. С одной стороны, чем они больше, тем меньше ток, потребляемый усилительным каскадом. С другой стороны, чем больше сопротивление резисторов, тем больше уровень генерируемого ими теплового шума, а также тем большую неравномерность АЧХ и ФЧХ усилителя они вызывают, в совокупности с паразитными емкостями и индуктивностями ОУ и элементов печатного монтажа. Поэтому, если приоритетным является обеспечение минимального энергопотребления, сопротивления резисторов  $R_2$  и  $R_3$  выбираются таким образом, чтобы их сумма была равна порядка нескольких десятков кОм, при соблюдении отношения между ними, рассчитанного по выражению (10.82). Если же приоритетными являются обеспечение минимального уровня шумов УС или / и максимальной равномерности его АЧХ в заданном диапазоне частот, сопротивления резисторов  $R_2$  и  $R_3$  желательно выбирать близкими к минимально допустимым, исходя из соотношения:

$$R_2 + R_3 \approx (1,5 \dots 2) \times |U_{Oy}|_{max} / I_{Oy\ max};$$

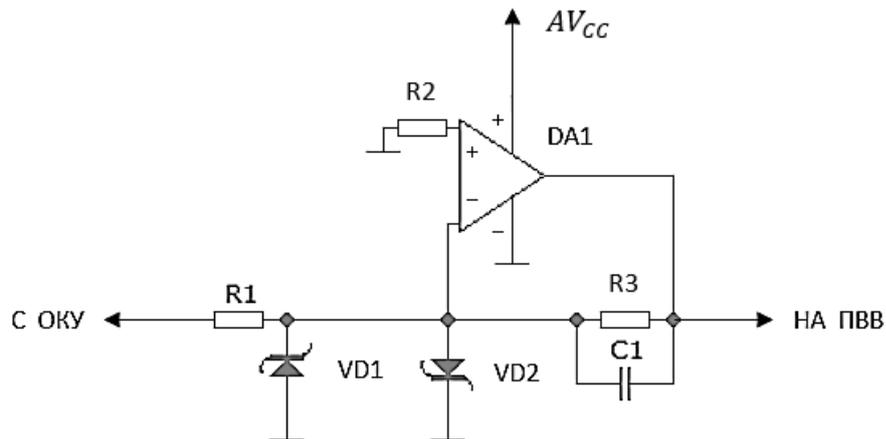
где  $|U_{Oy}|_{max}$  – максимальное (по модулю) возможное выходное напряжение ОУ, для приведенной на рис. 10.75 схемы равно  $AV_{CC}$ ;  $I_{Oy\ max}$  – максимально допустимый выходной ток ОУ.

**Входное сопротивление** данного УС составляет порядка десятков – сотен МОм; **выходное сопротивление** – порядка десятых – сотых долей Ом, что, как и в УС, схемы которых приведены на рис. 10.72 и 10.74, гарантированно обеспечивает соблюдение условий (10.23) и (10.76) или, соответственно, (10.77).

УС снабжен цепью защиты по входу на диодах  $VD1$  и  $VD2$ , аналогичной цепям защиты УС, схемы которых представлены на рис. 10.71 и 10.72. При этом возможно использование только внешних защитных диодов. Выбор сопротивления резистора  $R_1$

производится также по выражению (10.78). Соотношение  $R_{И}$  и  $R1$  не критично (см. пояснение в подпункте 10.5.1.4).

**10.5.1.8.** Если напряжение, поступающее с ОКУ, отрицательно, а его максимальное по модулю значение одного порядка с  $AV_{CC}$  или больше его, УС строится по схеме инвертирующего активного повторителя или аттенюатора на ОУ. Оба данных варианта УС реализуются по функциональной схеме, приведенной на рис. 10.76.



**Рис. 10.76.** Функциональная схема УС входа АК / АЦП МК с источником контролируемого / преобразуемого напряжения (вариант №6)

Коэффициент передачи данного варианта УС, т. е. отношение его выходного напряжения к напряжению, поступающему с ОКУ, равен:

$$U_{УС}/U_{ОКУ} = -R3/(R_{И} + R1). \quad (10.83)$$

Если УС служит в качестве повторителя,  $R3$  должно быть равно сумме  $R_{И} + R1$ . Если же УС используется как аттенюатор,  $R3 < R_{И} + R1$ , причем должно соблюдаться соотношение:

$$R3/(R_{И} + R1) = |U_{УС\ max}/U_{ОКУ\ max}|; \quad (10.84)$$

(см. также пояснения к выражению (10.81)).

Диоды  $VD1$  и  $VD2$  являются защитными. Схема их подключения отличается от используемой в предыдущих вариантах УС, т. к. в «штатном» режиме работы данного УС напряжение на инвертирующем входе ОУ должно быть, в идеале, равно 0 (на практике  $-\pm e_{СМ}$ , где  $e_{СМ}$  – входное напряжение смещения ОУ). Поэтому в «штатном» режиме работы оба диода закрыты. При

выходе из данного режима, т. е. при модуле напряжения  $U_{ОКУ}$ , превышающем  $U_{ОКУ\ max}$ , ОУ переходит в состояние насыщения. При этом напряжение на его инвертирующем входе превысит  $e_{СМ}$  по модулю. Если оно станет ниже  $-U_D$ , откроется диод  $VD1$ , выше  $+U_D$  – диод  $VD2$ . В результате данное напряжение в «нештатном» режиме ограничивается на уровне  $\pm U_D$ .

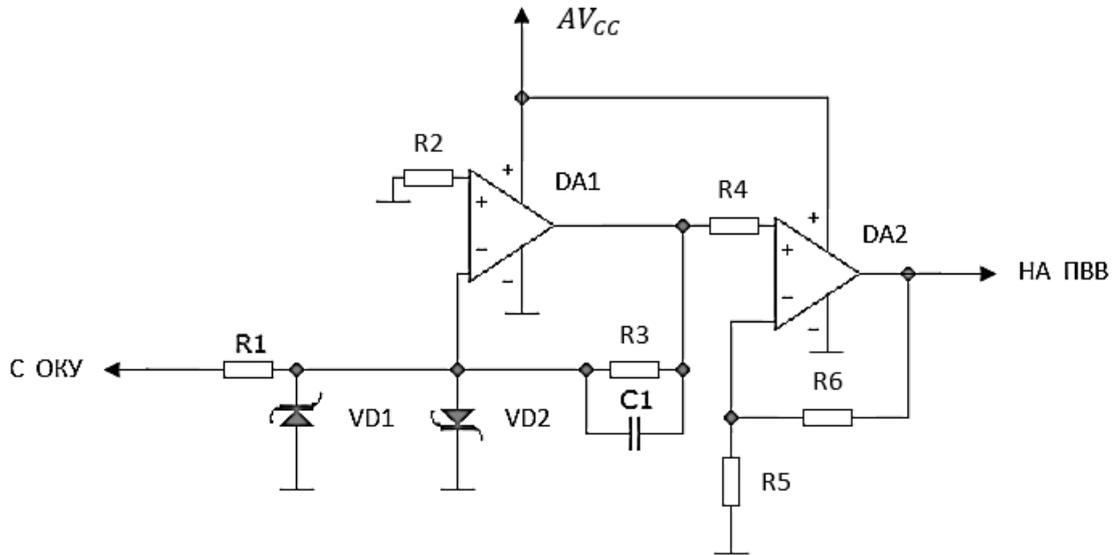
Резистор  $R1$ , кроме задания коэффициента передачи УС, выполняет также функцию токоограничения. Его **минимально** допустимое сопротивление рассчитывается по выражению (10.78), см. также **Примечание** в подпункте 10.5.1.5. Сопротивление резистора  $R3$  определяется по выражению (10.84).

При работе ОУ в линейном («штатном») режиме **выходное сопротивление** данного варианта УС составляет порядка десятых – сотых долей Ом, что гарантированно обеспечивает выполнение требований (10.23) и (10.76) или, соответственно, (10.77). **Входное сопротивление** УС при этом равно  $R1$ . На практике, как правило, его порядок равен сотням кОм – единицам МОм (в т. ч. для обеспечения условия  $R1 \gg R_{и}$ , см. **Примечание** в подпункте 10.5.1.5). При таком порядке сопротивления  $R1$  паразитные емкости диодов  $VD1$  и  $VD2$  вызывают неравномерность (подъем) АЧХ на частотах выше примерно 100 кГц. Для ее устранения служит конденсатор  $C1$ . Его емкость, как правило, составляет порядка нескольких пФ. Рекомендации по ее расчету предложить сложно, она подбирается экспериментально в каждом конкретном случае.

О назначении и выборе резистора  $R2$  – см. подпункт 10.5.1.14.

**10.5.1.9.** Если поступающее с ОКУ напряжение отрицательно, а его максимальное по модулю значение много меньше напряжения  $AV_{CC}$ , УС выполняет функцию инвертирующего усилителя напряжения. В принципе, он может быть реализован по функциональной схеме, приведенной на рис. 10.76. Его коэффициент передачи при этом также описывается выражением (10.83). Однако, поскольку в данном случае УС должен **усиливать**, а не повторять или ослаблять сигнал, сопротивление резистора  $R2$  должно быть больше суммы  $R_{и} + R1$  в  $|K_U|$  раз, где  $K_U$  – коэффициент усиления УС по напряжению. Если порядок сопротивления  $R1$  равен сотням кОм – единицам МОм (см. подпункт

10.5.1.8), при этом может возникнуть необходимость в применении резистора  $R2$  с сопротивлением порядка единиц – десятков МОм. Это не желательно, т. к. резисторы с таким порядком сопротивления характеризуются повышенным уровнем собственных шумов, а также требуют специальных конструкторских решений при проектировании печатных плат. Поэтому, если при реализации УС по приведенной на рис. 10.76 функциональной схеме возникает необходимость применения резистора  $R2$  с сопротивлением более 1 МОм, ее рациональнее заменить схемой, представленной на рис. 10.77.



**Рис.10.77.** Функциональная схема УС входа АК / АЦП МК с источником контролируемого / преобразуемого напряжения (вариант №7)

УС, схема которого приведена на рис. 10.77, состоит из 2-х каскадов: инвертирующего повторителя напряжения на ОУ  $DA1$  и неинвертирующего усилительного каскада на ОУ  $DA2$ . Схема входного каскада полностью аналогична приведенной на рис. 10.76, при тех же расчетных соотношениях, причем  $R3 = R_{И} + R1$ . Коэффициент усиления 2-го каскада равен  $(R5 + R6)/R5$ . Таким образом:

$$U_{УС}/U_{ОКУ} = - \frac{R3}{R_{И} + R1} \times \frac{R5 + R6}{R5} = - \frac{R5 + R6}{R5}. \quad (10.85)$$

Коэффициент усиления неинвертирующего каскада выбирается из условия, аналогичного (10.82):

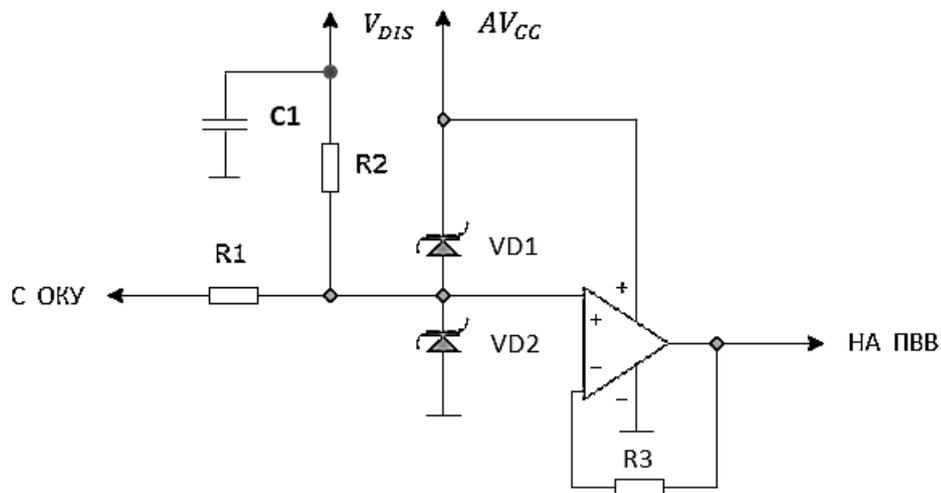
$$(R5 + R6)/R5 = U_{yC\ max}/|U_{OKY}|_{max}. \quad (10.86)$$

**Сопротивления** резисторов  $R3$  и  $R4$  (точнее, сумма их сопротивлений) выбирается аналогично сумме сопротивлений резисторов  $R2$  и  $R3$  УС, функциональная схема которого приведена на рис. 10.75 (см. подпункт 10.5.1.7).

О назначении и выборе резисторов  $R2$  и  $R4$  – см. подпункт 10.5.1.14.

**Входное сопротивление** данного варианта УС равно  $R1$ . Его **выходное** сопротивление, как и у ранее рассмотренных вариантов УС, построенных на основе ОУ, составляет порядка десятых – сотых долей Ом, что позволяет гарантированно удовлетворить требования (10.23) и (10.76) или, соответственно, (10.77).

**10.5.1.10.** Достаточно распространенным на практике вариантом сигнала, поступающего с ОКУ, является переменное напряжение без постоянной составляющей. Если его размах не превышает  $0,9U_{REF}$  при сопряжении с АЦП или  $0,9AV_{CC}$  – с АК, и одного порядка с  $AV_{CC}$ , УС может быть реализован по схеме, приведенной на рис. 10.78.



**Рис. 10.78.** Функциональная схема УС входа АК / АЦП МК с источником контролируемого / преобразуемого напряжения (вариант №8)

Данное УС представляет собой повторитель на ОУ, снабженный цепью смещения нулевого уровня на резисторах  $R1$  и  $R2$ , причем необходимо соблюдение условия:

$$R_{И} + R1 = R2. \quad (10.87)$$

Если точное значение  $R_{И}$  не известно, или сопротивление  $R_{И}$  не стабильно, для удовлетворения требования (10.87) необходимо соблюдение условия  $R1 \gg R_{И}$ .

Верхний по схеме вывод резистора  $R2$  подключен к выходу источника напряжения смещения, обозначенному на рис. 10.78 как  $V_{DIS}$ . В качестве  $V_{DIS}$  при сопряжении со входом АК используется напряжение  $AV_{CC}$ , а со входом АЦП – выходное напряжение его ИОН, которое доступно для подключения в большинстве семейств МК, в т. ч. *AVR* (см. рис. 10.33) и *ARM Cortex-Mx* (см. рис. 10.41 и 10.42). При этом на практике выходное сопротивление как ИОН АЦП, так и источника напряжения  $AV_{CC}$  равно порядка десятых долей – единиц Ом, и пренебрежимо мало по сравнению с типовым значением  $R2$ , равного, как минимум, нескольким кОм. Поэтому выходное сопротивление источника напряжения смещения может не учитываться.

Конденсатор  $C1$  емкостью порядка десятых долей мкФ предназначен для фильтрации помех по цепи смещения. Он должен быть включен между общей шиной и точкой подключения резистора  $R2$  к источнику напряжения смещения

УС, как и ранее рассмотренные варианты, снабжен цепью защиты по входу на диодах  $VD1$  и  $VD2$ , принцип работы которой таков же, как и у цепей защиты УС, схемы которых приведены на рис. 10.71 – 10.75. Токоограничивающим служит резистор  $R1$ . Его **минимально** допустимое сопротивление рассчитывается по выражению (10.78). При необходимости, оно должно быть увеличено, для обеспечения условия  $R1 \gg R_{И}$  (см. пояснения к выражению (10.87)). Сопротивление резистора  $R2$  рассчитывается по выражению (10.87).

В «штатном» режиме работы (т. е. при обратно смещенных защитных диодах) и при соблюдении условия (10.87) напряжение на неинвертирующем входе ОУ, а следовательно, и на его выходе, и на выходе УС в целом, равно:

$$U_{DA1}^+ = U_{УС} = (V_{DIS} + U_{ОКУ})/2. \quad (10.88)$$

При  $U_{ОКУ}$ , равном нулю, выходное напряжение УС будет равно половине напряжения смещения (для УС с АЦП – половине его опорного напряжения, для УС с АК – половине  $AV_{CC}$ ). Если амплитуда  $U_{ОКУ}$  не превышает  $0,9V_{DIS}$ , то:

$$0,05 \times V_{DIS} \leq U_{УС} \leq 0,95 \times V_{DIS};$$

т. е. требование 1 подпункта 10.5.1.1 соблюдается.

О назначении и выборе резистора  $R3$  – см. подпункт 10.5.1.14.

Порядок **выходного сопротивления** данного варианта УС – десятые – сотые доли Ом, что гарантированно удовлетворяет требованиям (10.23) и (10.76) или, соответственно, (10.77). **Входное сопротивление** при обратно смещенных защитных диодах равно  $R1 + R2$ .

**10.5.1.11.** Если поступающее с ОКУ напряжение является переменным, без постоянной составляющей, а его амплитуда превышает  $0,9U_{REF}$  или, соответственно,  $0,9AV_{CC}$ , УС должно выполнять функции как смещения нулевого уровня напряжения, поступающего с ОКУ, так и его ослабления (аттенюации). В принципе, данный УС может быть реализован по схеме, приведенной на рис. 10.78; при этом делитель на резисторах  $R1$  и  $R2$  реализует функции как смещения (совместно с источником напряжения  $V_{DIS}$ ), так и аттенюации. При этом:

$$U_{DA1}^+ = U_{УС} = \frac{V_{DIS}(R1 + R_{И})}{R1 + R_{И} + R2} + \frac{U_{ОКУ}R2}{R1 + R_{И} + R2};$$

причем сопротивление  $R2$  меньше, чем  $R1 + R_{И}$ . Для соблюдения требования 1 подпункта 10.5.1.1, необходимо совместное выполнение условий:

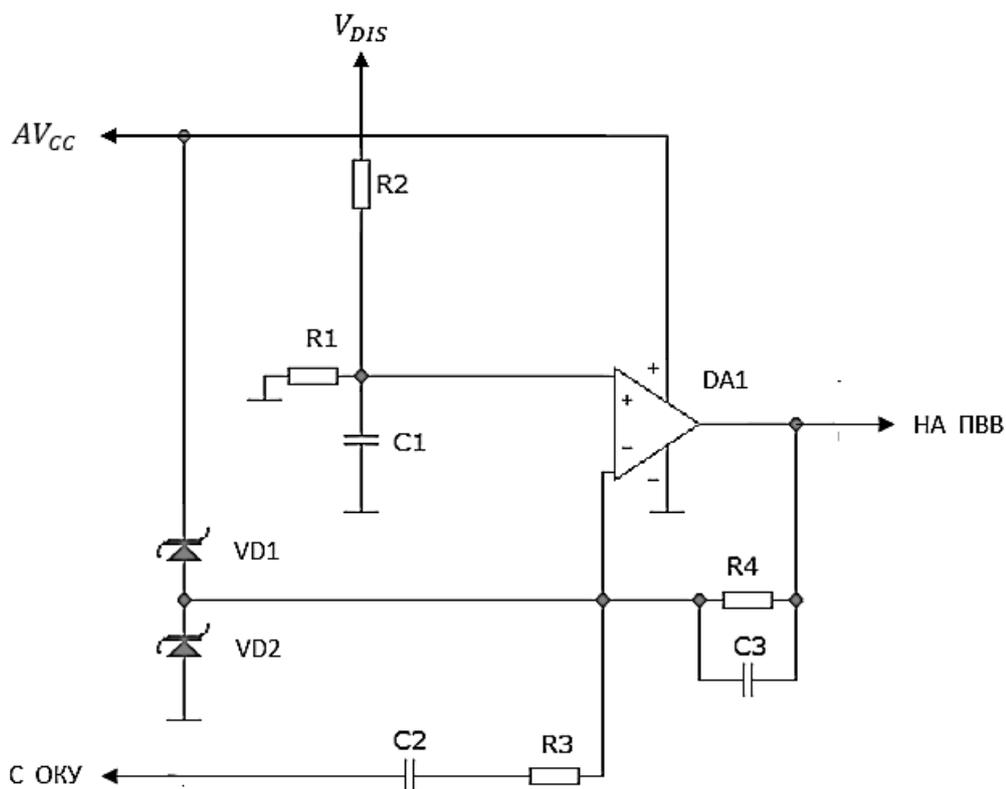
$$V_{DIS}(R1 + R_{И})/(R1 + R_{И} + R2) = U_{FS}/2;$$

$$U_{m\text{ ОКУ}}R2/(R1 + R_{И} + R2) \leq 0,45 \times U_{FS};$$

где  $U_{FS}$  – напряжение полной шкалы АЦП или АК, равное  $U_{REF}$  или  $AV_{CC}$  соответственно;  $U_{m\text{ ОКУ}}$  – амплитуда напряжения, поступающего с ОКУ. Отметим, что, поскольку  $R2$  меньше, чем  $R1 + R_{И}$ , первое из перечисленных условий может быть

удовлетворено только при  $V_{DIS}$ , меньшем  $U_{REF}$  или, соответственно,  $AV_{CC}$ . Поэтому потребуются дополнительные компоненты для создания источника напряжения  $V_{DIS}$ , меньшего  $U_{REF}$  или  $AV_{CC}$  (причем с выходным сопротивлением, пренебрежимо малым по сравнению с  $R2$ ).

На рис. 10.79 приведен **другой** вариант схемы УС, применимый при указанном в начале данного подпункта характере напряжения, поступающего с ОКУ. В данном варианте функции смещения нулевого уровня и аттенюации реализуются **раздельно**.



**Рис. 10.79.** Функциональная схема УС входа АК / АЦП МК с источником контролируемого / преобразуемого напряжения (вариант №9)

Первая из них реализуется делителем напряжения  $V_{DIS}$  на резисторах  $R1$  и  $R2$ . Напряжение  $V_{DIS}$  равно  $U_{REF}$  или, соответственно,  $AV_{CC}$ , т. е. создание дополнительного источника  $V_{DIS}$  не требуется. Сопротивления резисторов  $R1$  и  $R2$  равны между собой. Если входные токи ОУ вносят существенный вклад в погрешность УС, значения данных сопротивлений выбираются в

соответствии с указаниями, приведенными в подпункте 10.5.1.14. Если же входные токи ОУ пренебрежимо малы или их вклад не существен при решении конкретной задачи, порядок сопротивлений  $R1$  и  $R2$  – единицы – десятки кОм. Выходное напряжение делителя, равное  $V_{DIS}/2$ , поступает на неинвертирующий вход ОУ и служит в качестве напряжения смещения нулевого уровня. При этом на практике выходное сопротивление источника напряжения  $V_{DIS}$  (ИОН АЦП или источника  $AV_{CC}$ ) пренебрежимо мало по сравнению с сопротивлением резистора  $R2$ , и не оказывает влияния на коэффициент деления. Также на него практически не влияет входное сопротивление ОУ (равное порядка десятков – сотен МОм), которое на 3 – 4 порядка выше типового сопротивления резистора  $R1$  (единицы – десятки кОм). Конденсатор  $C1$  емкостью порядка десятых долей мкФ служит для фильтрации помех и наводок на выходе делителя.

Функцию аттенюации реализует инвертирующий каскад на ОУ  $DA1$ , с нулевым уровнем, смещенным выходным напряжением делителя на резисторах  $R1$  и  $R2$ . Заметим, что данное напряжение постоянно, и для него каскад на ОУ  $DA1$  является повторителем (по постоянному току конденсатор  $C2$  представляет собой разрыв). Таким образом, на частотах, много больших  $1/(2\pi R3C2)$  и много меньших  $1/(2\pi R4C3)$ , т. е. в полосе пропускания УС, его выходное напряжение описывается следующим выражением:

$$U_{УС}(t) = -U_{ОКУ}(t) \frac{R4}{R3 + R_{И}} + \frac{V_{DIS}}{2}. \quad (10.89)$$

Условие соблюдения требования 1 подпункта 10.5.1.1 при этом следующее:

$$U_{m\text{ ОКУ}} \frac{R4}{R3 + R_{И}} \leq 0,45V_{DIS}. \quad (10.90)$$

Резистор  $R3$ , кроме функции одного из элементов аттенюатора, является также токоограничивающим резистором цепи защиты на диодах  $VD1$  и  $VD2$ . Его **минимально** допустимое сопротивление рассчитывается по выражению (10.78), с заменой в нем  $R1$  на  $R3$ . Если точное значение  $R_{И}$  не известно, или сопротивление  $R_{И}$  не

стабильно, необходимо также соблюдение требования  $R3 \gg R_{и}$ . Сопротивление резистора  $R4$  выбирается, исходя из условия (10.90).

Емкость конденсатора  $C2$  выбирается, исходя из условия:

$$1 - \frac{2\pi f_L R3 C2}{\sqrt{1 + (2\pi f_L R3 C2)^2}} \leq \delta_{max}(f_L); \quad (10.91)$$

где  $f_L$  – нижняя граничная частота напряжения, поступающего с ОКУ;  $\delta_{max}(f_L)$  – максимально допустимое отклонение коэффициента передачи УС на данной частоте относительно его значения на центральной частоте полосы пропускания.

Назначение конденсатора  $C3$  аналогично назначению конденсатора  $C1$  в схемах, приведенных на рис. 10.76 и 10.77 (см. подпункт 10.5.1.8).

**Входное сопротивление** данного варианта УС в полосе пропускания примерно равно  $R3$ . Его **выходное сопротивление** – порядка десятых – сотых долей Ом.

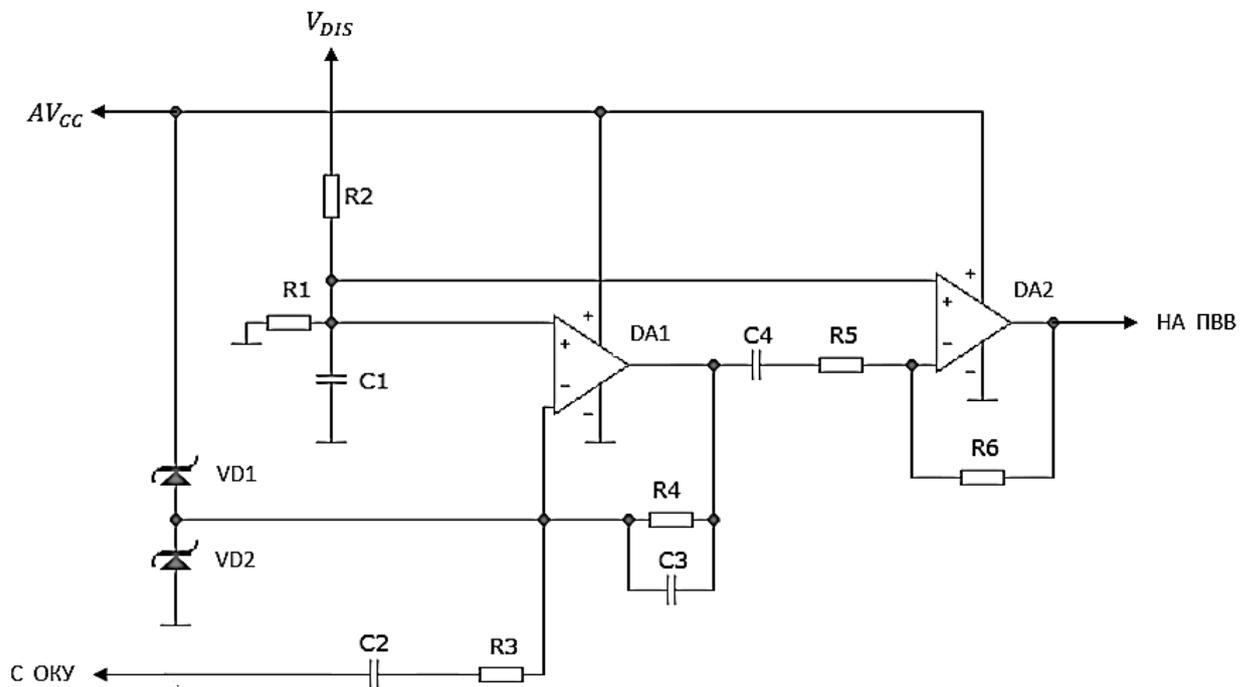
**Примечание.** В принципе, по приведенной на рис. 10.79 схеме, вместо представленной на рис. 10.78 может быть реализовано и УС, характер входного напряжения которого соответствует варианту 6 таблицы 10.11 (см. подпункт 10.5.1.10). В частности, такая замена рациональна, если затруднительно или невозможно совместное выполнение требования (10.87) и условия  $R1 \gg R_{и}$ .

**10.5.1.12.** Если поступающее с ОКУ напряжение является переменным, без постоянной составляющей, а его амплитуда много меньше  $U_{REF}$  или, соответственно,  $AV_{CC}$ , УС должно выполнять функции как смещения нулевого уровня напряжения, поступающего с ОКУ, так и его усиления. В принципе, оно может быть реализовано по схеме, приведенной на рис. 10.79, если требование 1 подпункта 10.5.1.1 и условие  $R3 \gg R_{и}$  могут быть удовлетворены при использовании резисторов (в первую очередь –  $R4$ ) с сопротивлением, не превышающим 1 МОм. При этом коэффициент усиления равен  $-R4/(R3 + R_{и})$ ; соотношения (10.89) – (10.91) остаются «в силе».

Если же выполнение перечисленных условий невозможно, УС может быть реализован по схеме, представленной на рис. 10.80.

УС, схема которого приведена на рис. 10.80, состоит из 2-х каскадов, построенных по схеме, идентичной представленной на рис. 10.79, за исключением того, что 2-й каскад, естественно, не снабжен цепью защиты. 1-й каскад выполняет функцию инвертирующего повторителя, второй – инвертирующего усилителя. Сопротивление резистора  $R4$  должно быть равно  $R3 + R_{И}$ . Как и в предыдущем варианте УС, **минимально** допустимое сопротивление резистора  $R3$  рассчитывается по выражению (10.78), с заменой в нем  $R1$  на  $R3$ . Если точное значение  $R_{И}$  не известно, или сопротивление  $R_{И}$  не стабильно, необходимо также соблюдение требования  $R3 \gg R_{И}$ . В полосе пропускания 1-го каскада, т. е. на частотах, много больших  $1/(2\pi R3C2)$  и много меньших  $1/(2\pi R4C3)$ , выходное напряжение ОУ  $DA1$  описывается следующим выражением (сравните с (10.89)):

$$U_{DA1}(t) = -U_{ОКУ}(t) \frac{R4}{R3 + R_{И}} + \frac{V_{DIS}}{2} = -U_{ОКУ}(t) + \frac{V_{DIS}}{2}.$$



**Рис. 10.80.** Функциональная схема УС входа АК / АЦП МК с источником контролируемого / преобразуемого напряжения (вариант №10)

В свою очередь, выходное напряжение 2-го каскада (и УС в целом) на частотах, много больших  $1/(2\pi R_5 C_4)$ , равно (с учетом того, что постоянная составляющая выходного напряжения ОУ  $DA1$ , равная  $V_{DIS}/2$ , не пропускается конденсатором  $C_4$ ):

$$U_{DA2}(t) = U_{УС}(t) = -U_{ОКУ}(t) \frac{R_6}{R_5} + \frac{V_{DIS}}{2}. \quad (10.92)$$

Условие соблюдения требования 1 подпункта 10.5.1.1 при этом следующее:

$$U_{m\text{ ОКУ}} \frac{R_6}{R_5} \leq 0,45V_{DIS}. \quad (10.93)$$

Сопротивление резистора  $R_6$  желательно выбирать не превышающим нескольких сотен кОм; сопротивление  $R_5$  рассчитывается, исходя из требования (10.93), при выбранном  $R_6$ . При этом выходной ток ОУ  $DA1$  гарантированно не должен превышать его предельно допустимое значение, откуда следует дополнительное требование к сопротивлению резистора  $R_5$ :

$$R_5 \geq (1,4 \dots 1,5)U_{DA1\text{ max}}/I_{DA1\text{ max}}; \quad (10.94)$$

где  $U_{DA1\text{ max}}$  – максимально возможное выходное напряжение ОУ  $DA1$  (равное  $AV_{CC}$  при однополярном питании и при выходе «rail-to-rail», см. подпункт 10.5.1.2);  $I_{DA1\text{ max}}$  – максимально допустимый выходной ток ОУ  $DA1$  согласно *Datasheet*.

Если приоритетным является обеспечение минимального энергопотребления, сопротивления резисторов  $R_5$  и  $R_6$  выбираются близкими к максимальным, удовлетворяющим условиям (10.93) и (10.94), при  $R_6$  порядка нескольких сотен кОм. Если же приоритетными являются обеспечение минимального уровня шумов УС или / и максимальной равномерности его АЧХ в полосе пропускания, сопротивления резисторов  $R_5$  и  $R_6$  желательно выбирать близкими к минимальным, удовлетворяющим условиям (10.93) и (10.94).

Емкости конденсаторов  $C_2$  и  $C_4$  выбираются из условия (см. также пояснения к выражению (10.91)):

$$1 - \left( \frac{2\pi f_L R3C2}{\sqrt{1 + (2\pi f_L R3C2)^2}} \times \frac{2\pi f_L R5C4}{\sqrt{1 + (2\pi f_L R5C4)^2}} \right) \leq \delta_{max}(f_L). \quad (10.95)$$

Назначение конденсатора  $C3$  аналогично назначению конденсатора  $C1$  в схемах, приведенных на рис. 10.76 и 10.77 (см. подпункт 10.5.1.8).

Как и у варианта УС, схема которого представлена на рис. 10.79, **входное сопротивление** данного варианта УС в полосе пропускания примерно равно  $R3$ , **выходное сопротивление** – порядка десятых – сотых долей Ом.

**10.5.1.13.** В подпунктах 10.5.1.3 – 10.5.1.12 используемые в составе УС ОУ и защитные диоды полагались **идеальными**.

Для **реальных ОУ** характерно [20, 22]:

- наличие ненулевого входного напряжения смещения, проявляющего себя как паразитный источник постоянного напряжения, включенный между входами ОУ или, что равносильно, подключенный к неинвертирующему входу;

- ненулевые значения входных токов;

- конечное значение собственного коэффициента усиления (т. е. коэффициента усиления дифференциального напряжения без обратной связи);

- конечная полоса пропускания;

- конечное значение скорости нарастания / спада выходного напряжения.

В свою очередь, **реальные защитные диоды** характеризуются ненулевыми значениями токов (и, соответственно, не бесконечным сопротивлением) при обратном смещении, в котором защитные диоды находятся при «штатном» режиме работы УС.

Необходимо вкратце рассмотреть влияние перечисленных источников не идеальности на параметры УС, рассмотренных в подпунктах 10.5.1.3 – 10.5.1.12.

**10.5.1.14.** Ненулевые значения **входного напряжения смещения ОУ** и его **входных токов** приводят к дополнительной постоянной составляющей выходного напряжения УС, не зависящей от напряжения, поступающего с ОКУ, т. е. к **аддитивной** погрешности УС. При этом вызванная ими ее составляющая

является **доминирующей** по сравнению с другими ее компонентами, и на практике данную составляющую можно считать равной аддитивной погрешности УС **в целом** (с точностью до значений 2-го порядка малости).

В общем случае, составляющая выходного напряжения усилительного каскада на ОУ, обусловленная его входными токами и напряжением смещения, вычисляется по следующему выражению [20, 22]:

$$\Delta U = K_U^+ e_{\text{см}} + i^+ R^+ - i^- R^-; \quad (10.96)$$

где  $K_U^+$  - коэффициент усиления **постоянного** напряжения по неинвертирующему входу;  $e_{\text{см}}$  - входное напряжение смещения ОУ (*Offset Voltage*);  $i^+$  и  $i^-$  - входные токи ОУ соответственно по неинвертирующему и инвертирующему входу;  $R^+$  и  $R^-$  - сопротивление по **постоянному** току между общей шиной и неинвертирующим / инвертирующим входами ОУ соответственно.

**Примечание.** При  $R^+$  и  $R^-$ , равных между собой, выражение (10.96) принимает следующий вид:

$$\Delta U = K_U^+ e_{\text{см}} + \Delta i \times R^+; \quad (10.97)$$

где  $\Delta i$  - разность входных токов ОУ (*Input Offset Current*), которая на практике в несколько раз меньше среднего значения токов  $i^+$  и  $i^-$  (*Input Bias Current*). Поэтому равенство сопротивлений  $R^+$  и  $R^-$  является условием **минимизации** составляющей напряжения  $\Delta U_{\text{см}}$ , обусловленной входными токами ОУ.

Максимальные значения  $e_{\text{см}}$ , а также  $\Delta i$  и среднего значения токов  $i^+$  и  $i^-$  указываются в *datasheet* соответствующей модели ОУ.

В табл. 10.12 приведены выражения для расчета аддитивных погрешностей УС, схемы которых приведены на рис. 10.72 и 10.74 – 10.80. Они получены на основе общего выражения (10.96).

В табл. 10.12 также представлены условия минимизации составляющей аддитивной погрешности УС, обусловленной входными токами ОУ (см. приведенное выше **Примечание**). Если входные токи ОУ пренебрежимо малы (например, при использовании ОУ, реализованных по КМОП-технологии, см. подпункт 10.5.1.7) или их вклад не существен при решении

конкретной задачи, соблюдение приведенных в табл. 10.12 условий минимизации аддитивной погрешности не обязательно. В принципе, при этом резистор  $R2$  схемы, приведенной на рис. 10.72; резистор  $R3$  схем, представленных на рис. 10.74 и 10.78; резистор  $R2$  схем, приведенных на рис. 10.76 и 10.77; а также резистор  $R4$  представленной на рис. 10.77 схемы могут отсутствовать, и быть заменены перемычками (т. е. отрезками проводника). Однако, на практике включение перечисленных резисторов все же желательно. Их сопротивление, при отсутствии необходимости соблюдения условий, приведенных в табл. 10.12, обычно выбирается равным порядка единиц кОм. В частности, у ряда моделей ОУ возможно возникновение самовозбуждения при их включении в режиме повторителя (см. рис. 10.72, 10.74 и 10.78) с непосредственным соединением инвертирующего входа с выходом.

Таблица 10.12

*Аддитивные погрешности УС, схемы которых приведены на рис. 10.72 и 10.74 – 10.80*

Вариант схемы УС	Аддитивная погрешность УС <sup>1)</sup>	Условие минимизации аддитивной погрешности <sup>2)</sup>
1	2	3
Рис. 10.72	$e_{CM DA1} + i_{DA1}^+ R1 - i_{DA1}^- R2$	$R1 = R2$
Рис. 10.74	$e_{CM DA1} + i_{DA1}^+ \frac{(R1 + R_{И})R2}{R1 + R_{И} + R2} - i_{DA1}^- R3$	$\frac{(R1 + R_{И})R2}{R1 + R_{И} + R2} = R3$
Рис. 10.75	$e_{CM DA1} \frac{R2 + R3}{R2} + i_{DA1}^+ (R1 + R_{И}) - i_{DA1}^- \frac{R2 \times R3}{R2 + R3}$	$R1 + R_{И} = \frac{R2 \times R3}{R2 + R3}$
Рис. 10.76	$e_{CM DA1} \frac{R1 + R_{И} + R3}{R1 + R_{И}} + i_{DA1}^+ R2 - i_{DA1}^- \frac{(R1 + R_{И})R3}{R1 + R_{И} + R3}$	$R2 = \frac{(R1 + R_{И})R3}{R1 + R_{И} + R3}$
Рис. 10.77	$\Delta U_{DA1} \frac{R5 + R6}{R5} + \Delta U_{DA2}$	$R2 = \frac{(R1 + R_{И})R3}{R1 + R_{И} + R3}$

Окончание таблицы 10.12

1	2	3
	$\Delta U_{DA1} = e_{CM DA1} \frac{R1 + R_{И} + R3}{R1 + R_{И}} + i_{DA1}^+ R2 - i_{DA1}^- \frac{(R1 + R_{И})R3}{R1 + R_{И} + R3}$ $\Delta U_{DA2} = e_{CM DA2} \frac{R5 + R6}{R5} + i_{DA2}^+ R4 - i_{DA2}^- \frac{R5 \times R6}{R5 + R6}$	$R4 = \frac{R5 \times R6}{R5 + R6}$
Рис. 10.78	$e_{CM DA1} + i_{DA1}^+ \frac{(R1 + R_{И})R2}{R1 + R_{И} + R2} - i_{DA1}^- R3$	$\frac{(R1 + R_{И})R2}{R1 + R_{И} + R2} = R3$
Рис. 10.79	$e_{CM DA1} + i_{DA1}^+ \frac{R1 \times R2}{R1 + R2} - i_{DA1}^- R4$	$\frac{R1 \times R2}{R1 + R2} = R4$
Рис. 10.80	$e_{CM DA2} + i_{DA2}^+ \frac{R1 \times R2}{R1 + R2} - i_{DA2}^- R6$	$\frac{R1 \times R2}{R1 + R2} = R6$
<p><b>Примечания.</b></p> <p><sup>1)</sup> При расчете сопротивлений <math>R^+</math> и <math>R^-</math> (см. выражение (10.96) и пояснения к нему) выходные сопротивления ОУ и источника напряжения <math>V_{DIS}</math> полагались пренебрежимо малыми.</p> <p><sup>2)</sup> См. пояснения в тексте.</p>		

Следует отметить, что для входного напряжения смещения ОУ и его входных токов характерен значительный разброс от образца к образцу, а также существенный временной и температурный дрейф. Поэтому рациональным является выбор моделей ОУ и сопротивлений резисторов УС, гарантированно обеспечивающих аддитивные погрешности УС не выше допустимых при **максимальных** нормируемых в *datasheet* значениях  $e_{CM}$ ,  $\Delta i$  и среднего значения токов  $i^+$  и  $i^-$ . Основой для расчетов при этом служат выражения, приведенные в табл. 10.12. О задании допустимого значения аддитивной погрешности УС – см. подпункт 10.5.1.19.

**10.5.1.15.** Конечное значение скорости нарастания / спада выходного напряжения ОУ может привести к его нелинейным искажениям, если не соблюдается условие:

$$2\pi f_{max} \times U_m(f_{max}) < SR_{max}; \quad (10.98)$$

где  $f_{max}$  и  $U_m(f_{max})$  – соответственно частота и амплитуда наиболее высокочастотной из спектральных компонент выходного напряжения ОУ;  $SR_{max}$  – нормируемая *datasheet* максимальная скорость изменения выходного напряжения ОУ (в отечественной литературе называемая максимальной скоростью нарастания). Заметим, что произведение  $2\pi f_{max} \times U_m(f_{max})$  представляет собой максимальную (по модулю) скорость изменения гармонического напряжения с частотой  $f_{max}$  и амплитудой  $U_m(f_{max})$  (см. подпункт 10.3.4.3).

Типовое значение  $SR_{max}$  для современных ОУ общего назначения составляет порядка единиц В / мкс; как правило – не менее 2 В / мкс. С учетом того, что размах выходного напряжения ОУ, входящих в состав УС, не может превышать значения  $AV_{CC}$ , а амплитуда -  $AV_{CC}/2$ , при  $SR_{max}$  и  $AV_{CC}$ , равных 2 В / мкс и 3 В соответственно, условие (10.98) удовлетворяется на частотах до минимум 200 кГц, с запасом перекрывающих типовой частотный диапазон входных сигналов АК и АЦП МК общего назначения. Поэтому в дальнейшем будем полагать, что условие (10.98) соблюдается «по умолчанию».

**10.5.1.16.** Конечное значение **коэффициента усиления** ОУ и конечная **полоса пропускания** приводят к отклонениям коэффициента передачи УС от приведенных в подпунктах 10.5.1.4 и 10.5.1.6 – 10.5.1.12; причем данные отклонения тем больше, чем выше частота сигнала, поступающего с ОКУ.

В схемах УС с АК / АЦП МК общего назначения, как правило, применяются ОУ с **полной внутренней частотной коррекцией** [20, 22], отличающиеся отсутствием самовозбуждения даже при стопроцентной отрицательной обратной связи (т. е. при включении по схеме повторителя), без необходимости использования внешних элементов частотной коррекции. В частности, цепями полной внутренней коррекции снабжается большинство моделей ОУ класса «*rail-to-rail*» (см., например, *datasheet* широко используемого ОУ данного класса *AD8515* [70]), которые, как указано в подпункте 10.5.1.2, предпочтительны для применения в УС с АК / АЦП МК общего назначения.

АЧХ ОУ с полной внутренней коррекцией **без обратной связи** (т. е. отношение амплитуд выходного и входного дифференциального гармонических напряжений) описывается следующим выражением [20, 22]:

$$|K(f)| = \frac{K_0}{\sqrt{1 + (f/f_c)^2}}; \quad (10.99)$$

где  $K_0$  – коэффициент усиления постоянного дифференциального напряжения без обратной связи (типовое значение – порядка десятков – сотен тысяч);  $f_c$  – частота среза, которая может быть оценена по выражению:

$$f_c \approx f_1/K_0; \quad (10.100)$$

где  $f_1$  – частота единичного усиления (т. е. частота, на которой коэффициент усиления дифференциального напряжения без обратной связи становится равным единице). В документации зарубежных фирм данный параметр обычно обозначается аббревиатурой *GBP* (*Gain Bandwidth Product*, в переводе – произведение усиления на полосу пропускания). Типовое значение данного параметра для ОУ общего назначения – порядка единиц МГц.

Параметры  $K_0$  и  $f_1$  нормируются технической документацией на соответствующую модель ОУ. Выражения (10.99) и (10.100) верны **только** при отсутствии нелинейных искажений выходного сигнала ОУ, т. е. при соблюдении условия (10.98).

В табл. 10.13 представлены выражения для расчета реальных коэффициентов передачи УС, схемы которых приведены на рис. 10.72 и 10.74 – 10.80. Предполагается, что АЧХ ОУ описывается выражениями (10.99) и (10.100).

Таблица 10.13

*Реальные коэффициенты передачи УС, схемы которых приведены на рис. 10.72 и 10.74 – 10.80*

Схема УС	Коэффициент передачи гармонического сигнала с частотой $f$ <sup>1)</sup>	Примечание
1	2	3
Рис. 10.72	$\frac{K_{0\ DA1}\beta_{DA1}}{K_{0\ DA1}\beta_{DA1} + 1} \times \frac{1}{\sqrt{1 + \left(\frac{f}{\beta_{DA1}f_{1\ DA1}}\right)^2}}$	$\beta_{DA1} = 1$

Окончание таблицы 10.13

1	2	3
Рис. 10.74	$\frac{R2}{R1 + R_{\text{И}} + R2} \times \frac{K_{0\text{ DA1}}\beta_{\text{DA1}}}{K_{0\text{ DA1}}\beta_{\text{DA1}} + 1} \times \frac{1}{\sqrt{1 + \left(\frac{f}{\beta_{\text{DA1}}f_{1\text{ DA1}}}\right)^2}}$	$\beta_{\text{DA1}} = 1$
Рис. 10.75	$\frac{R2 + R3}{R2} \times \frac{K_{0\text{ DA1}}\beta_{\text{DA1}}}{K_{0\text{ DA1}}\beta_{\text{DA1}} + 1} \times \frac{1}{\sqrt{1 + \left(\frac{f}{\beta_{\text{DA1}}f_{1\text{ DA1}}}\right)^2}}$	$\beta_{\text{DA1}} = \frac{R2}{R2 + R3}$
Рис. 10.76	$- \frac{R3}{R1 + R_{\text{И}}} \times \frac{K_{0\text{ DA1}}\beta_{\text{DA1}}}{K_{0\text{ DA1}}\beta_{\text{DA1}} + 1} \times \frac{1}{\sqrt{1 + \left(\frac{f}{\beta_{\text{DA1}}f_{1\text{ DA1}}}\right)^2}}$	$\beta_{\text{DA1}} = \frac{R1 + R_{\text{И}}}{R1 + R_{\text{И}} + R3}$
Рис. 10.77	$- \frac{R3}{R1 + R_{\text{И}}} \times \frac{K_{0\text{ DA1}}\beta_{\text{DA1}}}{K_{0\text{ DA1}}\beta_{\text{DA1}} + 1} \times \frac{1}{\sqrt{1 + \left(\frac{f}{\beta_{\text{DA1}}f_{1\text{ DA1}}}\right)^2}} \times \frac{R5 + R6}{R5} \times \frac{K_{0\text{ DA2}}\beta_{\text{DA2}}}{K_{0\text{ DA2}}\beta_{\text{DA2}} + 1} \times \frac{1}{\sqrt{1 + \left(\frac{f}{\beta_{\text{DA2}}f_{1\text{ DA2}}}\right)^2}}$	$\beta_{\text{DA1}} = \frac{R1 + R_{\text{И}}}{R1 + R_{\text{И}} + R3}$ $\beta_{\text{DA2}} = \frac{R5}{R5 + R6}$
Рис. 10.78	$\frac{1}{2} \times \frac{K_{0\text{ DA1}}\beta_{\text{DA1}}}{K_{0\text{ DA1}}\beta_{\text{DA1}} + 1} \times \frac{1}{\sqrt{1 + \left(\frac{f}{\beta_{\text{DA1}}f_{1\text{ DA1}}}\right)^2}}$	$\beta_{\text{DA1}} = 1$
Рис. 10.79 <sup>2)</sup>	$- \frac{R4}{R3 + R_{\text{И}}} \times \frac{K_{0\text{ DA1}}\beta_{\text{DA1}}}{K_{0\text{ DA1}}\beta_{\text{DA1}} + 1} \times \frac{1}{\sqrt{1 + \left(\frac{f}{\beta_{\text{DA1}}f_{1\text{ DA1}}}\right)^2}}$	$\beta_{\text{DA1}} = \frac{R3 + R_{\text{И}}}{R3 + R_{\text{И}} + R4}$
Рис. 10.80 <sup>2)</sup>	$\frac{R4}{R3 + R_{\text{И}}} \times \frac{K_{0\text{ DA1}}\beta_{\text{DA1}}}{K_{0\text{ DA1}}\beta_{\text{DA1}} + 1} \times \frac{1}{\sqrt{1 + \left(\frac{f}{\beta_{\text{DA1}}f_{1\text{ DA1}}}\right)^2}} \times \frac{R6}{R5} \times \frac{K_{0\text{ DA2}}\beta_{\text{DA2}}}{K_{0\text{ DA2}}\beta_{\text{DA2}} + 1} \times \frac{1}{\sqrt{1 + \left(\frac{f}{\beta_{\text{DA2}}f_{1\text{ DA2}}}\right)^2}}$	$\beta_{\text{DA1}} = \frac{R3 + R_{\text{И}}}{R3 + R_{\text{И}} + R4}$ $\beta_{\text{DA2}} = \frac{R5}{R5 + R6}$

**Примечания.**

1) Во всех выражениях  $\beta$  – коэффициент передачи цепи обратной связи.

2) Приведены коэффициенты передачи в полосе пропускания УС (см. подпункты 10.5.1.11 и 10.5.1.12).

По табл. 10.13 можно сделать следующие **выводы**.

1. Конечное значение коэффициента усиления ОУ ( $K_0$ ) приводит к погрешности коэффициента передачи каскада на основе ОУ. Реальный коэффициент передачи равен «идеальному», умноженному на  $K_0\beta/(1 + K_0\beta)$ . Очевидно, отклонение реального коэффициента передачи от «идеального» тем меньше, чем больше значение  $K_0\beta$ , называемое **петлевым усилением**. Оно, в свою очередь, тем больше, чем выше коэффициенты  $K_0$  и  $\beta$  (т. е. чем ближе ОУ к идеальному и чем меньше коэффициент передачи каскада на его основе).

2. Спад АЧХ ОУ с ростом частоты (см. выражение (10.99)) проявляет себя как включение последовательно с каскадом на ОУ «паразитного» ФНЧ. При наличии полной внутренней коррекции ОУ порядок данного ФНЧ – 1-й; частота среза равна  $\beta f_1$  (т. е. полоса пропускания каскада тем шире, чем меньше его коэффициент передачи).

3. В целом, конечное значение собственного коэффициента усиления ОУ и его полосы пропускания приводит к **мультипликативной погрешности УС** (т. е. погрешности его коэффициента передачи).

4. Следует отметить, что  $K_0$  и  $f_1$  характеризуются значительным **разбросом** от образца к образцу ОУ. В *datasheets* обычно указываются их минимальные гарантируемые или типовые значения; у конкретного образца ОУ реальные значения могут отличаться от указанных в *datasheet* на десятки процентов. Кроме того, значения  $K_0$  и  $f_1$  подвержены значительному температурному и временному дрейфу. Поэтому рациональным является выбор моделей ОУ и схем УС, гарантированно обеспечивающих погрешности коэффициентов передачи не выше допустимых при **минимальных** нормируемых  $K_0$  и  $f_1$ . При расчетах реальных коэффициентов передачи используются выражения, приведенные в табл. 10.13.

В качестве типовых **примеров**, в табл. 10.14 приведены вызванные конечными значениями  $K_0$  и  $f_1$  относительные погрешности коэффициентов передачи неинвертирующего и инвертирующего каскадов на ОУ, при  $K_0$  и  $f_1$ , равных 20000 и 2 МГц

соответственно (близких к минимальным для ОУ общего назначения), и при ряде типовых для УС значений частоты сигнала и «идеального» коэффициента передачи.

При последовательном соединении 2-х или более каскадов погрешности их коэффициентов передачи **суммируются**.

Таблица 10.14

*Вызванные конечными значениями  $K_0$  и  $f_1$  погрешности коэффициента передачи неинвертирующего и инвертирующего каскадов на ОУ с  $K_0 = 20000$  и  $f_1 = 2$  МГц*

Коэффициент передачи при «идеальном» ОУ	$\beta$	Частота, Гц	Коэффициент передачи при реальном ОУ (без учета погрешностей резисторов цепи обратной связи)	Вызванная конечными значениями $K_0$ и $f_1$ относительная погрешность коэффициента передачи, %
1	2	3	4	5
<b>Неинвертирующий каскад</b>				
1	1	0	0,99995	-0,005
		100		
		1000		
		10000	0,99994	-0,006
		20000	0,99990	-0,010
		50000	0,99964	-0,036
		100000	0,99870	-0,130
10	0,1	0	9,9950	-0,050
		100		
		1000		
		10000	9,9825	-0,175
		20000	9,9454	-0,546
		50000	9,6966	-3,034
		100000	8,9398	-10,60
30	0,0333	0	29,955	-0,150
		100		
		1000	29,952	-0,161
		10000	29,624	-1,254
		20000	28,692	-4,361
		50000	23,964	-20,12
		100000	16,616	-44,61

Окончание таблицы 10.14

1	2	3	4	5
100	0,01	0	99,502	-0,498
		100	99,501	-0,499
		1000	99,378	-0,622
		10000	88,998	-11,00
		20000	70,359	-29,64
		50000	36,954	-63,05
		100000	19,514	-80,49
Инвертирующий каскад				
-0,01 <sup>1)</sup>	0,990099	0	-0,0099995	-0,005
		100		
		1000		
		10000	-0,0099994	-0,006
		20000	-0,0099990	-0,010
		50000	-0,0099963	-0,037
		100000	-0,0099868	-0,132
-0,1 <sup>1)</sup>	0,909091	0	0,099995	-0,005
		100		
		1000	-0,099994	-0,006
		10000	-0,099993	-0,007
		20000	-0,099988	-0,012
		50000	-0,099957	-0,043
		100000	-0,099844	-0,156
-1	0,5	0	-0,99990	-0,010
		100		
		1000		
		10000	-0,99985	-0,015
		20000	-0,99970	-0,030
		50000	-0,99865	-0,135
		100000	-0,99494	-0,506
-10	0,090909	0	-9,9945	-0,055
		100		
		1000	-9,9944	-0,056
		10000	-9,9794	-0,206
		20000	-9,9346	-0,654
		50000	-9,6368	-3,632
		100000	-8,7573	-12,43
<sup>1)</sup> Каскад выполняет функцию активного аттенюатора (см. подпункты 10.5.1.8 и 10.5.1.11).				

Из табл. 10.14 нетрудно заметить, что, если каскад на ОУ выполняет функции **повторителя** или **аттенюатора**, вызванная

конечными значениями  $K_0$  и  $f_1$  погрешность коэффициента передачи, даже при  $K_0$  и  $f_1$ , близких к минимальным для современных ОУ, и на частотах до 100 кГц, находится на уровне, приемлемом для большинства применений АК и АЦП МК общего назначения. Однако, если каскад на ОУ выполняет функцию усилителя, например, в УС, схемы которых приведены на рис. 10.75, 10.77 или 10.80, в ряде случаев бывает невозможно обеспечить необходимый коэффициент усиления при его допустимой погрешности использованием **одного** усилительного каскада (на ОУ  $DA1$  в схеме, представленной на рис. 10.75 или, на ОУ  $DA2$  – в схемах, приведенных на рис. 10.77 и 10.80). В таких случаях рационально **распределить** усиление между 2-мя (реже более) каскадами. Приведем **пример**. Пусть в схеме УС, приведенной на рис. 10.75, для выполнения условия (10.82) необходимо, чтобы коэффициент усиления каскада на ОУ  $DA1$  был равен 100, при частоте сигнала, поступающего с ОКУ, равной 10 кГц. В качестве  $DA1$  используется ОУ с  $K_0$  и  $f_1$ , равными 20000 и 2 МГц соответственно. Вызванная конечными значениями  $K_0$  и  $f_1$  относительная погрешность коэффициента усиления при этом равна **минус 11%** (см. табл. 10.14), что неприемлемо в абсолютном большинстве практических случаев. Если же **один** каскад с коэффициентом усиления, равным 100, заменить **двумя** последовательно соединенными каскадами, с коэффициентами усиления, равными 10, то, в соответствии с табл. 10.14, суммарная погрешность коэффициента усиления составит **минус 0,35%**, что приемлемо во многих практических случаях.

Представленные в табл. 10.14 данные могут быть использованы в качестве ориентировочных при выборе схемы УС и моделей ОУ.

О задании допустимого значения погрешности коэффициента передачи УС – см. подпункт 10.5.1.19.

**Примечание.** В приведенных в табл. 10.13 расчетных выражениях не учтены паразитные входные емкости ОУ, а также емкости монтажа, т. к. они проявляют себя на частотах более 100 кГц, превышающих типовые частоты входных сигналов АК и АЦП МК общего назначения.

**10.5.1.17.** Ненулевые значения токов защитных диодов УС при обратном смещении (в котором они находятся при «штатном» режиме работы УС) приводят к дополнительным паразитным падениям напряжения на токоограничивающих резисторах (в схемах, приведенных на рис. 10.71 – 10.75 и 10.78) или на резисторах обратной связи ОУ (в схемах, представленных на рис. 10.76, 10.77, 10.79 и 10.80).

Выражения для оценки составляющих выходного напряжения УС, обусловленных обратными токами защитных диодов, приведены в табл. 10.15.

Таблица 10.15

*Составляющие выходных напряжений УС, обусловленные обратными токами защитных диодов*

Вариант схемы УС	Составляющая выходного напряжения УС, обусловленная обратными токами защитных диодов <sup>1)</sup>
Рис. 10.71, 10.72	$(i_{VD1} - i_{VD2})(R1 + R_{И})$
Рис. 10.73, 10.74	$(i_{VD1} - i_{VD2}) \frac{(R1 + R_{И})R2}{R1 + R_{И} + R2}$
Рис. 10.75	$(i_{VD1} - i_{VD2})(R1 + R_{И}) \times \frac{R2 + R3}{R2}$
Рис. 10.76, 10.77	Пренебрежимо мала (см. пояснения в п. 3 текста)
Рис. 10.78	$(i_{VD1} - i_{VD2}) \frac{(R1 + R_{И})R2}{R1 + R_{И} + R2}$
Рис. 10.79	$R4(i_{VD1} - i_{VD2}) _{U_{VD1}=U_{VD2}=-V_{DIS}/2}$ <sup>2)</sup>
Рис. 10.80	Практически равна нулю (см. пояснения в п. 4 текста)
<b>Примечания.</b>	
1) Во всех выражениях $i_{VD1}$ и $i_{VD2}$ – обратные токи диодов VD1 и VD2 соответственно.	
2) $(i_{VD1} - i_{VD2}) _{U_{VD1}=U_{VD2}=-V_{DIS}/2}$ – разность обратных токов диодов VD1 и VD2 при напряжениях на них, равных $-V_{DIS}/2$ .	

Таблицу 10.15 необходимо дополнить следующими пояснениями.

1. Во всех схемах УС паразитная составляющая выходного напряжения, обусловленная обратными токами защитных диодов, определяется **разностью** данных токов.

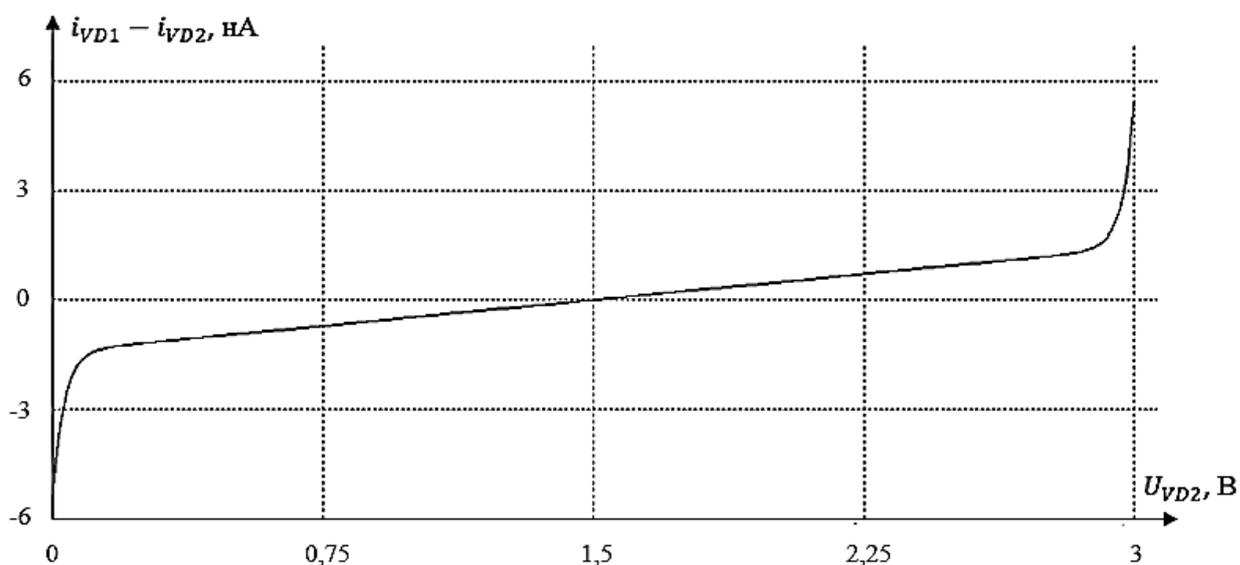
2. В схемах, приведенных на рис. 10.71 – 10.75 и 10.78 падения напряжения на защитных диодах зависят от уровня входного напряжения УС:

- в схемах, приведенных на рис. 10.71, 10.72 и 10.75, падение напряжения на диоде  $VD1$  равно  $AV_{CC} - U_{OKY}$ , а на диоде  $VD2 - +U_{OKY}$ ;

- в схемах, представленных на рис. 10.73 и 10.74, падение напряжения на диоде  $VD1$  равно  $AV_{CC} - (U_{OKY} R2 / (R1 + R_{И} + R2))$ , а на диоде  $VD2 - +(U_{OKY} R2 / (R1 + R_{И} + R2))$ ;

- в схеме, приведенной на рис. 10.78, падение напряжения на диоде  $VD1$  равно  $AV_{CC} - 0,5(U_{OKY} + V_{DIS})$ , а на диоде  $VD2 - +0,5(U_{OKY} + V_{DIS})$ .

Соответственно, от уровня входного напряжения зависит и разность обратных токов диодов. Данная зависимость, в общем случае, имеет нелинейный характер. На рис. 10.81 представлен типовой вид зависимости разности обратных токов защитных диодов схем, приведенных на рис. 10.71 – 10.75 и 10.78, от напряжения в точке соединения данных диодов (т. е. фактически – от падения напряжения на диоде  $VD2$ ).



**Рис. 10.81.** Типовой вид зависимости разности обратных токов защитных диодов схем, приведенных на рис. 10.71 – 10.75 и 10.78, от напряжения в точке соединения данных диодов (равного  $U_{VD2}$ ).

Модели диодов – 1N5712

Следовательно, обусловленная обратными токами защитных диодов составляющая выходного напряжения УС, схемы которых приведены на рис. 10.71 – 10.75 и 10.78, представляет собой, по существу, одну из составляющих **погрешности нелинейности** данных УС, как правило – единственную. Максимальное **абсолютное** значение данной погрешности может быть вычислено подстановкой в выражения, приведенные в табл. 10.15, максимально возможного значения модуля разности  $i_{VD1} - i_{VD2}$ . В свою очередь, он максимален, если падение напряжения на одном из диодов равно нулю, а на другом – максимально возможному значению в «штатном» режиме ( $AV_{CC}$ ), т. е. если напряжение в точке соединения диодов равно или нулю, или  $AV_{CC}$  (см. рис. 10.81). Следовательно, для схем, приведенных на рис. 10.71 – 10.75 и 10.78, максимальное абсолютное значение разности  $i_{VD1} - i_{VD2}$  фактически равно нормируемому *datasheet* максимальному току используемой модели диода при обратном напряжении, равном  $AV_{CC}$ .

Максимальная **приведенная погрешность** нелинейности УС вычисляется как отношение максимальной абсолютной погрешности нелинейности к максимальному выходному напряжению УС.

**Примечание.** Из рис. 10.81 видно, что на приведенной на нем зависимости имеется линейный участок. Если напряжение в точке соединения защитных диодов не выходит за пределы данного участка, погрешность нелинейности УС практически **отсутствует**. Защитные диоды при этом проявляют себя как активные сопротивления, типовые значения которых (т. е.  $\Delta U / \Delta i$ ), как нетрудно заметить из рис. 10.81, равны порядка сотен МОм, т. е. на несколько порядков больше типовых сопротивлений резисторов УС, и поэтому не оказывают существенного влияния на его параметры.

3. В схемах УС, приведенных на **рис. 10.76 и 10.77**, падения напряжения на защитных диодах являются **фиксированными**, не зависящими от входного напряжения УС, при идеальном ОУ равными нулю, реально – входному напряжению смещения ОУ (типичное значение – несколько мВ). При этом обратные токи защитных диодов приводят к дополнительной аддитивной погрешности УС. Однако, поскольку типовой порядок разности

токов  $i_{VD1}$  и  $i_{VD2}$  в данных схемах составляет десятки пА, вызванная ими составляющая аддитивной погрешности УС пренебрежимо мала по сравнению с составляющими, обусловленными напряжениями смещения и входными токами ОУ (см. табл. 10.12). Например, в схеме, представленной на рис. 10.76, при  $i_{VD1} = i_{VD2}$ , равной 100 пА,  $R1 = R3 = 1$  МОм,  $e_{DA1} = 3$  мВ, составляющая выходного напряжения смещения УС, обусловленная входным напряжением смещения ОУ, равна 6 мВ, а обусловленная обратными токами защитных диодов – 100 мкВ.

4. В схемах, представленных на **рис. 10.79 и 10.80**, падения напряжения на защитных диодах не зависят от входного напряжения УС, и равны  $V_{DIS}/2$ . В идеале, разность обратных токов диодов при этом должна быть равна нулю. Реально она отличается от нуля из-за разброса характеристик диодов, и на практике равна порядка десятков пА. Это вызывает дополнительную **аддитивную** погрешность УС, реализуемого по схеме, приведенной на **рис. 10.79**, которая, однако, **пренебрежимо мала** по сравнению с аддитивными погрешностями, вызванными другими факторами (см. п. 3). В схеме, приведенной на **рис. 10.80**, выходное напряжение смещения каскада на ОУ  $DA1$  **не влияет** на аддитивную погрешность УС в целом, т. к. данное напряжение, будучи постоянным, отфильтровывается цепью  $C4R5$ .

5. Рациональными способами **минимизации** погрешностей УС, вызванных обратными токами защитных диодов, являются:

- выбор диодов с возможно меньшими значениями обратных токов;

- выбор сопротивлений резисторов  $R1$  в схемах, приведенных на рис. 10.71 – 10.78, и резистора  $R3$  в схеме, представленной на рис. 10.79, минимально достаточных для токоограничения (см. выражение (10.78)) и, при необходимости, для удовлетворения условия  $R1 \gg R_{и}$  или, соответственно,  $R3 \gg R_{и}$ .

6. С точки зрения минимизации погрешностей, вызванных обратными токами защитных диодов, применение внутренних защитных диодов ПВВ МК **не рационально**. С этой же точки зрения не рационально применение схем, приведенных на рис. 10.71 и 10.73, т. к. даже при использовании внешних защитных диодов в них

будут присутствовать и погрешности, вызываемые обратными токами **внутренних** защитных диодов.

**10.5.1.18.** Необходимо также остановиться на требованиях к точностным параметрам резисторов, используемых в схемах УС. Основным из них является максимальное относительное отклонение сопротивления резистора от номинального:

$$\delta_R = \frac{|\Delta R|_{max}}{R_{НОМ}};$$

где  $|\Delta R|_{max}$  – максимальное абсолютное отклонение сопротивления от номинального;  $R_{НОМ}$  – номинальное сопротивление. Значение  $\delta_R$  нормируется в процентах для каждого типономинала резисторов.

Ненулевые значения  $\delta_R$  приводят к дополнительным погрешностям коэффициента передачи УС. Выражения для оценки пределов данных погрешностей представлены в табл. 10.16.

Таблица 10.16

*Пределы относительной погрешности коэффициента передачи УС, обусловленной отклонениями сопротивлений резисторов от номинальных*

Вариант схемы УС	Пределы относительной погрешности коэффициента передачи УС, обусловленной отклонениями сопротивлений резисторов от номинальных <sup>1)</sup>
1	2
Рис. 10.71, 10.72	Отсутствует
Рис. 10.73, 10.74	$\pm \sqrt{\left(\delta_{R1+Rи} \frac{R1 + Rи}{R1 + Rи + R2}\right)^2 + \left(\delta_{R2} \frac{R1 + Rи}{R1 + Rи + R2}\right)^2}$
Рис. 10.75	$\pm \sqrt{\left(\delta_{R2} \frac{R3}{R2 + R3}\right)^2 + \left(\delta_{R3} \frac{R3}{R2 + R3}\right)^2}$
Рис. 10.76	$\pm \sqrt{(\delta_{R1+Rи})^2 + (\delta_{R3})^2}$
Рис. 10.77	$\pm \sqrt{(\delta_{R1+Rи})^2 + (\delta_{R3})^2 + \left(\delta_{R5} \frac{R6}{R5 + R6}\right)^2 + \left(\delta_{R6} \frac{R6}{R5 + R6}\right)^2}$
Рис. 10.78	$\pm \sqrt{\left(\delta_{R1+Rи} \frac{R1 + Rи}{R1 + Rи + R2}\right)^2 + \left(\delta_{R2} \frac{R1 + Rи}{R1 + Rи + R2}\right)^2}$

Окончание таблицы 10.16

1	2
Рис. 10.79 <sup>2)</sup>	$\pm \sqrt{(\delta_{R3+Rи})^2 + (\delta_{R4})^2}$
Рис. 10.80 <sup>2)</sup>	$\pm \sqrt{(\delta_{R3+Rи})^2 + (\delta_{R4})^2 + (\delta_{R5})^2 + (\delta_{R6})^2}$
<p><b>Примечания.</b></p> <p>1) Относительные отклонения <math>\delta_{R1+Rи}</math> и <math>\delta_{R3+Rи}</math> равны соответственно <math>(\delta_{R1}R1/(R1 + Rи)) + (\delta_{Rи}Rи/(R1 + Rи))</math> и <math>(\delta_{R1}R3/(R3 + Rи)) + (\delta_{Rи}Rи/(R3 + Rи))</math></p> <p>2) Выражения верны на частотах, находящихся в пределах полосы пропускания УС (см. подпункты 10.5.1.11 и 10.5.1.12).</p>	

Приведенные в табл. 10.16 выражения могут использоваться при выборе допусков резисторов, применяемых в схемах УС, в соответствии с требованиями к суммарной погрешности УС (см. подпункт 10.5.1.19).

**10.5.1.19.** В общем случае, погрешность УС, аналогично погрешности АЦП, равна сумме 3-х основных составляющих (сравните с выражением (10.18)):

$$\frac{\Delta U_{УС}}{U_{УС}} = \frac{\Delta_A}{U_{УС}} + \frac{\Delta_{NL}(U_{ОКУ})}{U_{УС}} + \frac{\Delta K_{УС}}{K_{УС}}; \quad (10.101)$$

где  $\Delta U_{УС}/U_{УС}$  – суммарная относительная погрешность УС;  $\Delta U_{УС}$  – суммарное отклонение выходного напряжения УС от «идеального»;  $\Delta_A$  – аддитивная погрешность УС, вычисляемая по выражениям, приведенным в табл. 10.12;  $\Delta_{NL}(U_{ОКУ})$  – абсолютная погрешность нелинейности УС (см. подпункт 10.5.1.17);  $\Delta K_{УС}/K_{УС}$  – относительная мультипликативная погрешность УС, в общем случае, равная:

$$\frac{\Delta K_{УС}}{K_{УС}} = \frac{K_{УС}(K_0, f_1) - K_{УС}}{K_{УС}} + \delta_K(\delta_R); \quad (10.102)$$

где  $K_{УС}$  – коэффициент передачи УС при «идеальных» ОУ и нулевых отклонениях сопротивлений резисторов от номинальных;  $K_{УС}(K_0, f_1)$  – коэффициент передачи УС, вычисляемый по табл. 10.13, с учетом конечных значений коэффициента усиления и полосы пропускания

ОУ, при **номинальных** сопротивлениях резисторов УС;  $\delta_K(\delta_R)$  – вычисляемая по табл. 10.16 составляющая относительной погрешности коэффициента передачи УС, обусловленная отклонениями сопротивлений резисторов от номинальных.

В конкретных схемах УС некоторые из слагаемых выражений (10.101) и (10.102) могут отсутствовать или быть пренебрежимо малыми (см. табл. 10.12 – 10.16). Например, у УС, схема которого приведена на рис. 10.72, практически отсутствует составляющая погрешности коэффициента передачи, вызываемая отклонениями сопротивлений резисторов от номинальных; УС, схемы которых представлены на рис. 10.76 и 10.77, характеризуются пренебрежимо малыми погрешностями нелинейности и т. п.

**Базовым требованием** к суммарной погрешности УС и АЦП является следующее:

$$\frac{\Delta U_{УС}}{U_{УСн}} + \frac{\Delta_{INS ADC}}{N_{ADCн}} < \delta_{пп max}; \quad (10.103)$$

где  $U_{УСн}$  и  $N_{ADCн}$  – **нормирующие** значения соответственно выходного напряжения УС и результата АЦ-преобразования (в качестве которых, как правило, принимаются их **максимальные** значения);  $\Delta_{INS ADC}$  – инструментальная погрешность АЦП, определяемая по выражению (10.18);  $\delta_{пп max}$  – максимально допустимая приведенная погрешность АЦ-преобразования напряжения, поступающего с ОКУ.

В свою очередь, **базовым требованием** к суммарной погрешности УС и АК является:

$$\frac{\Delta U_{УС} + \Delta_{AC}}{U_{УСн}} < \delta_{пк max}; \quad (10.104)$$

где  $\Delta_{AC}$  – абсолютная суммарная погрешность сравнения АК, оцениваемая по выражению (10.8);  $\delta_{пк max}$  – максимально допустимая приведенная погрешность контроля напряжения, поступающего с ОКУ.

Значения  $\delta_{пп max}$  и  $\delta_{пк max}$ , должны быть, как минимум, много меньшими, погрешностей датчиков, служащих источниками напряжений, поступающих с ОКУ.

Условия (10.103) и (10.104) являются **основными** при выборе схемы УС и ее элементов.

**10.5.1.20.** Следует отметить, что в качестве ОУ, входящих в состав УС, могут быть использованы **встроенные** ОУ, имеющиеся в составе некоторых модельных рядов современных МК (например, *STM32L15x*, см. [71]), при условии, что параметры данных ОУ удовлетворяют требованию (10.103) или, соответственно, (10.104).

**10.5.1.21.** Кроме схем УС, приведенных в подпунктах 10.5.1.3 – 10.5.1.12, естественно, возможны и другие варианты, см. ресурсы Интернет.

## **10.5.2. Устройства сопряжения ЦАП МК с исполнительными устройствами**

**1.5.2.1.** Основное назначение встроенных ЦАП МК – выработка сигналов управления различными исполнительными устройствами (ИУ) в широком смысле этого понятия, включая как электромеханические ИУ, так и устройства индикации, устройства генерации звуковых сигналов (телефоны, пьезоэлементы) и т. п.

Основными **задачами**, возникающими при сопряжении встроенных ЦАП МК с ИУ, являются следующие:

- формирование биполярного напряжения управления ИУ из выходного напряжения ЦАП МК, которое принципиально может быть только однополярным (положительным);

- сопряжение ЦАП с ИУ, ток управления которыми превышает предельно допустимый выходной ток ЦАП;

- сопряжение ЦАП с ИУ, размах управляющего напряжения которых превышает напряжение питания аналоговой части МК и, соответственно, максимально возможный размах выходного напряжения ЦАП;

- сочетание каких-либо 2-х из перечисленных задач или всех 3-х.

**1.5.2.2.** Формирование биполярного напряжения из выходного напряжения ЦАП, в принципе, может осуществляться, исходя из различных требований к уровням формируемого напряжения. Распространенным на практике является вариант, при котором

уровень выходного напряжения ЦАП смещается отрицательном направлении на половину «полной шкалы», т. е.:

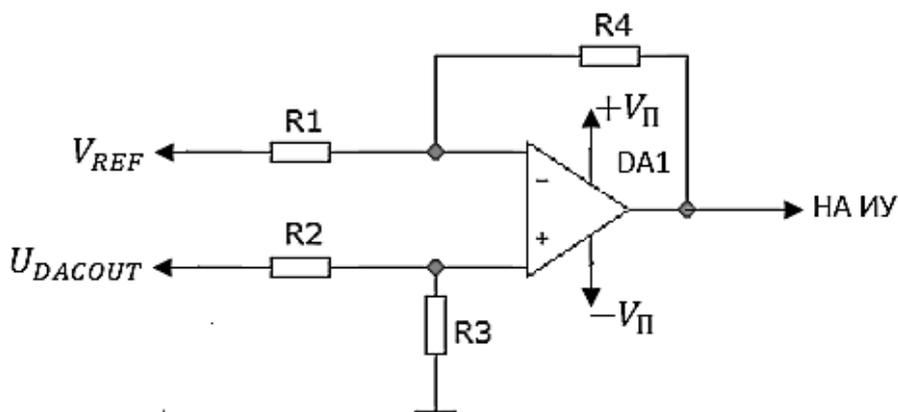
- формируемое биполярное напряжение равно нулю при выходном напряжении ЦАП, соответствующем половине его «полной шкалы», т. е. входному коду ЦАП, равному 1000...0;

- размах формируемого биполярного напряжения равен размаху выходного напряжения ЦАП.

Один из возможных вариантов функциональной схемы УС ЦАП с ИУ, формирующего напряжения с такими уровнями, приведен на рис. 10.82. Там же приведены требуемые для реализации данного УС отношения сопротивлений резисторов. Выходное напряжение данного УС равно:

$$U_{УС} = U_{DACOUT} \frac{R3}{R2 + R3} \times \frac{R1 + R4}{R1} - V_{REF} \frac{R4}{R1} = U_{DACOUT} - \frac{V_{REF}}{2}.$$

Важно отметить, что питание ОУ должно быть **биполярным**, т. е. осуществляться 2-мя напряжениями, одинаковыми по значению, одно из которых должно быть положительным относительно общей шины, другое – отрицательным (см. рис. 10.82).



$$R1 = 2 \times R4$$

$$R3 = 2 \times R2$$

$V_{REF}$  – опорное напряжение ЦАП

$U_{DACOUT}$  – выходное напряжение ЦАП

$+V_{п}$ ,  $-V_{п}$  – соответственно положительное и отрицательное напряжения

**Рис. 10.82.** Функциональная схема устройства сопряжения ЦАП МК с ИУ со смещением средней точки полной шкалы ЦАП.

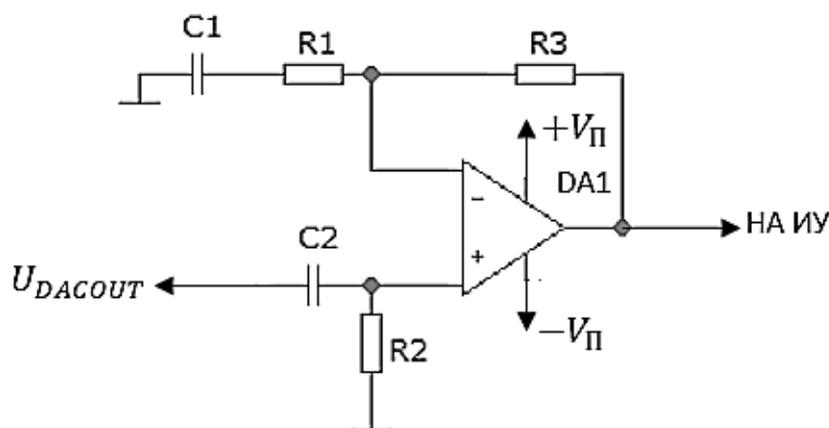
См. пояснения в тексте

Возможен также вариант схемы УС, приведенной на рис. 10.82, в котором  $R1 = R4$ , а резистор  $R3$  отсутствует. При этом:

$$U_{УС} = 2U_{DACOUT} - V_{REF};$$

т. е., как и в предыдущем варианте, выходное напряжение УС равно нулю при  $U_{DACOUT} = V_{REF}/2$ , т. е. при выходном напряжении ЦАП, равном половине «полной шкалы», но размах  $U_{УС}$  в 2 раза превышает размах  $U_{DACOUT}$ , т. е. осуществляется его усиление в 2 раза.

**10.5.2.3.** Для некоторых типов ИУ приоритетным требованием к управляющим ими напряжениям является отсутствие в них **постоянной составляющей** (реально – пренебрежимо малое ее значение). Обобщенная функциональная схема простейшего варианта УС с такими ИУ приведена на рис. 10.83.



**Рис. 10.83.** Обобщенная функциональная схема простейшего устройства сопряжения ЦАП МК с ИУ, с устранением постоянной составляющей выходного напряжения ЦАП (условные обозначения аналогичны используемым на рис. 10.82)

Устранение постоянной составляющей выходного напряжения ЦАП осуществляется  $RC$ -фильтром верхних частот (ФВЧ)  $R2C2$ . Неинвертирующим каскадом на ОУ  $DA1$  осуществляется усиление выделенной ФВЧ переменной составляющей выходного напряжения ЦАП. Конденсатор  $C1$  введен в цепь обратной связи ОУ во избежание усиления входного напряжения смещения ОУ. Паразитная постоянная составляющая выходного напряжения ОУ при этом равна  $e_{см DA1} + i_{DA1}^+ R2 - i_{DA1}^- R3$ , условием ее

минимизации является равенство сопротивлений  $R2$  и  $R3$ . На практике достижимо ее значение, не превышающее порядка нескольких сотен мкВ.

АЧХ УС, схема которого приведена на рис. 10.83, в общем случае, имеет вид:

$$|H(f)| = \frac{R1 + R3}{R1} \times \frac{2\pi f R1 C1}{\sqrt{1 + (2\pi f R1 C1)^2}} \times \frac{2\pi f R2 C2}{\sqrt{1 + (2\pi f R2 C2)^2}} \times \frac{K_{0 DA1} \beta_{DA1}}{K_{0 DA1} \beta_{DA1} + 1} \times \frac{1}{\sqrt{1 + \left(\frac{f}{\beta_{DA1} f_{1 DA1}}\right)^2}}. \quad (10.105)$$

Здесь  $\beta_{DA1}$  – коэффициент передачи цепи обратной связи ОУ в **полосе пропускания** УС, т. е. на частотах, много выше, чем  $1/(2\pi f R1 C1)$  и  $1/(2\pi f R2 C2)$ , и много ниже, чем  $\beta_{DA1} f_{1 DA1}$  (см. также подпункт 10.5.1.16). При идеальном ОУ, коэффициент усиления УС в полосе пропускания равен  $(R1 + R3)/R1$ .

Выбор постоянных времени цепей  $R1C1$  и  $R2C2$  производится, исходя из условия:

$$1 - \left( \frac{2\pi f_L R1 C1}{\sqrt{1 + (2\pi f_L R1 C1)^2}} \times \frac{2\pi f_L R2 C2}{\sqrt{1 + (2\pi f_L R2 C2)^2}} \right) \leq \delta_{max}(f_L); \quad (10.106)$$

где  $f_L$  – нижняя граничная частота переменной составляющей выходного напряжения ЦАП;  $\delta_{max}(f_L)$  – максимально допустимое отклонение коэффициента передачи УС на данной частоте относительно его значения на центральной частоте полосы пропускания.

Если нет необходимости в усилении выходного напряжения ЦАП, ОУ  $DA1$  включается по схеме повторителя; при этом цепь  $R1C1$  отсутствует, АЧХ УС принимает следующий вид:

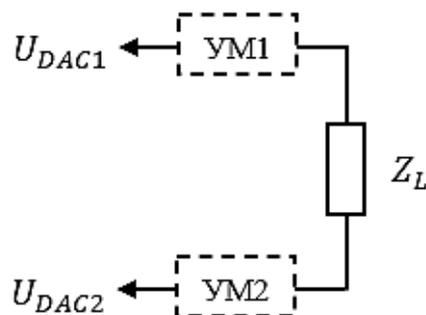
$$|H(f)| = \frac{2\pi f R2 C2}{\sqrt{1 + (2\pi f R2 C2)^2}} \times \frac{K_{0 DA1}}{K_{0 DA1} + 1} \times \frac{1}{\sqrt{1 + \left(\frac{f}{f_{1 DA1}}\right)^2}};$$

а выбор постоянной времени цепи  $R2C2$  осуществляется, исходя из условия:

$$1 - \frac{2\pi f_L R2C2}{\sqrt{1 + (2\pi f_L R2C2)^2}} \leq \delta_{max}(f_L).$$

Основным достоинством УС, схема которого приведена на рис. 10.83, является относительная простота; основными недостатками – необходимость использования конденсаторов  $C1$  и  $C2$  емкостью от единиц мкФ и более при управлении инерционными, например, электромеханическими ИУ, а также наличие длительных переходных процессов при скачкообразном изменении выходного напряжения ЦАП. Поэтому на практике данная схема УС может применяться, в основном, для сопряжения ЦАП с относительно маломощными ИУ, сигналы управления которыми находятся в диапазоне частот выше нескольких сотен Гц (например, с устройствами генерации звуковых сигналов).

**10.5.2.4.** Если для управления ИУ имеется возможность задействования двух ЦАП (см. подпункты 10.4.6.1 и 10.4.6.7), а цепь управления ИУ является «плавающей», т. е. не подключенной к общей шине, то устранение постоянной составляющей напряжения, управляющего ИУ, может быть осуществлено реализацией УС по схеме, приведенной на рис. 10.84.



$U_{DAC1}$  и  $U_{DAC2}$  – выходные напряжения 1-го и 2-го ЦАП соответственно  
 УМ1, УМ2 – усилители мощности  
 $Z_L$  – нагрузка (цепь управления ИУ)

**Рис. 10.84.** Функциональная схема устройства сопряжения ЦАП МК с ИУ, с устранением постоянной составляющей напряжения управления ИУ (вариант №1).

См. пояснения в тексте

Предпочтительным режимом работы 1-го и 2-го ЦАП является *Simultaneous trigger without wave generation* (см. подпункт 10.4.6.7). Постоянные составляющие их выходных напряжений должны быть равны между собой, а переменные – быть противофазными, т. е. одинаковыми по модулю, но противоположными по знаку, т. е. должны соблюдаться условия:

$$\left. \begin{aligned} U_{DAC1}(t) &= U_{=} + U_{\sim}(t); \\ U_{DAC2}(t) &= U_{=} - U_{\sim}(t); \end{aligned} \right\} \quad (10.107)$$

где  $U_{=}$  и  $U_{\sim}(t)$  – соответственно постоянная и переменная составляющая выходных напряжений ЦАП. На практике, как правило, значение  $U_{=}$  равно половине полной шкалы ЦАП, т. е. половине значения опорного напряжения ЦАП.

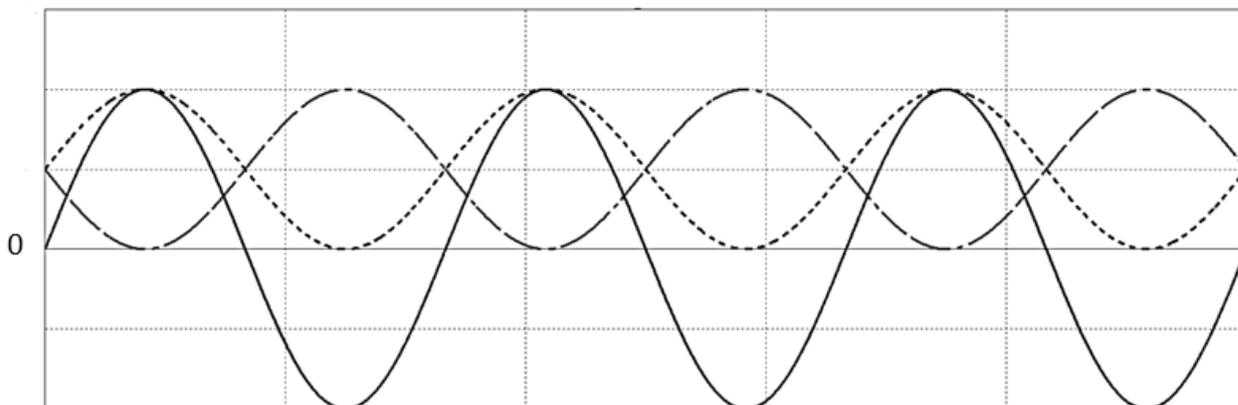
Если ток нагрузки или рабочее напряжение на нагрузке превышают соответственно максимально допустимый ток ЦАП или его максимальное выходное напряжение, выходные сигналы ЦАП поступают в нагрузку через усилители мощности (УМ1 и УМ2 на рис. 10.84). Их коэффициенты усиления как по напряжению, так и по току должны быть равны.

Нетрудно увидеть, что напряжение на нагрузке (т. е. на цепи управления ИУ) равно разности выходных напряжений ЦАП или, соответственно, УМ (при их применении). Следовательно, если соблюдаются условия (10.107), напряжение на нагрузке равно  $2U_{\sim}(t)$  (в отсутствие УМ) или, при наличии УМ,  $2K_U U_{\sim}(t)$ , где  $K_U$  – коэффициент усиления УМ по напряжению. Постоянная составляющая напряжения на нагрузке, в идеале, равна нулю. На практике, ее значение отлично от нуля, и тем меньше, чем меньше разность постоянных составляющих выходных напряжений ЦАП или, соответственно, УМ (при их наличии).

Принцип формирования управляющего напряжения ИУ, реализуемый приведенной на рис. 10.84 схемой, поясняет рис. 10.85. На нем изображены примеры временных диаграмм напряжений на выходах УМ и напряжения на нагрузке.

Схема УС, представленная на рис. 10.84, применяется для формирования как напряжений на управляющих обмотках

электромеханических ИУ, так и, например, сигналов управления пьезоэлектрическими преобразователями.

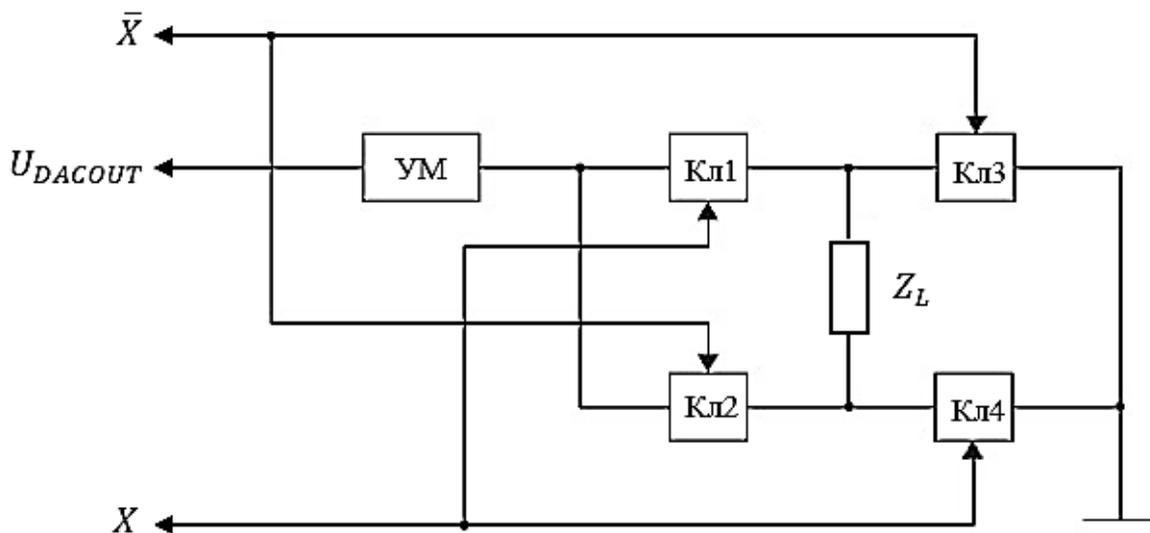


**Рис. 10.85.** Примеры временных диаграмм напряжений на выходах УМ1 (пунктирная линия), УМ2 (штрих - пунктирная линия) и на нагрузке (сплошная линия) устройства сопряжения, схема которого приведена на рис. 10.84

**10.5.2.5.** На практике достаточно часто встречаются случаи, при которых напряжение управления ИУ не должно содержать постоянной составляющей, но схема, приведенная на рис. 10.84, не может быть применена, т. к. для формирования управляющего напряжения может быть задействован только один ЦАП или / и цепь управления ИУ не является «плавающей». Показательным примером такого случая является блок управления двухфазным шаговым электродвигателем в микрошаговом режиме, описанный в [72]. Двигатель управляется гармоническими напряжениями на 2-х обмотках, с различающимися между собой начальными фазами. Соответственно, для формирования напряжений на обмотках с использованием схемы, приведенной на рис. 10.84, потребовалось бы 4 ЦАП. С другой стороны, в структуре МК, управляющего двигателем (как и большинства МК общего назначения) имеется только 2 ЦАП. Поэтому УС, схема которого представлена на рис. 10.84, в данном случае не применимо.

Если невозможно или затруднительно также использование схемы, приведенной на рис. 10.83 (по причине ее недостатков, указанных в подпункте 10.5.2.3), что имеет место и в примере, представленном в [72], применяется УС, упрощенная

функциональная схема которого приведена на рис. 10.86. Данный тип УС использован и в [72].



УМ – усилитель мощности

Кл1...Кл4 – ключи

$U_{DACOUT}$  – выходное напряжение ЦАП

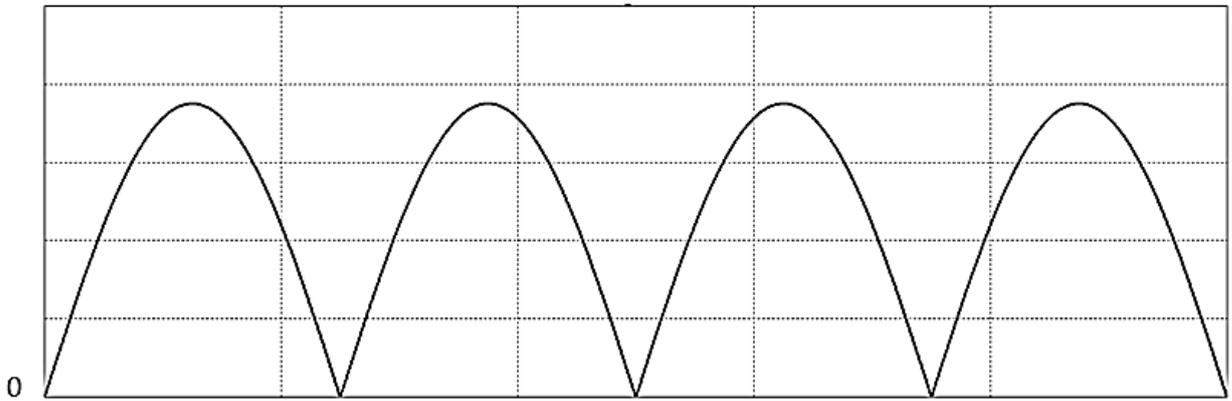
$X, \bar{X}$  – сигналы управления ключами

$Z_L$  – нагрузка (цепь управления ИУ)

**Рис. 10.86.** Функциональная схема устройства сопряжения ЦАП МК с ИУ, с устранением постоянной составляющей напряжения управления ИУ (вариант №2).

См. пояснения в тексте

ЦАП МК вырабатывает однополярное напряжение, совпадающее по форме с модулем «штатного» напряжения управления ИУ. Например, если данное напряжение должно быть гармоническим, выходное напряжение ЦАП должно иметь форму, приведенную на рис. 10.87. Если рабочее напряжение на нагрузке или ток нагрузки превышают максимальное выходное напряжение ЦАП или, соответственно, его максимально допустимый выходной ток, необходимо включение в состав УС усилителя мощности (см. рис. 10.86).



**Рис. 10.87.** Временная диаграмма выходного напряжения ЦАП при гармоническом напряжении на нагрузке УС, схема которого приведена на рис. 10.86

Сигналы управления ключами,  $X$  и  $\bar{X}$ , вырабатываются МК, и являются взаимно противофазными. Во время положительной полуволны напряжения на нагрузке замыкаются ключи Кл1 и Кл4; ток протекает от верхнего по схеме вывода  $Z_L$  к нижнему. Во время отрицательной полуволны замкнуты ключи Кл2 и Кл3, ток протекает от нижнего по схеме вывода  $Z_L$  к верхнему. В результате, если напряжения, поступающие с ЦАП в положительной и в отрицательной полуволне, равны между собой, напряжение на нагрузке (т. е. разность напряжений на выводах  $Z_L$ ), а также ток в ней, не содержат постоянной составляющей; например, при форме выходного сигнала ЦАП, представленной на рис. 10.87, они будут гармоническими.

**Примечание.** Для практического применения УС, схема которого приведена на рис. 10.86, в него необходимо внести некоторые модификации, основными из которых являются следующие.

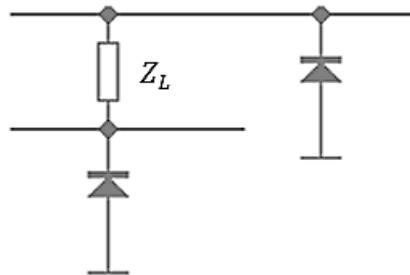
1. Во избежание аварийных состояний, которые могут возникнуть из-за конечного времени замыкания / размыкания ключей (например, ситуаций, когда ключи Кл1 и Кл4 уже замкнуты, а Кл2 и Кл3 еще не разомкнуты), управление ключами Кл1 и Кл4, как и ключами Кл2 и Кл3 должно быть **раздельным**. Желательна следующая последовательность коммутации:

- по началу положительной (относительно нижнего по схеме вывода  $Z_L$ ) полуволны напряжения на нагрузке – размыкание Кл2 → замыкание Кл4 → размыкание Кл3 → замыкание Кл1;

- по началу отрицательной полуволны – размыкание Кл1 → замыкание Кл3 → размыкание Кл4 → замыкание Кл2.

Сигналы управления ключами при этом, естественно, рационально формировать посредством МК. Между всеми перечисленными событиями замыкания / размыкания ключей должны быть предусмотрены задержки, равные или большие длительности переходных процессов замыкания / размыкания.

2. Если нагрузка УС ( $Z_L$ ) имеет индуктивный характер (например, представляет собой обмотку шагового электродвигателя), для устранения выбросов напряжения на ней, возникающих в процессе коммутации, к выводам нагрузки должны быть подключены защитные диоды, как показано на рис. 10.88.



**Рис. 10.88.** Подключение защитных диодов к нагрузке УС, схема которого приведена на рис. 10.88

**10.5.2.6.** Второй группой задач, возникающих при использовании ЦАП МК для управления ИУ является сопряжение ЦАП с ИУ, ток управления которыми превышает максимально допустимый выходной ток ЦАП или / и размах управляющего напряжения которых превышает напряжение питания аналоговой части МК и, соответственно, максимально возможный размах выходного напряжения ЦАП (см. подпункт 10.5.2.1). Задачи данной группы решаются использованием усилителей мощности (УМ) выходного сигнала ЦАП (см. рис. 10.84 и 10.86).

Для обеспечения точности коэффициентов передачи и минимизации напряжений смещения, УМ рационально

реализовывать на базе т. н. **мощных** или / и **высоковольтных** ОУ, характеризуемых повышенными (по сравнению с ОУ общего назначения) максимально допустимым выходным током (до единиц А) или / и размахом выходного напряжения (до 80 – 100 В). В настоящее время доступна достаточно широкая номенклатура ОУ (см., например, [73] и [74]). В частности, на основе мощных или высоковольтных ОУ могут, при необходимости, строиться УС, схемы которых приведены на рис. 10.82 и 10.83. При этом каскад на ОУ выполняет функции как смещения / устранения постоянной составляющей выходного напряжения ЦАП и его усиления, так и функции УМ. В УС, схемы которых приведены на рис. 10.84 и 10.86, УМ, при необходимости их применения, рационально реализовывать как неинвертирующие или инвертирующие каскады на мощных или высоковольтных ОУ.

В относительно редких случаях, когда серийно выпускаемые ОУ данных типов не могут удовлетворить требований к выходному току или размаху выходного напряжения УС, или не могут быть использованы по организационно-экономическим причинам, могут быть использованы известные схемотехнические решения по повышению нагрузочной способности ОУ или / и расширению диапазона их выходного напряжения, приведенные, например в разделе 4 источника [20] и в разделе 15 источника [23].

**10.5.2.7.** Отметим, что в схемах, приведенных на рис. 10.82 и 10.83, возможно применение только ОУ с **биполярным** питанием. В схемах, представленных на рис. 10.84 и 10.86, возможно применение УМ на ОУ с **однополярным** питанием.

**10.5.2.8.** Кроме УС, описанных в подпунктах 10.5.2.2 – 10.5.2.6, естественно, возможны и другие варианты, см. ресурсы Интернет.

**10.5.2.9.** Все изложенное в подпунктах 10.5.2.1 – 10.5.2.6 может быть отнесено также и к **ШИМ-ЦАП**.

## **10.6 Выводы по разделу 10**

Блоки аналого-цифрового интерфейса (АЦИ) МК выполняют следующие основные функции:

- контроль значений аналоговых величин, несущих информацию о состоянии объекта управления (например, выходных напряжений или токов датчиков с аналоговым выходом);

- выработка аналоговых сигналов с программно-задаваемыми параметрами и характеристиками для управления ИУ.

К блокам АЦИ МК общего назначения относятся:

- аналоговые компараторы (АК);

- аналого-цифровые преобразователи (АЦП, *ADC*);

- цифро-аналоговые преобразователи (ЦАП, *DAC*).

В составе подсистемы АЦИ конкретных семейств / подсемейств / модельных рядов МК какие-либо из перечисленных блоков могут отсутствовать (см. рис. 1.3 – 1.5 и табл. 1.1).

### **10.6.1. Выводы по подразделу 10.2 (Типовые структурно-архитектурные решения и основы применения встроенных аналоговых компараторов МК)**

**10.6.1.1.** Основными функциями, выполняемыми блоками АК в системах контроля и управления на основе МК, являются следующие:

- сравнение напряжений, несущих информацию о состоянии объекта контроля и управления, с напряжениями уставок (обычно равными минимально или максимально допустимым значениям контролируемых напряжений), с выработкой признаков выхода контролируемых напряжений за пределы уставок;

- формирование цифровых сигналов с частотой (периодом) или длительностью, равными частоте (периоду) или длительности аналоговых сигналов при преобразовании их частотно-временных параметров в код посредством таймеров МК (см. подраздел 9.4).

**10.6.1.2.** Собственно АК, входящие в подсистему АЦИ МК общего назначения, как правило, строятся по функциональной схеме, приведенной на рис. 10.6, на основе ОУ с выходным каскадом, работающим в ключевом режиме, и положительной обратной связью, обеспечивающей гистерезис (запаздывание по напряжению) при переключениях и, соответственно,

нечувствительность АК к помехам, размах которых не превышает величину гистерезиса (см. подпункты 10.2.1.3 – 10.2.1.8).

**10.6.1.3.** Базовые структурно-архитектурные решения блоков АК, входящих в МК общего назначения, описаны в пункте 10.2.2. Они, за исключением второстепенных деталей, характерны для АК большинства семейств / подсемейств МК (см., например, [8], [54, 55], [71]).

Типовая структура и архитектура блоков АК современных МК общего назначения обеспечивают следующие основные **функциональные возможности** (см. пункт 10.2.2):

- программного выбора источников сигналов, подаваемых на входы АК (см. рис. 10.13 и 10.15);

- программного выбора источника опорного напряжения (напряжения уставки) АК, в качестве которого может выступать выходное напряжение как внутреннего ИОН МК, так и некоторого внешнего источника (в т. ч. возможность работы АК в режиме сравнения 2-х сигналов, поступающих с объекта контроля и управления);

- программно-управляемого сканирования (т. е. поочередного подключения ко входу АК) 2-х или нескольких контролируемых напряжений, с использованием для данной цели как специально выделенных мультиплексоров (см. рис. 10.15), так и входных мультиплексоров блоков АЦП (см. рис. 10.13 и 10.33);

- у ряда семейств / подсемейств МК – возможность программного управления напряжением уставки (например, при его формировании посредством ЦАП МК, см. рис. 10.15), а также напряжением гистерезиса АК (см. подпункт 10.2.2.3);

- при наличии 2-х и более АК в составе МК – возможность их программно-управляемого формирования оконного детектора (см. рис. 10.12);

- считывания состояния выхода АК под управлением ПО в любой произвольно задаваемый момент времени;

- генерации запросов на прерывания по переключениям выхода АК, с возможностью программного выбора направления переключения (из 0 в 1, из 1 в 0 или в обоих направлениях);

- программно-управляемого выключения АК, если он не используется в некотором конкретном приложении или на некотором интервале времени, что рационально с точки зрения снижения энергопотребления, а также уровня внутренних помех МК.

**10.6.1.4.** Обзор основных потенциальных источников погрешностей АК, анализ их влияния на погрешности сравнения напряжений и на погрешности частоты / длительности сигналов, формируемых АК, а также основные способы снижения данных погрешностей приведены в подпунктах 10.2.1.9 – 10.2.1.14.

**10.6.1.5.** Типовые структурно-архитектурные решения блоков АК МК общего назначения (на примерах МК подсемейства *ATmega* и семейства *ATxmega*) приведены в пункте 10.2.2. Следует отметить, что, в целом, они аналогичны структурно-архитектурным решениям блоков АК других семейств МК общего назначения (см., например, [71]).

**10.6.1.6.** При практическом применении АК, входящих в состав МК, возможны следующие ситуации:

- с одной стороны, напряжения, подлежащие контролю или преобразованию в цифровые сигналы посредством АК, могут принимать отрицательные значения или / и превышать напряжение питания аналоговой части МК;

- с другой стороны, амплитуда / размах данных напряжений могут быть слишком малы для удовлетворительной точности контроля или преобразования (например, быть сопоставимы по значению с напряжением смещения АК).

В данных случаях необходимо применение одного из вариантов устройств сопряжения, описанных в пункте 10.5.1.

**10.6.1.7.** Пример программного модуля с использованием блока АК представлен в пункте 10.2.3.

**10.6.1.8.** Материалы пункта 10.2.1 подраздела 10.2 в равной степени применимы при использовании практически всех АК, как входящих в состав МК, так и внешних по отношению к БИС МК.

## **10.6.2. Выводы по подразделу 10.3 (Типовые структурно-архитектурные решения и основы применения встроенных АЦП МК)**

**10.6.2.1.** В системах контроля и управления на основе МК АЦП выполняют **функции** преобразования значений аналоговых сигналов, несущих информацию о состоянии объекта контроля и управления, в цифровые коды, для последующей программной обработки и формирования кодов управления исполнительными устройствами по ее результатам, а также, при необходимости, отображения состояния объекта и передачи информации о нем другим устройствам системы.

**10.6.2.2.** Описания основных параметров АЦП и классификация АЦП представлены в пунктах 10.3.2 и 10.3.3.

**10.6.2.3.** АЦП, входящие в структуру большинства семейств МК общего назначения, в основном, к классу АЦП **«мгновенных» значений**, т. к. АЦП данного класса могут быть применены для решения значительно более широкого круга задач, чем интегрирующие, в т. ч. абсолютного большинства задач АЦ-преобразования, которые встречаются в типовых областях применения МК общего назначения (см. пункт 10.3.3). Исключение составляют немногие модели / модельные ряды МК, в составе которых используются интегрирующие АЦП [9, 17].

В свою очередь, из существующих типов АЦП **«мгновенных» значений** в МК общего назначения, в основном, используются АЦП **последовательного приближения**, обладающие наиболее приемлемым для данного класса МК сочетанием точности, быстродействия, аппаратных затрат и энергопотребления.

**10.6.2.4.** Процесс АЦ-преобразования сигнала посредством АЦП **«мгновенных» значений** состоит в получении двоичных чисел (**отсчетов**), прямо пропорциональных (при линейной характеристике преобразования) значениям входного аналогового сигнала АЦП в определенные моменты времени. Данный процесс называется **дискретизацией** аналогового сигнала. Период дискретизации должен удовлетворять условию (10.19), следующему из **теоремы отсчетов**. В процессе дискретизации подлежащие АЦ-

преобразованию значения входного сигнала АЦП фиксируются **блоком выборки-хранения (БВХ)**, входящим в структуру практически всех современных АЦП «мгновенных» значений, в т. ч. АЦП МК. Принцип работы БВХ, его основные параметры и вопросы их учета при практическом применении АЦП рассмотрены в пункте 10.3.4.

**10.6.2.5.** Для соблюдения условия (10.19), АЦП должен быть снабжен предвключенным **антиэлайзинговым фильтром**, осуществляющим подавление спектральных компонент входного сигнала АЦП, частота которых превышает половину частоты дискретизации (**частоту Найквиста**). Вопросы выбора характеристик и параметров антиэлайзинговых фильтров изложены в пункте 10.3.5.

**10.6.2.6.** В пункте 10.3.6 рассмотрены вопросы выбора **периода дискретизации** и обеспечения его стабильности. Теоретически, достаточно, чтобы его значение было в 2 раза меньше периода наиболее высокочастотной спектральной составляющей преобразуемого сигнала (см. условие (10.19)). Однако, на практике при таком периоде дискретизации восстановление сигнала потребует серьезных вычислительных процедур (см. выражение (10.31)), реализация которых на МК общего назначения затруднительна, т. к. их архитектура и система команд не ориентированы на выполнение сложных вычислений. Поэтому определение информативных параметров входных сигналов АЦП МК общего назначения посредством восстановления сигнала по его отсчетам редко применяется на практике. Как правило, данные параметры определяются способом непосредственной оценки по массиву отсчетов, например, по выражениям (10.32) – (10.34). В табл. 10.2 приведены зависимости погрешности непосредственной оценки базовых параметров сигнала от периода дискретизации, которые могут служить как ориентировочные при его выборе.

Важной задачей является также обеспечение **стабильности** периода дискретизации, которая, в общем случае, должна удовлетворять условию (10.36). Обзор источников его нестабильности и способов ее минимизации приведен в подпункте 10.3.6.13. **Минимальная** нестабильность периода дискретизации

обеспечивается в режимах непрерывного преобразования по одному каналу или аппаратно-управляемого непрерывного сканирования группы каналов, при условии тактирования АЦП высокостабильным ГТИ на основе пьезоэлектрического резонатора (см. табл. 10.3, пояснения и выводы к ней). При определенных условиях, практически нулевая нестабильность периода дискретизации может быть обеспечена и в режиме одиночного преобразования с аппаратным запуском (*Triggering*) (см. вывод 2 к табл. 10.3).

**10.6.2.7. Принцип работы АЦП последовательного приближения** описан в подпунктах 10.3.7.2 и 10.3.7.3. В структуре современных МК общего назначения, в основном, применяются АЦП на **переключаемых конденсаторах (ПК-АЦП)**, рациональные для реализации по КМОП-технологии, а также совмещающие функции собственно АЦП и БВХ. Принцип работы и основы схемотехники ПК-АЦП рассмотрены в подпункте 10.3.7.4.

**10.6.2.8. Типовые структурно-архитектурные решения блоков АЦП МК общего назначения** рассмотрены на примере АЦП МК семейств *AVR* (см. пункт 10.3.8) и *ARM Cortex-Mx* (см. пункт 10.3.11).

В целом, блоки АЦП МК общего назначения характеризуются следующими базовыми структурно-архитектурными решениями, **общими** для большинства современных семейств МК данной категории:

- АЦП большинства семейств / модельных рядов МК общего назначения реализуют способ **последовательного приближения**;
- **цикл преобразования АЦП последовательного приближения**, входящих в состав МК, включает в себя два основных временных интервала – время выборки преобразуемого напряжения (см. подпункт 10.3.4.5) и время уравнивания выходного напряжения БВХ (см. рис. 10.26 и пояснения к нему); под время выборки выделяется определенное количество периодов синхросигнала АЦП (в ряде семейств – программно-назначаемое, см. подпункт 10.3.11.5);
- как правило, имеется возможность программного управления **частотой** сигнала синхронизации АЦП МК и, следовательно, длительностью цикла преобразования (в зависимости от требований конкретной прикладной задачи);

- как правило, имеется возможность программного выбора **разрядности и формата** представления результата АЦ-преобразования, наиболее приемлемого для решения конкретной задачи (см. рис. 10.36 и пояснения к нему, а также подпункт 10.3.11.19);

- АЦП МК являются **многоканальными**, с возможностью программного выбора каналов, по которым осуществляется выборка и преобразование напряжения, а также порядка опроса данных каналов; при этом, например в МК семейства *AVR* данный опрос осуществляется под управлением ПО, а в МК семейства *ARM Cortex-Mx* может быть также аппаратно-управляемым, с предварительным программным заданием номеров каналов и порядка их опроса (см. подпункты 10.3.11.10 – 10.3.11.12);

- АЦП МК могут работать в **режимах** иницируемого программно одиночного или непрерывного преобразования, а также автоматического запуска сигналами, вырабатываемыми другими блоками МК; при этом выбор режима и источника запуска осуществляется программно;

- блок АЦП МК может быть источником **прерываний** (при условии, что они разрешены); к событиям, вызывающим прерывания, относятся окончание очередного цикла АЦ-преобразования, у МК класса «*high performance*» – также некоторые другие события (см. подпункт 10.3.11.25);

- АЦП ряда семейств МК могут также работать в режиме ПДП (см. подпункт 10.3.11.24, а также подпункт 8.4.1).

**10.6.2.9.** В состав подсистемы АЦИ МК ряда семейств / подсемейств МК класса «*high performance*» входят **два или три** АЦП (см. подпункт 10.3.11.17). Наличие 2-х и более АЦП в структуре МК предоставляет ряд дополнительных функциональных возможностей, в том числе:

- **расширения диапазона** преобразуемого напряжения за счет его **одновременного** АЦ-преобразования 2-мя или несколькими АЦП при различных коэффициентах его усиления, с дальнейшим выбором на программном уровне результата преобразования, соответствующего нормальному диапазону входного напряжения АЦП (см. рис. 10.50 и 10.51 и пояснения к ним);

- **повышения частоты дискретизации** сигнала по сравнению с нормируемой максимальной возможной, реализуемого АЦ-преобразованием одного и того же сигнала 2-мя или более АЦП с **неодновременной выборкой** (см. рис. 10.52 и пояснения к нему).

Более подробно вопросы реализации и применения режимов согласованной работы 2-х и более АЦП МК рассмотрены в подпункте 10.3.11.17.

**10.6.2.10.** АЦП ряда семейств МК (в частности, *ARM Cortex-Mx*) поддерживают функцию **аналогового оконного детектора** (*Analog watchdog*), состоящую в том, что при выходе результата АЦ-преобразования за пределы программно задаваемого диапазона («окна») автоматически выставляется в активное состояние признак данного события в регистре статуса АЦП, а также генерируется прерывание по нему (если оно разрешено). В частности, функция АОД частично заменяет АК при его отсутствии в подсистеме АЦП (что характерно, например, для большинства модельных рядов МК семейства *ARM Cortex-Mx*).

**10.6.2.11.** Архитектура блоков АЦП большинства современных семейств МК предоставляет возможность **автоматической калибровки** АЦП как на этапе настройки и подготовки к работе устройства, содержащего МК, так и в процессе работы данного устройства. В результате калибровки частично устраняются погрешность смещения (аддитивная погрешность) АЦП, а также его мультипликативная погрешность. Полная автокалибровка АЦП МК семейства *AVR* и семейств, аналогичных им по классу производится в процессе подготовки к работе, с использованием специальных аппаратно-программных средств (см. пункт 10.3.9); в процессе работы устройства на МК семейства *AVR* может производиться только автокоррекция составляющей погрешности, вызванной нестабильностью опорного напряжения (см. подпункт 10.3.9.10). В свою очередь, например, архитектура блоков АЦП МК семейства *ARM Cortex-Mx* позволяет производить в процессе работы МК программно-управляемую автокоррекцию аддитивной погрешности АЦП (у некоторых модельных рядов – также частичную компенсацию всех составляющих инструментальной погрешности), а также погрешности ИОН (см. подпункты 10.3.11.22 и 10.3.11.23).

Описание процедур автоматической калибровки АЦП МК семейства *AVR* приведено в пункте 10.3.9, семейства *ARM Cortex-Mx* – в подпунктах 10.3.11.22 и 10.3.11.23.

**10.6.2.12.** В большинстве случаев практического применения встроенных АЦП МК возникают проблемы, аналогичные перечисленным в подпункте 10.6.1.6:

- с одной стороны, напряжения, подлежащие АЦ-преобразованию, могут принимать отрицательные значения или / и превышать напряжение питания аналоговой части МК;

- с другой стороны, амплитуда / размах данных напряжений могут быть слишком малы для удовлетворительной точности АЦ-преобразования (например, быть сопоставимы по значению с аналоговым эквивалентом ЕМЗР АЦП);

- выходное сопротивление источника напряжения, подлежащего АЦ-преобразованию, может быть велико для удовлетворения условия (10.23).

В таких случаях необходимо применение одного из вариантов устройств сопряжения, описанных в пункте **10.5.1**.

**10.6.2.13.** Примеры программирования блоков АЦП МК семейств *AVR* и *ARM Cortex-Mx* приведены в пунктах 10.3.10 и 10.3.12 соответственно.

**10.6.2.14.** Материалы пунктов 10.3.2 и 10.3.4 – 10.3.6 подраздела 10.3 в равной степени применимы при использовании АЦП «мгновенных» значений **всех типов**, как входящих в состав МК, так и внешних по отношению к БИС МК.

### **10.6.3. Выводы по подразделу 10.4 (Типовые структурно-архитектурные решения и основы применения встроенных ЦАП МК)**

**10.6.3.1.** В системах контроля и управления на основе МК ЦАП выполняют **функции** формирования управляемых цифровым кодом аналоговых сигналов (напряжений или токов), управляющих исполнительными устройствами (ИУ), в широком смысле этого понятия, включая как электромеханические ИУ, так и устройства

индикации, устройства генерации звуковых сигналов (телефоны, пьезоэлементы) и т. п.

**10.6.3.2.** Наиболее распространенными **разновидностями** ЦАП являются ШИМ-ЦАП и ЦАП на основе управляемых кодом делителей напряжения или тока.

ШИМ-ЦАП применяются для формирования кодоуправляемых постоянных или низкочастотных аналоговых сигналов (в диапазоне до сотен Гц – единиц кГц). Они реализуются на основе таймеров МК; вопросы их реализации освещены в разделе 9 (в частности, см. пункт 9.3.2 и подпункт 9.5.2.2).

ЦАП на основе управляемых кодом делителей напряжения или тока позволяют формировать сигналы в частотном диапазоне до десятков – сотен кГц. Задачи формирования таких сигналов в системах контроля и управления техническими объектами встречаются значительно реже. Поэтому встроенными ЦАП данной категории снабжаются МК не всех семейств / модельных рядов.

Подраздел 10.4 посвящен типовым структурно-архитектурным решениям и основам применения встроенных ЦАП на основе кодоуправляемых делителей напряжения / тока.

**10.6.3.3.** В принципе, возможна **реализация** ЦАП на базе как резистивных, так и емкостных делителей напряжения / тока. Встроенные ЦАП МК общего назначения (в частности, МК семейства *ARM Cortex-Mx*), как правило, строятся на основе **резистивных** делителей типа  $R-2R$ , по причинам, указанным в пункте 10.4.2. Типовая функциональная схема встроенного ЦАП МК общего назначения приведена на рис. 10.58; описание его работы в пункте 10.4.2.

**10.6.3.4.** Описания основных параметров ЦАП и пояснения их смысла представлены в пункте 10.4.3.

**10.6.3.5.** Архитектура блоков ЦАП современных МК (и МК в целом) предоставляет возможность **автоматической калибровки** ЦАП, возможные способы которой описаны в пункте 10.4.4.

**10.6.3.6.** При практическом применении ЦАП важными взаимосвязанными задачами являются **выбор периода дискретизации** выходного сигнала ЦАП (т. е. длительности его «ступени»), а также **параметров фильтра**, сглаживающего данный

сигнал, в зависимости от конкретных требований к его параметрам во временной или в частотной области. Рекомендации по данному выбору приведены в пункте 10.4.5. Ориентировочные числовые данные для выбора периода дискретизации и параметров сглаживающего фильтра при генерации сигналов, для которых приоритетна точность их формирования во временной области, приведены в табл. 10.4 и 10.5, а в частотной – в табл. 10.6.

При генерации посредством ЦАП сигналов с **изменяемым** периодом, предпочтителен вариант формирования сигнала, при котором период его дискретизации и параметры сглаживающего фильтра неизменны, а число «ступеней» за период изменяется в зависимости от периода генерируемого сигнала. При этом **выбор** порядка и частоты среза ФНЧ должен осуществляться таким образом, чтобы требования к  $|\Delta_A(T_{DAC})|_{max}/X_{DACOUT\ max}$  или, соответственно, к *THD* удовлетворялись при **минимально** возможном периоде формируемого сигнала (см. подпункты 10.4.5.17 – 10.4.5.20).

**10.6.3.7.** Базовые требования к **стабильности** периода дискретизации приведены в подпункте 10.4.5.21.

Наиболее рациональным подходом к **минимизации** нестабильности  $T_{DAC}$  является следующий:

- использовать режим «*Triggering by an external event*» для загрузки кодов в регистр данных ЦАП, которая при этом осуществляется по строб-сигналу, вырабатываемому некоторым внешним по отношению к ЦАП блоком МК по определенному событию (см. подпункт 10.4.6.4);

- в качестве источника строб-сигнала использовать один из таймеров МК, а в качестве события, инициирующего генерацию строб-сигнала – событие, наступающее с строго определенной периодичностью, например, переполнение счетчика таймера или достижение его содержимым некоторого заданного значения.

**10.6.3.8.** Типовые **структура** и **архитектура** решения блока ЦАП МК общего назначения описаны в пункте 10.4.6, на примере ЦАП МК модельного ряда *STM32F4xx* подсемейства *ARM Cortex-M4*. Их структурно-архитектурные решения характеризуются:

- реализацией ЦАП по схеме, приведенной на рис. 10.58, с возможностью программно-управляемого включения / отключения буферного усилителя;

- возможностью программного выбора наиболее приемлемых для решения конкретной задачи **разрядности** и **формата** входных кодов ЦАП (см. подпункт 10.4.6.3);

- возможностью записи очередного слова в регистр входного кода ЦАП как под управлением ПО, так и по строб-сигналу, вырабатываемому некоторым внешним по отношению к ЦАП блоком МК по определенному событию, например, каким-либо из таймеров по его переполнению (*Triggering by an external event*); выбор блока и события, инициирующих загрузку, осуществляются программно, при конфигурировании ЦАП (см. подпункт 10.4.6.4);

- функцией генерации треугольного и шумоподобного (псевдослучайного) сигнала на аппаратном уровне, без задействования ПО (см. подпункт 10.4.6.5);

- поддержкой ПДП-обмена данными с памятью (только в режиме «*Triggering by an external event*»); источником запроса на цикл ПДП-обмена является наступление очередного события «*Triggering event*»; в частности, обмен в режиме ПДП широко применяется при формировании аналогового сигнала, отсчеты которого хранятся в памяти (см. подпункт 10.4.6.6);

- наличием **2-х** ЦАП, с возможностью реализации **11-ти** вариантов их совместной работы (см. подпункт 10.4.6.7).

Данные структурно-архитектурные решения, в целом, за исключением второстепенных деталей, характерны для встроенных ЦАП большинства подсемейств / модельных рядов МК общего назначения.

**10.6.3.9.** При практическом применении встроенных ЦАП МК может возникнуть необходимость в решении одной из следующих задач:

- формирование биполярного сигнала, в то время как выходное напряжение ЦАП МК принципиально может быть только однополярным;

- формирование напряжения с амплитудой / размахом, превышающими напряжение питания аналоговой части МК или (реже) – много меньшими данного напряжения;

- генерируемое напряжение должно поступать на нагрузку, ток в которой превышает предельно допустимый выходной ток ЦАП, или сопротивление которой сопоставимо с выходным сопротивлением ЦАП.

В таких случаях необходимо применение одного из вариантов устройств сопряжения ЦАП с ИУ, описанных в **пункте 10.5.2**.

**10.6.3.10.** Типовой пример **программирования** блока ЦАП МК семейства *ARM Cortex-Mx* приведен в пункте 8.4.2.

**10.6.3.11.** Материалы пунктов 10.4.3 и 10.4.5 подраздела 10.4 в равной степени применимы при использовании **всех типов** ЦАП на основе кодоуправляемых делителей напряжения / тока, как входящих в состав МК, так и внешних по отношению к БИС МК.